

위상 잡음을 개선한 CMOS VCO의 설계 및 제작

The Design and Fabrication of Reduced Phase Noise CMOS VCO

김 종 성 · 이 한 영*

Jong-Sung Kim · Han-Young Lee*

요 약

본 논문에서는 온-칩 스파이럴 인덕터 해석에 대한 3차원 전자장 시뮬레이션 방법을 제시하였으며, 이 방법은 정확히 예측 가능한 CMOS VCO를 설계하는데 적용될 수 있음을 보였다. VCO는 CMOS 0.25 um 표준 공정을 이용하여 LC-공진형으로 구현하였으며, 공진기의 스파이럴 인덕터는 실리콘 기판과의 사이에 그라운드 패턴을 삽입한 경우와 그렇지 않은 경우에 대해 각각 VCO를 구현하여 인덕터의 Q값 개선에 의해 VCO의 위상 잡음이 어느 정도 개선되는지를 검증하였다. 제작된 VCO는 2.5 V 제어 전압에서 3.094 GHz, -12.15 dBm 출력을 가지며, LC 공진에 사용된 단일 인덕터의 Q는 그라운드 패턴을 삽입한 경우 3 GHz에서 8 % 정도 개선됨을 시뮬레이션을 통해 검증하였으며, 이로 인한 위상 잡음은 3 MHz 오프셋 주파수에서 9 dB 개선되어짐을 실험을 통해 확인하였다.

Abstract

In this paper, a 3-D EM simulation methodology for on-chip spiral inductor analysis has provided and it is shown that the methodology can be adapted to the highly predictable design for CMOS VCO. LC-resonator type VCO have fabricated by using standard 0.25 um CMOS process. And the LC VCO layout case which has pattern ground shielded inductors and the other layout case which has no pattern grounded inductors were fabricated for the verification of their effects on the VCO's phase noise by reducing the Q-factor of inductors. Fabricated VCO has 3.094 GHz, -12.15 dBm output at the tuning voltage of 2.5 V, and from the simulation, Q-factor of the pattern grounded inductor has increased 8 % at 3 GHz, and from the measurement results, the phase noise has reduced by 9 dB at the 3 MHz off-set frequency for the pattern grounded inductor layout case.

Key words : CMOS VCO, Pattern-Ground Shielded Spiral Inductor, Q-Factor, Phase-Noise

I. 서 론

최근 정보화의 가속화와 함께 무선 통신 시스템의 효율적인 구현을 위해 다기능, 고성능 및 경제성이 있는 저가의 단일 기판 초고주파 집적 회로의 개발이 매우 중요하게 되었으며, 저가의 CMOS 공정을 이용하고 집적도를 향상시킨 무선 단말기용 RFIC (Radio Frequency Integrated Circuit)에 대한 연구가 최

근 활발히 진행되어져 왔다^{[1],[7]}.

본 논문에서는 Hynix사의 표준 0.25 um CMOS 공정을 이용하여 LC 공진형 VCO를 설계하였으며, LC 공진기의 인덕터는 온-칩 나선형 인덕터 형태로 구현하였고, 입력 전압 V_{tune} 에 의한 MOSFET의 기생 커패시터 값의 변화로 LC 공진 회로의 공진 주파수가 가변되어 출력 주파수가 가변되는 회로로 구성하였다. LC 공진 회로에서 공진 Q는 커패시터에 비

(주)네콘시스(Neconsys Co., Ltd.)

*대림대학 전자정보통신계열(Division of Electronics, Information & Communication, Daelim College)

· 논문 번호 : 20070201-016

· 수정완료일자 : 2007년 5월 9일

해 낮은 Q 값을 갖는 인덕터에 크게 영향을 받는다. LC 공진 VCO에 위상 잡음은 인덕터의 Q 값을 높임으로써 개선할 수 있다. CMOS 공정상에 구현된 스파이럴 인덕터는 실리콘 기판과의 거리를 멀게 하거나 실리콘 기판 사이에 그라운드 패턴을 삽입하는 방법으로 손실을 줄여 Q 값을 높게 할 수 있다. LC 공진기형 VCO의 발진 주파수는 정확한 인덕터의 인덕턴스와 커패시터의 커패시턴스 값을 구하여 예측할 수 있다. 온-칩 스파이럴 인덕터의 인덕턴스 및 Q 값은 3차원 전자계 모의 실험을 통해 정확히 계산할 수 있으며, 이를 통해 LC 공진기형 VCO의 발진 주파수 및 위상 잡음을 예측하여 설계할 수 있다.

II. 전압 제어 발진기

본 논문에서 설계하고자 하는 전압 제어 발진기는 많은 무선 응용 기기에서 국부 발진기의 주파수를 변화시킬 필요가 있을 때 사용된다. AM과 FM 방송 수신기와 셀룰러 전화와 WLAN 등과 같은 다중 채널 통신 시스템에서 이러한 요구들이 발생된다. 발진기의 공진 주파수는 LC 회로망에서 제어되기 때문에 발진기의 주파수를 변화시키기 위해서는 인덕턴스나 커패시턴스를 변화시켜야 한다. 그리고 이것은 주로 전자적으로 이루어진다. 이러한 목적 때문에 동조 가능한 장차성 인덕터가 사용될 수 있지만, 실제 적용에 어려움이 많아, 일반적으로는 전압 제어용 커패시터인 버랙터를 사용하는 것이 용이하고 저렴하다. 버랙터는 다이오드에 적용되는 CD 역 바이어스를 변화시킴으로써 접합 커패시턴스가 제어되는 다이오드이다. 그 결과로 나타나는 구조를 전압 제어 발진기(VCO: Voltage-Controlled Oscillator)라 한다. 전형적인 버랙터는 바이어스 전압이 20 V에서 1 V로 변화함에 따라 접합 커패시턴스 값이 5 pF에서 30 pF 사이로 변화한다. 일반적으로 공진 주파수에 대해 정교한 동조 범위를 제공하기 위해 케환 회로망에서 버랙터에 커패시터가 직렬 또는 병렬로 연결될 수 있다. 또한 DC 차단 커패시터와 RF 초크는 RF 회로를 흐트러뜨리거나 단락하는 일이 없이 역 바이어스 전압을 제공하는데 사용된다. MOSFET 버랙터 동조된 VCO 회로는 그림 1과 같다. 이 설계는 하틀리 발진기의 인덕터 사이에 직렬로 버랙터를 사용하였다^[2].

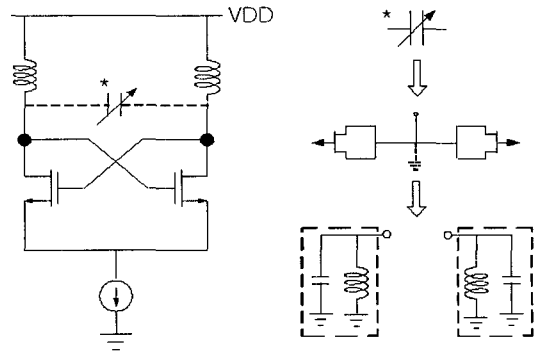


그림 1. 버랙터를 이용한 전압 제어 발진기
Fig. 1. Voltage controlled oscillator using varactor.

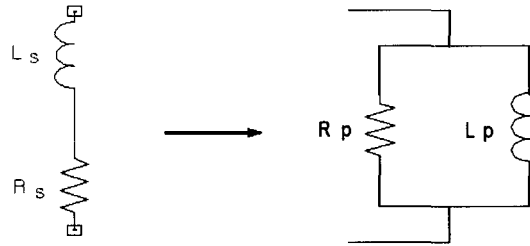


그림 2. RL 직렬 공진에서 병렬 공진으로 변환
Fig. 2. Transformation of resonance from RL series to parallel.

VCO의 공진 회로를 설계하기 위해 직렬 공진과 병렬 공진에 관하여 고찰할 필요가 있다^[3]. 병렬로 구성된 탱크 회로는 병렬 공진 특성으로 인해 차동 교차 쌍(cross-coupled differential pair) 동작에 대해 보다 적당한 형태가 된다. 그러나 온-칩 인덕터와 같이 손실이 있는 소자는 종종 직렬 연결로 표현될 수 있다. 그러므로 직렬 회로의 병렬 회로의 변환이 필요하게 된다^[4].

그림 2에서 RL 직렬 공진 회로의 임피던스와 병렬 공진 회로의 어드미턴스 값을 구하고 허수부가 0이 되는 조건으로부터 식 (1)을 구할 수 있다. 대역폭에 의한 Q 값은 식 (2) 이므로 이 식을 식 (1)에 적용하여 각각 실수, 허수부를 구하면 식 (3)을 얻을 수 있다.

$$R_s + j\omega_0 L_s = \frac{(\omega_0 L_p)^2 R_p + j\omega_0 L_p R_p^2}{R_p^2 + (\omega_0 L_p)^2} \quad (1)$$

$$Q = \frac{R_p}{\omega_0 L_p} = \frac{\omega_0 L_s}{R_s} \quad (2)$$

$$R_p = R_s(Q^2 + 1), X_p = X_s \left(\frac{Q^2 + 1}{Q^2} \right) \quad (3)$$

유한 Q값을 갖는 인덕터와 커패시터로 구성된 탱크 회로는 병렬 등가 회로로 변환될 수 있다. 즉, 탱크 회로내의 인덕터와 커패시터는 각각 직렬로 그림 3(a)과 같이 연결되어 있는 것으로 표현된다. 그리고 C, R_c, Q_c와 L, R_L, Q_L 사이의 관계는 식 (4)와 같다.

$$Q_c = \frac{1}{\omega C R_c}, Q_L = \frac{\omega L}{R_L}$$

$$R_c = \frac{1}{\omega C Q_c}, R_L = \frac{\omega L}{Q_L} \quad (4)$$

그림 3(b)의 병렬 등가회로의 값은 식 (5), (6)으로 나타낸다.

$$C_p = C \left(\frac{Q_c^2 + 1}{Q_c^2} \right), R_{cp} = \frac{(Q_c^2 + 1)}{\omega C Q_c} \quad (5)$$

$$L_p = L \left(\frac{Q_L^2 + 1}{Q_L} \right), R_{LP} = \frac{\omega L}{Q_L} (Q_L^2 + 1) \quad (6)$$

또한 두 병렬 저항은 그림 3(c)와 같이 하나로 표현할 수 있으며, 식 (7)로 나타낼 수 있다.

$$R_{eff} = \frac{\omega L (Q_L^2 + 1) (Q_c^2 + 1)}{LC \omega^2 (Q_L^2 + 1) + Q_L (Q_c^2 + 1)} \quad (7)$$

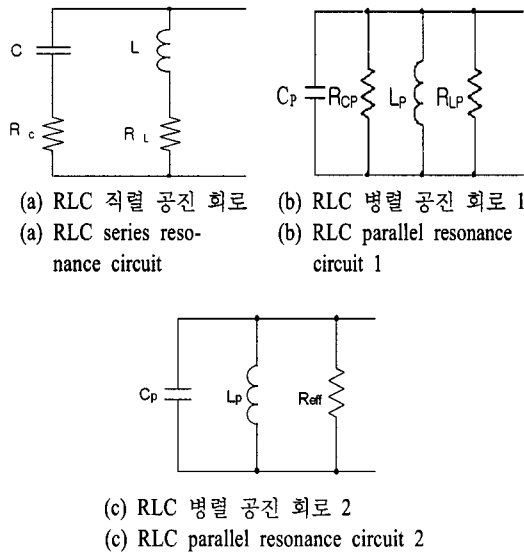


그림 3. RLC 직, 병렬 등가 공진 회로 1, 2
Fig. 3. RLC series, parallel equivalent resonance circuit 1, 2.

또한, 탱크 회로의 위상 잡음 스펙에 의해 신호 전력을 고정하면, R_{eff}는 식 (8)과 같이 유도할 수 있다^[4].

$$R_{eff} = \frac{V_{\tan k, bb}^2}{8P_{sig}} \quad (8)$$

탱크 회로에서의 부하 Q값은 식 (9)와 같이 나타낼 수 있으며, 선형 조건에서의 위상 잡음 수식은 식 (10)과 같은 Lesson 식으로 유도될 수 있다^[4].

$$Q_{loaded} = \frac{R_{eff}}{\omega_0 L_p} \quad (9)$$

$$L(\Delta \omega) = 10 \log \left(\frac{4FKT}{V_0^2 / R_{eff}} \left(\frac{\omega_0}{2Q_{loaded} \Delta \omega} \right)^2 \right) \text{ dBc/Hz} \quad (10)$$

이와 같이 VCO의 위상 잡음은 탱크 회로의 Q값에 의한 수식으로 표현될 수 있다.

III. 전압 제어 발진기 회로 설계

VCO는 고주파 응용에 주로 사용되는 LC 공진 VCO를 설계하였다. VCO 회로 설계는 Ansoft사의 Nexxim을 사용하였고, 인덕터의 해석은 3-D 전자계 해석 프로그램인 HFSS를 사용하였다. 전체 회로 스케메틱은 그림 4와 같다. 인덕터는 표준 0.25 um CMOS 공정에서 실리콘 기판과 가장 멀리 떨어진

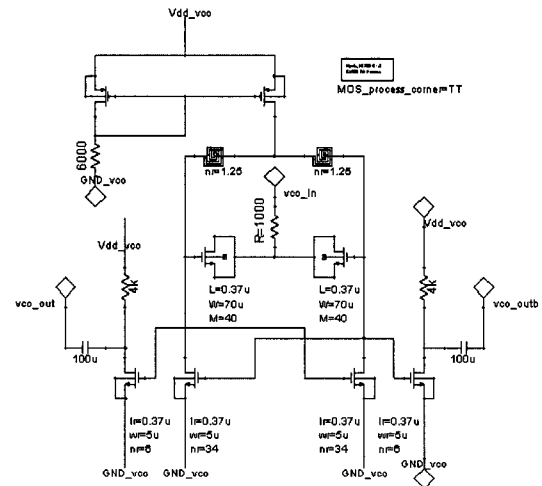


그림 4. VCO의 전체 회로 스케메틱
Fig. 4. The VCO circuit schematic.

MST 층에 스파이럴 형태로 구현하였다. 가변 커패시터는 MOSFET 커랙터 형태로 구성하여 가변 전압에 대하여 원하는 가변 커패시터 값을 갖도록 설계하였다. 그림 4의 회로에서 입력 전압 V_{tune} 에 의해 MOSFET의 기생 커패시터 성분 값의 변화가 생기므로 이로 인해 LC 공진 회로의 공진 주파수는 $\frac{1}{\sqrt{LC}}$ 에 비례하여 가변되므로 이로 인해 출력 주파수가 가변되어지게 된다. 공진 LC 회로의 공진 Q 는 비교적 큰 Q 를 갖는 커패시터에 비해 낮은 Q 값을 갖는 인덕터에 의해 크게 영향을 받으므로 인덕터의 Q 값을 높이는 방향으로 설계하였으며, 이를 위하여 인덕터와 실리콘 기판 사이에 패턴 그라운드 면을 삽입하는 방법을 적용하였다⁶⁾.

LC 공진 회로의 공진 주파수의 계산은 전체 회로에서 등가의 커패시터와 인덕턴스 및 기생 커패시턴스 값들을 모두 합하여 계산할 수 있지만, 이보다는 회로 모의 실험을 통해 간단히 예측할 수 있다. 그림 5는 가변 전압에 대한 LC 공진 회로의 공진 주파수를 알아보기 위한 회로 스케메틱이다. 이 회로에서는 LC가 병렬로 연결된 상태의 포트를 설정하고, 이 포트에서의 입력 임피던스를 구한 후 입력 임피던스 (Z_{in})의 허수 성분이 영이 되는 주파수 즉, LC 공진 주파수를 확인할 수 있다. 그림 6은 가변 전압을 변화시킴에 따른 포트 1에서의 입력 임피던스의 허수 성분에 대한 플롯 그래프이다. 이로부터 가변 전압 범위에 대해 출력 주파수의 가변 구간을 확인하여 볼 수 있게 된다. 또한, 공진과 더불어 발진하기 위해서는 공진 회로의 양의 실수 저항 성분을 상쇄하여 공

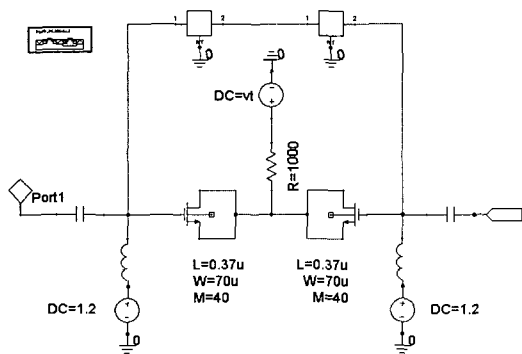


그림 5. 공진 주파수를 알아보기 위한 스케메틱
Fig. 5. The circuit for resonant frequency search.

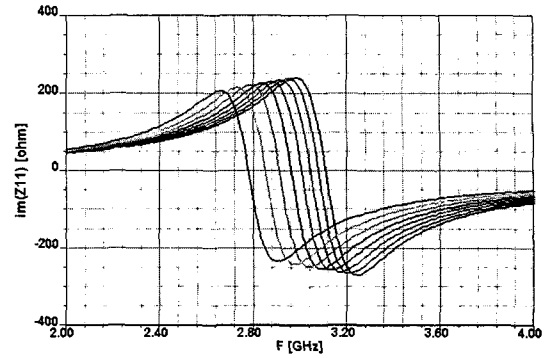


그림 6. 입력 임피던스 플롯, $Im(Z_{11})$
Fig. 6. The input impedance plot, $Im(Z_{11})$.

진 주파수에서 전체 시스템이 부성 저항 값을 가질 수 있도록 충분히 큰 부성 저항이 얻어져야 하고, 이는 발진 소자로 동작하는 아랫단 MOSFET의 크기 (number of finger*width)를 얼마 이상으로 구현해야 하는지를 회로 모의 실험을 통해 찾아낼 수 있다.

또한, 공진기의 인덕터의 설계를 위해서 우선 파운드리에서 주어지는 인덕터의 등가 회로 모델 값과 HFSS로 해석한 값을 비교하여 이의 오차를 예상하여 설계 단계에서 이를 보상하는 방안을 제시할 수 있다. 그림 7과 같이 원하는 인덕턴스 값을 구현하기 위하여 파운드리에서 제공하는 형태의 정해진 인덕터 외각 크기와 인덕터 두께 간격을 고려하여 HFSS로 모델링하고, 이를 이용하여 해석된 결과를 파운드리 등가 회로 파라미터와 비교하여 볼 수 있다. 그림 8에서 파운드리에서 주어진 등가 회로를 대입하여 얻은 인덕턴스 값과 HFSS 모의 실험을 통해 얻은 인덕턴스 값을 보이고 있다. 공진 주파수 3 GHz에서의 인덕턴스 값은 등가 회로 인덕터 모델의 경우 1.36 nH, 그라운드 패턴이 없는 HFSS 인덕터

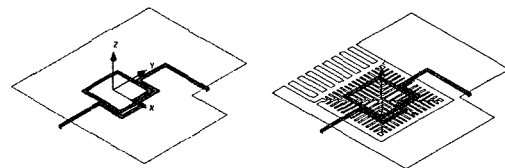


그림 7. HFSS를 이용한 인덕터 모델링(두께: 10 mm, 간격: 2 mm)
Fig. 7. The inductor modeling using HFSS(Width: 10 mm, Space: 2 mm).

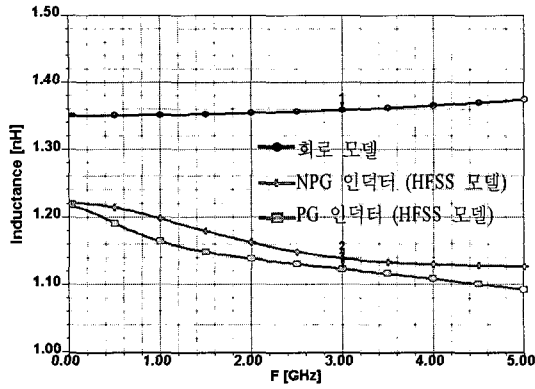


그림 8. 파운드리 회로 모델링 값과 HFSS 모델링 값의 비교(Inductance, Q)

Fig. 8. Comparison between circuit model from foundry and HFSS results(Inductance, Q).

모델의 경우 1.14 nH, 그리고 그라운드 패턴을 삽입한 HFSS 인덕터 모델의 경우 1.12 H의 값을 나타낼 수 있다. 이로부터 파운드리에서 주어진 등가 회로의 경우 인덕턴스의 값이 높게 모델링 되어 있음을 알 수 있다.

위의 결과에서 회로 모델링 값만을 이용하여 설계를 한다면 실제 제작했을 경우, 구현된 인덕터의 실제 낮은 인덕턴스로 인해 공진 주파수가 설계치보다 높은 쪽으로 이동할 것이 예상되므로 이를 고려하여 설계시 인덕터의 턴수 또는 벡터의 커패시턴스 값을 보정하여 설계하여야 한다. HFSS에 의한 인덕터 모델의 경우, 회로 모델보다 보다 정확한 그라운드 효과나 커플링 효과 등이 고려되므로 보다 정확한 예측이 가능한 설계가 된다.

그림 9는 그라운드 패턴이 있는 인덕터와 그라운드 패턴이 없는 인덕터에 대해 인덕터의 아래 부분의 실리콘 기판 영역에서의 체적 전류 성분에 대한 시뮬레이션 플롯이다. 이로부터 그라운드 패턴을 삽입한 인덕터의 경우, 손실로 작용하는 실리콘 기판에서의 전류 분포가 적게 나타남을 알 수 있다.

그림 10은 각 인덕터 모델에 대한 Q 값에 대한 플롯이다. 이 플롯에서 파운드리의 등가 모델의 경우, 3 GHz에서 Q 값이 10.25이고, 그라운드 패턴이 없는 HFSS 인덕터 모델의 경우 7.7이고, 그라운드 패턴을 삽입한 HFSS 인덕터 모델의 경우 8.29임을 확인할 수 있다. 이로부터 그라운드 패턴을 삽입하여 인덕

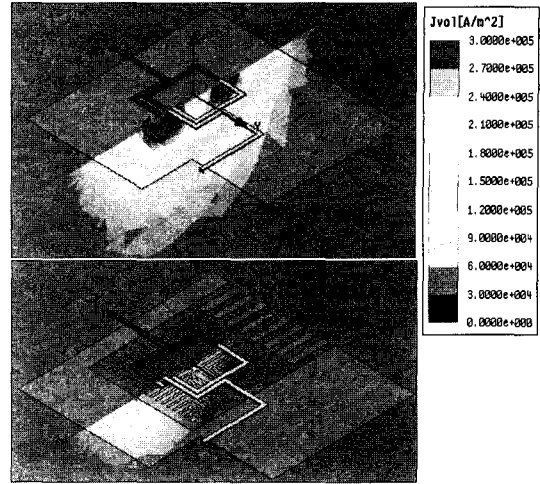


그림 9. 실리콘 기판의 전류 분포

Fig. 9. Volume current plot in silicon substrate.

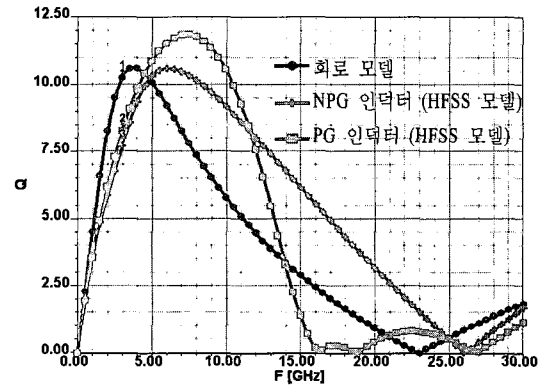


그림 10. 인덕터의 Q 값 비교

Fig. 10. Comparison of Q -factor.

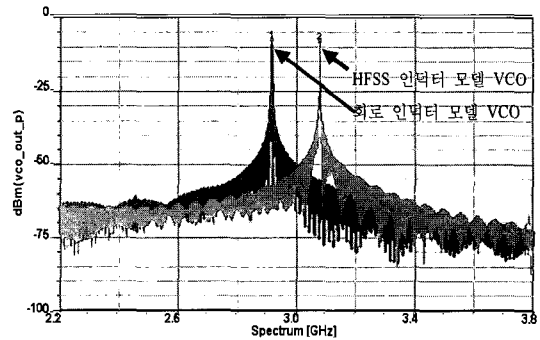


그림 10. 인덕터의 회로 모델 및 HFSS 모델을 적용한 시뮬레이션 결과

Fig. 10. Output frequency using circuit model and HFSS model.

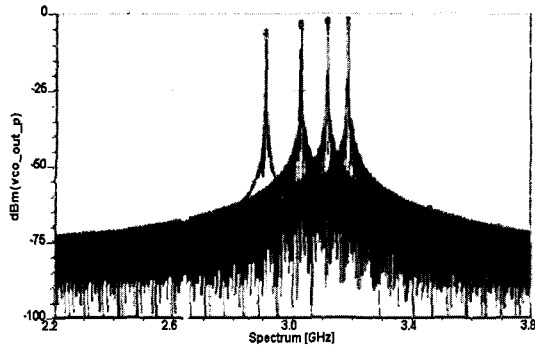


그림 11. V_{tune} 변화에 의한 발진 주파수 스펙트럼
Fig. 11. Output spectrum in terms of V_{tune} .

터의 Q 값은 8 % 정도 높아짐을 알 수 있다.

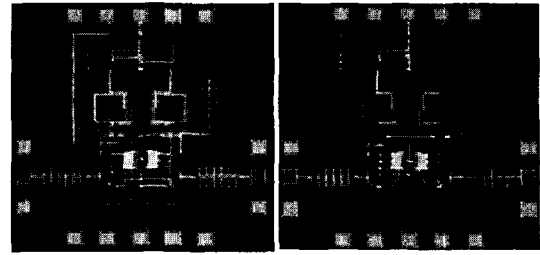
그림 11은 인덕터의 등가 회로 모델을 적용한 경우와 HFSS 모델을 적용한 경우의 출력 스펙트럼을 비교한 그래프이다. 여기서 두 모델간의 발진 주파수 차이가 100 MHz 이상이 남을 알 수 있다.

그림 11은 HFSS 인덕터 모델을 적용한 VCO 회로에서 제어 전압(V_{tune})의 변화에 대해 발진 주파수의 대역을 나타낸 플롯이다.

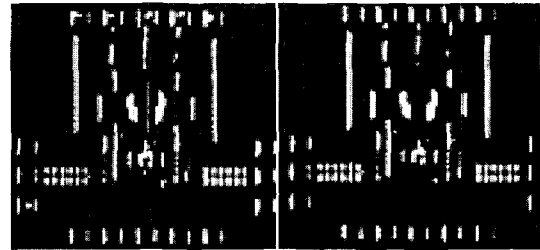
IV. VCO 제작 및 실험

설계된 VCO는 Hynix사의 표준 0.25 μm 1-poly, 5-metal CMOS 공정으로 제작되었다. 그림 12(a), (b)는 VCO 칩 레이아웃과 실제 제작된 VCO이고, 칩 크기는 가로 1 mm, 세로 1 mm이다. 그림 13은 제작한 VCO에 대하여 제어 전압이 1.5 V인 상태에서 측정한 출력 스펙트럼의 결과이다. 제어 전압 $V_{tune} = 2.5$ V에서 HFSS 인덕터 모델을 적용한 경우의 출력 주파수와 측정한 출력 주파수 및 전력의 비교 값을 표 1에 나타내었다. V_{tune} 이 2.5 V에서 HFSS 모델을 적용하여 예측한 발진 주파수는 측정의 발진 주파수와 매우 정확히 일치함을 알 수 있으며, 출력 전력의 값도 잘 일치함을 알 수 있다. 즉, 전자계 해석 툴을 이용해 인덕터의 인덕턴스 값을 정확히 예측함으로써 VCO의 출력 주파수 및 전력 레벨을 매우 정확하게 예측할 수 있음을 확인할 수 있다.

그림 14는 제작된 VCO의 가변 전압에 따른 출력 주파수의 변화와 출력 전력의 변화를 플롯한 그림이며, 정확한 HFSS 인덕터 모델을 적용한 회로 시뮬레



(a) PGS와 NPGS VCO 칩 레이아웃
(a) Chip layout of PGS and NPGS VCO



(b) 제작된 PGS와 NPGS VCO 칩 확대 사진
(b) Extension picture of the fabricated PGS and NPGS VCO chip

그림 12. 제작된 PGS와 NPGS VCO
Fig. 12. The fabricated PGS and NPGS VCO.

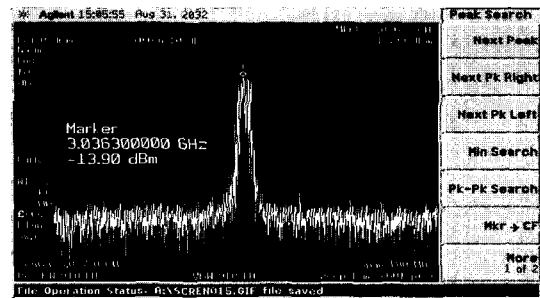


그림 13. $V_{tune}=1.5$ V에서의 출력 스펙트럼
Fig. 13. Output spectrum at $V_{tune}=1.5$ V.

이션 결과와 비교하였다. 이를 통해 시뮬레이션을 통해 출력 주파수 및 가변 범위와 전력 레벨을 예측할 수 있음을 확인해 볼 수 있다. 그래프를 통해 출력 주파수의 가변 범위는 입력 전압 0.5~3 V 구간에서 약 300 MHz 정도 나타났고, 출력 전력은 가변 주파수 범위 내에서 -13 dBm 정도로 일정한 값을 나타내었다.

그림 15에서 검증을 위해 제안한 두 레이아웃의 경우에 대하여 각각 측정한 위상 잡음을 보여준다.

표 1. $V_{tune}=2.5$ V에서의 공진주파수 및 출력 전력 비교

Table 1. Comparison of output frequency and power at $V_{tune}=2.5$ V

($V_{tune}=2.5$ V)	공진주파수	출력전력
Sim. with Foundry model	2.994 GHz	-11 dBm
Sim. with HFSS model	3.0975 GHz	-11.49 dBm
Measurement	3.094 GHz	-12.15 dBm

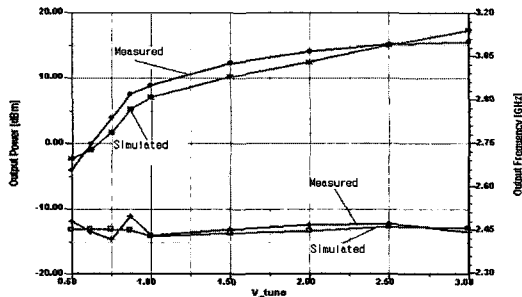
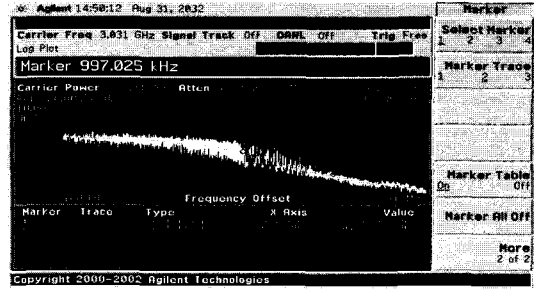


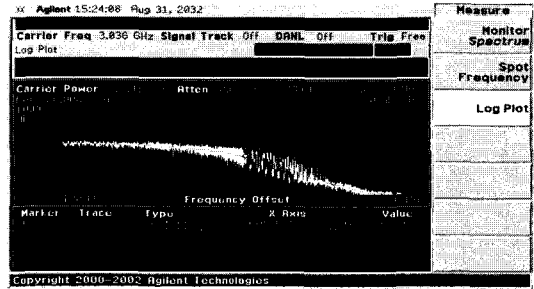
그림 14. 가변 전압에 대한 출력 주파수 및 출력 전력 비교

Fig. 14. Comparison of Output frequency and output power.

위상 잡음의 측정은 스펙트럼 분석기를 이용하여 측정하였으며, 이 경우 발진 주파수가 고정되지 않아 측정이 부정확한 경향을 보이므로 본 논문에서는 두 레이아웃의 경우에 대해 가장 좋은 위상 잡음 특성을 보이는 순간의 결과를 얻은 후 이를 상대적으로 비교하였다. 레이아웃 된 인덕터의 경우, 인덕터 하나의 Q 값은 8% 높게 개선됨을 살펴 보았고, Q 가 개선된 인덕터를 포함하는 레이아웃 그림 15(b)의 경우 3 MHz 오프셋 주파수에서 108.92 dBc이고, Q 가 8% 낮은 인덕터로 레이아웃 된 그림 15(a)의 경우 3 MHz 오프셋 주파수에서 100.75 dBc의 값을 얻었다. 이로 부터 단일 VCO 칩에 대하여 인덕터의 Q 를 8% 개선하여 9 dB 정도 개선된 위상 잡음을 얻을 수 있음을 확인할 수 있다. 그러나 실제 위상 잡음의 정확한 측정에는 별도의 장치가 필요하므로 본 논문의 결과로부터는 Lesson's의 수식에서 계산할 수 있듯이 Q 값에 대해 이론적으로 개선되어야 하는 위상 잡음 값과 직접 비교할 수 없으며, 제작된 두 경우에 대해 측정상



(a) 레이아웃 1: NPGS 인덕터 위상 잡음
(a) Layout 1: phase noise of NPGS inductor



(b) 레이아웃 2: PGS 인덕터 위상 잡음
(b) Layout 2: phase noise of PGS inductor

그림 15. 측정된 위상 잡음

Fig. 15. The measured phase noise.

의 상대적인 비교에 대한 결과만을 도출할 수 있다.

V. 결론

CMOS 공정에서 인덕터의 Q 값을 개선한 방법으로 PGS(Pattern Ground Shield)구조의 인덕터를 사용한 경우와 PGS 구조를 사용하지 않은 경우를 각각 제작하여 인덕터의 Q 값의 개선으로 VCO의 위상 잡음이 개선됨을 검증하였다. LC 공진에 사용된 단일 인덕터의 Q 는 PGS를 구현하는 VCO의 경우, 공진 주파수인 3 GHz에서 약 8% 정도 개선되었으며, 이로 인한 위상 잡음은 3 MHz 오프셋 주파수에서 9 dB 정도의 개선되어짐을 확인하였다.

본 논문에서는 인덕터와 같은 수동 소자에 대해 인덕턴스와 Q 값 등의 측정 값을 HFSS를 이용하여 보다 정확히 모델링 할 수 있고, 이에 대한 연구를 통해 VCO의 성능을 개선할 수 있는 방법론을 제시 하였으며, 개선된 위상 잡음은 측정을 통해 상대적으로 비교하였다. 설계한 VCO는 최신의 설계된 VCO들의 위상 잡음에 비해 좋게 나오지 않았지만,

위상 잡음을 개선하기 위한 VCO의 회로 구성(topology)과 병행하여 수동 소자 특성 값의 최적도 필요하다는 것을 보였다.

앞으로 VCO의 회로 구성(topology)을 최적화하여 위상 잡음을 개선하기 위한 추가적인 연구가 보완되어야 할 것으로 사료된다.

참 고 문 헌

[1] T. Manku, "Microwave CMOS-devices and circuits", *Proc. of the IEEE. Custom Integrated Circuits Conference*, pp. 59-66, 1998.
 [2] J. R. Smith, *Modern Communication Circuits*, 2nd Edition, McGraw-Hill, New York, 1998.
 [3] George D. Vendelin, Anthony M. Pavio, and Ulrich

L. Rohde, *Microwave Circuit Design*, Wiley, 1990.
 [4] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Stanford University, Cambridge University Press, pp. 86-106, 530-544.
 [5] Ulrich L. Rohde, David P. Newhirk, *RF/Microwave Circuit Design for Wireless Applications*, John Wiley & Sons, Inc., New York, 2000.
 [6] P. Yue, S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RFIC's", *VLSI Circuits Symposium Digest of Technical Papers*, Jun. 1997.
 [7] M. K. Nezami, "Evaluate the impact of phase noise on receiver performance", *Microwaves & PF Magazine*, pp. 1-11, Jun. 1998.

김 종 성



1985년 2월: 한양대학교 전자공학과 (공학사)
 1987년 8월: 한양대학교 전기전자과 (공학석사)
 2005년 8월: 건국대학교 전자정보통신과 (공학박사)
 1994년 4월~현재: 네콘시스 대표

이사
 [주 관심분야] 초고주파 및 RFIC

이 한 영



1998년 2월: 세종대학교 자연과학대학 물리학과 (이학사)
 2002년 8월: 국민대학교 전자공학과 (공학석사)
 2005년 8월: 건국대학교 전자정보통신 (공학박사)
 1999년 8월~현재: 대림대학 실습

행정기사로 재직중
 [주 관심분야] 마이크로파 및 RFIC