

# RF 집적회로를 위한 0.18 $\mu\text{m}$ CMOS 표준 디지털 공정 기반 인덕터 라이브러리

## Inductor Library for RF Integrated Circuits in Standard Digital 0.18 $\mu\text{m}$ CMOS Technology

정위신 · 김승수 · 박용국\* · 원광호\* · 신현철

Weeshin Jung · Seungsoo Kim · Yong-Guk Park · Kwang-Ho Won · Hyunchol Shin

### 요 약

본 논문에서는 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정을 기반으로 하는 RF 집적회로 설계를 위해 인덕터 라이브러리를 개발하였다. 개발된 인덕터 라이브러리에는 일반적인 표준(standard) 구조의 인덕터를 비롯하여, PGS (Patterned Ground Shield)를 적용하여  $Q$  지수를 향상시킨 인덕터, 금속선의 직렬 저항을 줄임으로써  $Q$  지수를 향상시킨 다층금속선(multilayer) 인덕터, 같은 면적에서 높은 인덕턴스 구현에 유리한 적층형(stacked) 인덕터 등을 포함한다. 본 논문에서는 각 인덕터 구조에 대하여 측정 결과와 3차원 전자기파 시뮬레이션 결과를 바탕으로 한 특성 해석 및 비교 분석을 하였고, 각 구조에 대한 등가회로 모델 확립 및 추출 과정도 연구하였다. 본 연구의 결과를 바탕으로 여러 설계 요구 사항을 만족시키는 최적의 인덕터 설계가 가능해졌으며 표준 CMOS 공정을 이용하는 저가의 RF 집적회로 개발이 가능해진다.

### Abstract

An inductor library for efficient low cost RFIC design has been developed based on a standard digital 0.18  $\mu\text{m}$  CMOS process. The developed library provides four structural variations that are most popular in RFIC design; standard spiral structure, patterned ground shield(PGS) structure to enhance quality factor, stacked structure to enable high inductance values in a given silicon area, multilayer structure to lower series resistance. Electromagnetic simulation, equivalent circuit, and parameter extraction processes have been verified based on measurement results. The extensive measurement and simulation results of the inductor library can be a great asset for low cost RFIC design and development.

Key words : Inductor, Quality Factor, RF Integrated Circuit

### I. 서 론

최근 들어 휴대용 통신 기술의 발달과 더불어 실리콘 CMOS 기술을 이용한 RF 집적 회로 개발이 활발히 진행되고 있다. 일반적으로 RF CMOS 공정에

서는 그림 1(a)와 같이 전도성이 우수하며 2  $\mu\text{m}$  이상의 두꺼운 최상층 금속선을 사용함으로써 금속선의 직렬 저항 손실을 줄여 인덕터를 구현하기 때문에 비교적 우수한  $Q$  지수를 제공한다<sup>[1][4]</sup>. 반면에 일반 표준 CMOS 공정은 그림 1(b)와 같이 최상층 금속선

「본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음(IITA-2006-C1090-0603-0038). 또한 IDEC MPW의 칩 제작지원을 받았음.」

광운대학교 전파공학과(Department of Radio Science and Engineering, Kwangwoon University)

\*전자부품연구원 유비쿼터스 컴퓨팅 연구센터(Ubiquitous Computing Research Center, Korea Electronics Technology Institute)

· 논문 번호 : 20070126-013

· 수정완료일자 : 2007년 4월 3일

Passivation-Nitride (0.6 $\mu\text{m}$ )	Passivation-Nitride (1.0 $\mu\text{m}$ )
Passivation-Dielectric (0.31 $\mu\text{m}$ )	Passivation-Dielectric (0.3 $\mu\text{m}$ )
Metal 6 (2.34 $\mu\text{m}$ )	Metal 6 (0.6415 $\mu\text{m}$ )
Dielectric (1.0 $\mu\text{m}$ )	Dielectric (0.8 $\mu\text{m}$ )
Metal 5 (0.53 $\mu\text{m}$ )	Metal 5 (0.529 $\mu\text{m}$ )
Dielectric (0.85 $\mu\text{m}$ )	Dielectric (0.8 $\mu\text{m}$ )
Metal 4 (0.53 $\mu\text{m}$ )	Metal 4 (0.529 $\mu\text{m}$ )
Dielectric (0.85 $\mu\text{m}$ )	Dielectric (0.8 $\mu\text{m}$ )
Metal 3 (0.53 $\mu\text{m}$ )	Metal 3 (0.529 $\mu\text{m}$ )
Dielectric (0.85 $\mu\text{m}$ )	Dielectric (0.8 $\mu\text{m}$ )
Metal 2 (0.53 $\mu\text{m}$ )	Metal 2 (0.529 $\mu\text{m}$ )
Dielectric (0.85 $\mu\text{m}$ )	Dielectric (0.8 $\mu\text{m}$ )
Metal 1 (0.53 $\mu\text{m}$ )	Metal 1 (0.529 $\mu\text{m}$ )
Dielectric (1.1 $\mu\text{m}$ )	Dielectric (1.08 $\mu\text{m}$ )
Silicon substrate (600 $\mu\text{m}$ )	Silicon substrate (600 $\mu\text{m}$ )

- (a) TSMC 0.18  $\mu\text{m}$  RF CMOS 공정  
 (b) 동부 일렉트로닉스 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정  
 (a) TSMC 0.18  $\mu\text{m}$  RF CMOS process  
 (b) Dongbu electronics standard digital 0.18  $\mu\text{m}$  CMOS process

그림 1. RF와 표준 CMOS 공정 비교  
 Fig. 1. Comparison of RF and standard CMOS process.

의 두께가 3분의 1 이하 정도 밖에 되지 않아 인덕터 성능을 열화시키는 원인이 된다. 한편, 무선 센서 네트워크, RFID 등 저가의 RFIC 개발이 필요로 하는 분야는 고가의 RF CMOS 공정보다는 저가의 표준 디지털 CMOS 공정을 이용하여 RFIC를 개발하는 것이 원가를 절감하고 효율적인 칩 개발을 하는 방법이 될 수 있다. 따라서 본 연구에서는 표준 CMOS 공정상에서 여러 구조의 인덕터를 설계, 제작, 측정하고 3차원 전자기파 시뮬레이션 결과와 비교하여 신뢰성 있는 인덕터 라이브러리를 구축하였다. 이를 통해 RF CMOS 공정이 아닌 표준 디지털 공정을 기반으로 한 저가의 RFIC 개발의 기반을 이루고자 하였다.

## II. 인덕터 구조 설계 및 측정 결과

인덕터의 평면 구조는 원형, 팔각형, 사각형의 형태로 설계가 가능하다. 인덕터의 성능측면에서는 원형 > 팔각형 > 사각형의 순서로, 설계측면에서는 사각형 > 팔각형 > 원형의 순서로 유리하다. 그림 2는 일반적으로 RFIC에 적용 가능한 인덕터의 4가지 구조를 보인 것이다. 첫 번째로 RF 회로를 설계하는데

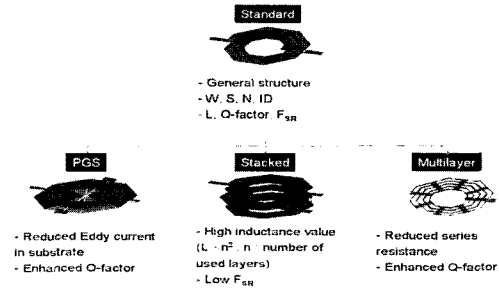


그림 2. 다양한 구조의 인덕터  
 Fig. 2. Various structures of inductor.

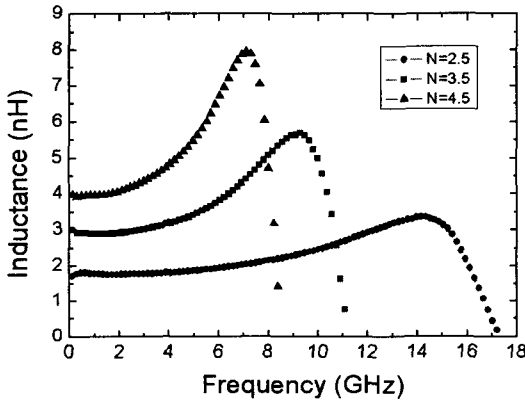
어서 성능과 설계측면에서 가장 많이 사용하는 팔각형 형태의 standard 인덕터 구조가 있다. 이의 구조변수 및 성능지수는 다음과 같다:  $W$ (금속선 폭),  $S$ (금속선 간격),  $N$ (금속선 회전수),  $ID$ (내부 반경),  $L$ (인덕턴스),  $Q$ (품질계수),  $f_{SR}$ (자기 공진 주파수). Standard 구조를 확장하여, 저항률이 1~3  $\Omega$  정도로 매우 낮은 일반적인 실리콘 기판에서 발생하는 맴돌이 전류(eddy current)를 억제시키는 PGS를 적용한 인덕터<sup>[1],[2]</sup>, 같은 면적에서 큰 인덕턴스 구현이 가능한 stacked 인덕터, 두 개의 금속선을 병렬로 연결하여 공정상의 제한된 금속선의 유효 두께를 증가시킨 multilayer 인덕터 등이 있다. 본 논문에서는 0.8415  $\mu\text{m}$ 의 최상층 금속선(M6)과 0.529  $\mu\text{m}$ 의 하층 금속선(M1~5)을 제공하는 동부 일렉트로닉스 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정을 이용하여 이러한 다양한 구조의 인덕터 라이브러리를 개발하고 RF 성능을 검증하였다.

표 1은 인덕터의 설계 변수이다. 인덕터의 물리적인 변수 중 금속선의 폭( $W$ )과 금속선의 간격( $S$ )은 각각 15  $\mu\text{m}$ , 2  $\mu\text{m}$ 로 고정시키고 금속선의 턴수( $N$ )와 내부 반경( $ID$ )을 변화시켜 인덕터의 성능을 분석하였다. 제작된 인덕터는 HP8510C network analyzer 및 cascade microtech RF probe를 사용하여 on-wafer 상태에서 2포트 S-파라미터를 측정하였다. 측정된 S-파라미터에서 측정 패드 부분에서 발생하는 기생성분을 제거하기 위하여 인덕터를 제외한 open 패드 패턴을 사용한 패드 기생 성분 보정(de-embedding)을 수행하였다. Standard 인덕터의 성능 지표 중 하나인  $Q$  지수는 측정된 2-포트 S-파라미터로부터 변환시킨 Y-파라미터의 1-포트 입력 임피던스 값의 허수 성분과

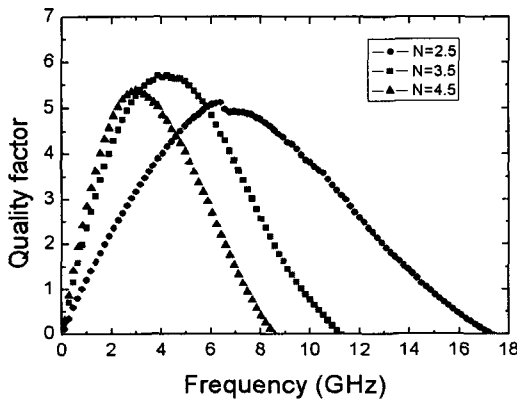
표 1. 인덕터의 설계변수

Table 1. Design parameters of inductors.

N(Inductor Type)	금속선의 폭(W)	금속선의 간격(S)	금속선의 턴 수(N)	내부 반경(ID)
1	15 μm	2 μm	2.5	112.0 μm
2	15 μm	2 μm	3.5	100.0 μm
3	15 μm	2 μm	4.5	80.0 μm
4	15 μm	2 μm	5.5	62.0 μm
5	15 μm	2 μm	5.5	84.0 μm
6	15 μm	2 μm	5.5	106.0 μm
7	15 μm	2 μm	5.5	126.0 μm
8	15 μm	2 μm	5.5	146.0 μm
9	15 μm	2 μm	5.5	166.0 μm
10	15 μm	2 μm	5.5	184.6 μm



(a) 인덕턴스  
(a) Inductance



(b) Q 지수  
(b) Quality factor

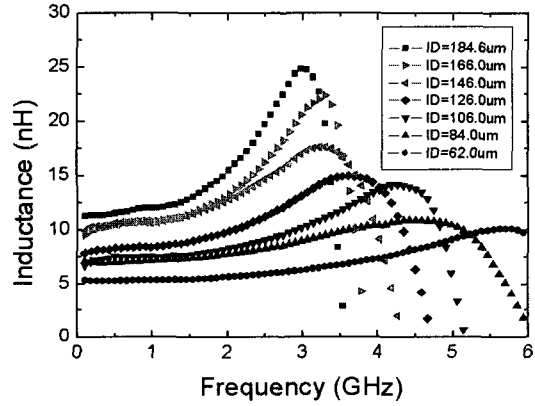
그림 3. Standard 인덕터의 턴 수(N)에 따른 변화  
Fig. 3. Effects of number of turns(N).

실수 성분의 비로 결정하였으며, 인덕턴스도 아래와 같은 식 (1)로 결정하였다.

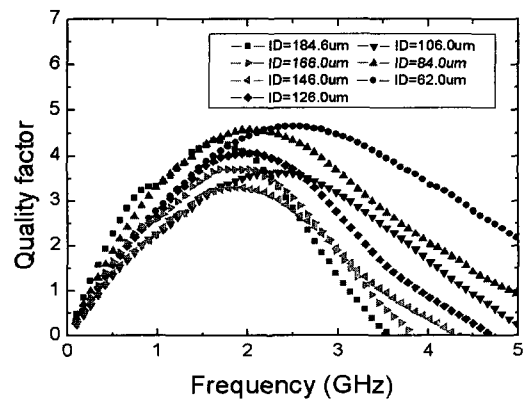
$$L_s = 1/2\pi * freq * Im(Y_{11})$$

$$Q = Im(Y_{11})/Re(Y_{11}) \quad (1)$$

그림 3은 standard 인덕터의 턴 수에 따른 인덕턴스와 Q 지수를 나타낸 것이다. 턴 수가 증가함에 따라 인덕턴스 값은 각각 1.9 nH, 3.2 nH, 4.3 nH로 증가하였으며, Q 지수는 5.39, 5.71, 5.15로 나타남을 알 수 있다. 반면에 자기 공진 주파수( $f_{SR}$ )는 비례하여 감소함을 알 수 있다. 그림 4는 턴 수가 5.5인 standard 인덕터의 내부 반경에 따른 인덕턴스와 Q 지수를 나타낸 것이다. 내부 반경이 증가함에 따라 인덕턴스 값은 증가하고, Q 지수는 4.66, 4.59, 3.63, 4.06,

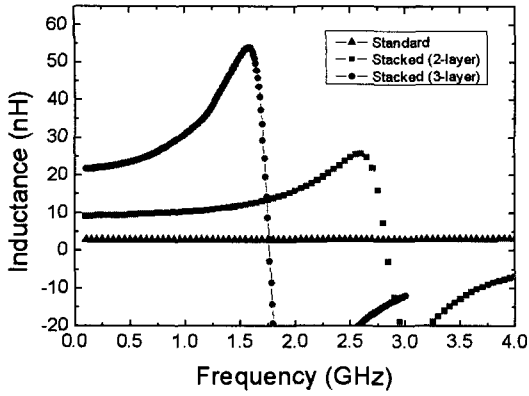


(a) 인덕턴스  
(a) Inductance

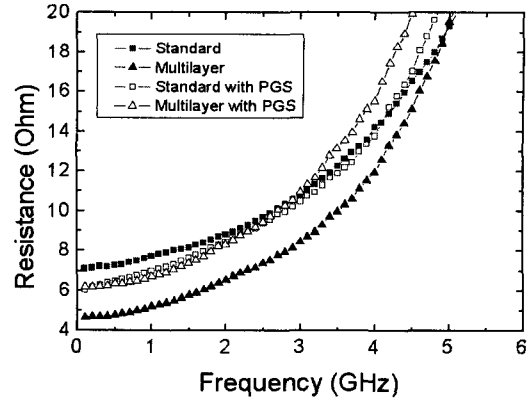


(b) Q 지수  
(b) Quality factor

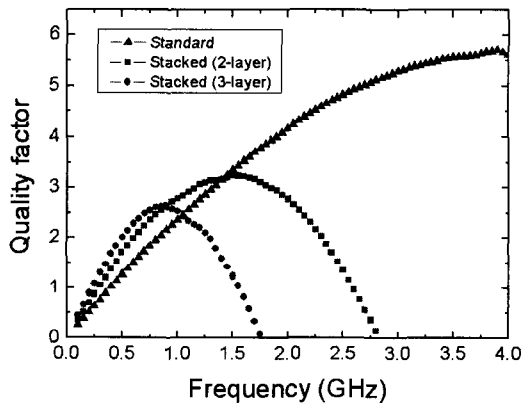
그림 4. Standard 인덕터의 내부 반경에 따른 변화  
Fig. 4. Effects of inner diameter(ID).



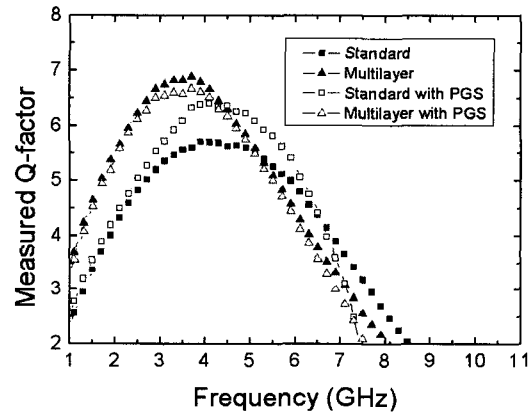
(a) 인덕턴스  
(a) Inductance



(a) 직렬 저항  
(a) Series resistance



(b) Q 지수  
(b) Quality factor



(b) Q-지수  
(b) Quality factor

그림 5. Stacked 인덕터 특성  
Fig. 5. Stacked inductor characteristics.

3.3, 3.7, 4.34를 가지지만 자기 공진 주파수는 감소하는 경향을 보였다.

그림 5는 standard 인덕터를 2층, 3층 등 N층으로 구성한 stacked 인덕터에 대해서 전체 인덕턴스는  $N^2$  배로 증가함을 보인 것이다<sup>[3]</sup>. 2.5 nH의 standard 인덕터를 2층, 3층으로 적층했을 때 각각 11.9 nH, 22 nH를 얻었다. 이는 stacked 인덕터가 같은 면적에서 큰 인덕턴스를 얻는데 유리한 구조임을 의미한다. 하지만, Q 지수와 자기 공진 주파수는 적층된 금속선 사이에서 발생하는 기생 캐패시턴스의 영향으로 많이 감소하게 됨을 알 수 있다.

인덕터의 주요 성능지수인 Q 지수와 이를 결정하는 가장 중요한 인자인 직렬 저항( $R_s$ )<sup>[4]</sup>을 인덕터의

그림 6. 인덕터의 구조에 따른 성능 비교( $W=15 \mu\text{m}$ ,  $S=2 \mu\text{m}$ ,  $ID=100 \mu\text{m}$ ,  $N=3.5$ )

Fig. 6. Performance comparison for various inductor structure( $W=15 \mu\text{m}$ ,  $S=2 \mu\text{m}$ ,  $ID=100 \mu\text{m}$ ,  $N=3.5$ ).

구조에 따른 비교를 하였다(그림 6). Standard 인덕터는 큰 직렬 저항을 가지게 되어 가장 낮은 Q 지수를 보이며, PGS를 적용한 인덕터는 standard 인덕터보다는 직렬 저항이 약간 감소되어 Q 지수가 향상되었다. 또한 두 개의 금속선(M6/M5)을 비아(via)를 통하여 연결한 multilayer 인덕터는 금속선의 유효 두께가 증가되어 직렬 저항이 줄어들음을 확인하였고, 그 결과 Q 지수가 약 30% 이상 향상됨을 확인할 수 있었다. 마지막으로 multilayer에 PGS를 적용한 인덕터는 PGS가 없는 multilayer 인덕터에 비해 향상된 Q 지수를 얻지 못하였으며, 오히려 자기 공진 주파수를 감






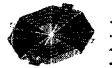
 <p><b>Standard</b></p> <ul style="list-style-type: none"> <li>- Layer : M6</li> <li>- L : 0.6 ~ 13.3 nH</li> <li>- Q : 3.3 ~ 5.7</li> <li>- <math>f_{SR}</math> : 1 ~ 16.6 GHz</li> </ul>	 <p><b>Standard with PGS</b></p> <ul style="list-style-type: none"> <li>- Layer : M6+PGS(M1)</li> <li>- L : 0.67 ~ 13.3 nH</li> <li>- Q : 3.2 ~ 6.5</li> <li>- <math>f_{SR}</math> : 2.8 ~ 12.5 GHz</li> </ul>
 <p><b>Stacked (2-layer)</b></p> <ul style="list-style-type: none"> <li>- Layer : M6+M5</li> <li>- L : 1.87 ~ 28.3 nH</li> <li>- Q : 1.9 ~ 4.9</li> <li>- <math>f_{SR}</math> : 1 ~ 7.7 GHz</li> </ul>	 <p><b>Stacked (3-layer)</b></p> <ul style="list-style-type: none"> <li>- Layer : M6+M5+M4</li> <li>- L : 15.1 ~ 43.2 nH</li> <li>- Q : 2.6 ~ 3.4</li> <li>- <math>f_{SR}</math> : 1.7 ~ 2.9 GHz</li> </ul>
 <p><b>Multilayer</b></p> <ul style="list-style-type: none"> <li>- Layer : M6/M5</li> <li>- L : 3.1 ~ 5.8 nH</li> <li>- Q : 5.7 ~ 6.9</li> <li>- <math>f_{SR}</math> : 6.5 ~ 10.6 GHz</li> </ul>	 <p><b>Multilayer with PGS</b></p> <ul style="list-style-type: none"> <li>- Layer : M6/M5+PGS(M1)</li> <li>- L : 3.1 ~ 5.8 nH</li> <li>- Q : 4.1 ~ 6.4</li> <li>- <math>f_{SR}</math> : 5.1 ~ 8.0 GHz</li> </ul>

그림 7. 개발된 인덕터 라이브러리 개요  
Fig. 7. Inductor library overview in this work.

소함을 확인하였다.

그림 7은 개발된 인덕터 라이브러리와 각각의 특성들을 요약한 것으로 최상층 금속선(M6)으로 이루어진 standard 인덕터는 3~5 정도의 Q지수와 비교적 높은 자기 공진 주파수( $f_{SR}$ )를 가지며, 여기에 최하층 금속선(M1)을 이용한 PGS를 적용한 인덕터는 5~8 정도의 향상된 Q지수를 갖지만, 자기 공진 주파수는 약간 낮아지는 특성을 보인다. 한편 두 개의 금속선(M6/M5)을 병렬로 연결하여 금속 유효 두께를 증가시킨 multilayer 인덕터는 보다 향상된 Q지수를 나타낸다. 그리고 두 층(M6+M5) 또는 세 층(M6+M5+

M4)의 금속선을 사용한 stacked 인덕터는 작은 면적에서 10 nH 이상의 큰 인덕턴스를 구현할 수 있지만, 금속선 상호간 발생하는 큰 기생 캐패시턴스의 영향으로 3 GHz 미만의 매우 낮은 자기 공진 주파수를 보였다. 전체적인 개발된 인덕터 라이브러리의 성능을 표 2에 요약하였다.

### Ⅲ. 등가회로 및 전자기파 해석

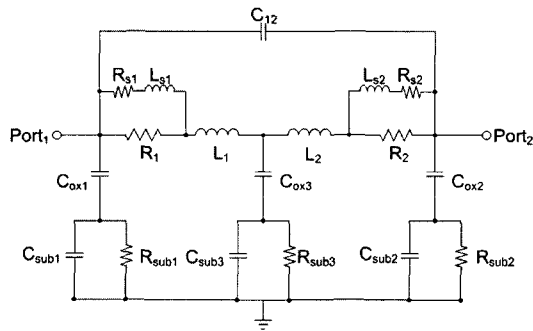
그림 8(a)는 standard 인덕터의 등가 회로이다.  $L_1$ ,  $L_2$  그리고  $R_1$ ,  $R_2$ 는 각각 standard 인덕터의 자기 인덕턴스와 직렬 저항을 의미하며,  $C_{12}$ 는 인덕터를 이루는 금속선 사이에서 발생하는 기생 캐패시턴스를 나타낸다. 또한  $L_{s1}$ ,  $L_{s2}$ 와  $R_{s1}$ ,  $R_{s2}$ 는 금속선의 고주파 표피 효과(skin effect)를 고려한 인덕턴스와 저항 값을 의미하며,  $C_{ox1}$ ,  $C_{ox2}$ ,  $C_{ox3}$ 는 금속선과 실리콘 기판 사이에서 발생하는 기생 캐패시턴스,  $C_{sub1}$ ,  $C_{sub2}$ ,  $C_{sub3}$ 와  $R_{sub1}$ ,  $R_{sub2}$ ,  $R_{sub3}$  각각 실리콘 기판에서의 초고주파 누설 캐패시턴스와 저항 값을 의미한다<sup>[5],[6]</sup>.

그림 8(a)의 일반적인 등가회로는 stacked 인덕터나 multilayer 인덕터의 경우, 상하 금속선간의 기생 캐패시턴스를 반영하지 못하기 때문에 정확도가 낮아짐을 확인하였다. 따라서 우리는 stacked 인덕터에

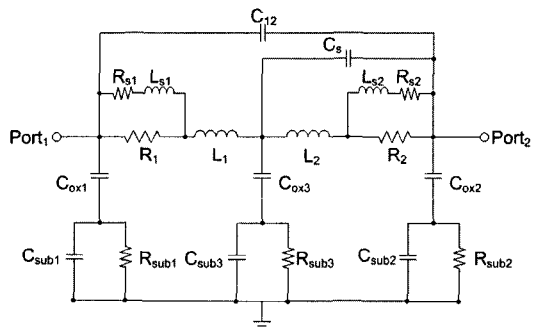
표 2. 개발된 인덕터 라이브러리의 성능 요약  
Table 2. Performance summary of inductor library of this work.

N	Standard			Standard with PGS			Stacked (2-layer: M6+M5)			Stacked (3-layer: M6+M5+M4)			Multilayer (M6//M5)			Multilayer (M6//M5) with PGS		
	$L_s$	$Q_{max}$	$f_{SR}$	$L_s$	$Q_{max}$	$f_{SR}$	$L_s$	$Q_{max}$	$f_{SR}$	$L_s$	$Q_{max}$	$f_{SR}$	$L_s$	$Q_{max}$	$f_{SR}$	$L_s$	$Q_{max}$	$f_{SR}$
1	1.98	5.15	17.3	2.25	8.39	12.5	5.9	4.3	4.9	-	-	-	-	-	-	-	-	-
2	3.22	5.71	11.2	4.10	6.68	9.0	11.9	3.2	2.8	15.1	3.4	2.9	3.1	6.8	10.6	3.5	6.4	8.0
3	4.36	5.39	8.5	5.30	6.10	7.0	15.6	2.8	2.0	28.7	2.6	1.7	4.2	5.9	8.1	5.4	5.2	6.3
4	5.93	4.66	6.8	6.83	5.54	5.4	23.6	1.9	1.5	43.2	2.9	1.3	5.0	5.7	6.5	6.7	4.1	5.0
5	7.76	4.59	6.0	8.52	5.30	4.6	28.3	2.3	1.3	-	-	-	-	-	-	-	-	-
6	8.72	3.63	5.1	9.16	5.13	4.1	-	-	-	-	-	-	-	-	-	-	-	-
7	9.86	4.06	4.7	11.2	4.96	3.6	-	-	-	-	-	-	-	-	-	-	-	-
8	12.3	3.30	4.3	12.6	4.58	3.3	-	-	-	-	-	-	-	-	-	-	-	-
9	12.4	3.70	3.8	17.2	3.21	3.0	-	-	-	-	-	-	-	-	-	-	-	-
10	13.3	4.34	3.5	16.1	3.77	2.8	-	-	-	-	-	-	-	-	-	-	-	-

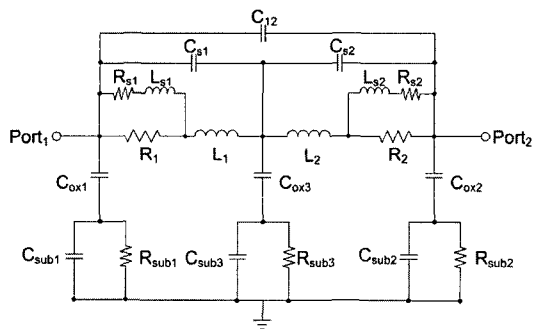
\* $L_s$ (nH): Q지수가 최대일 때의 인덕턴스,  $Q_{MAX}$ : 최대 Q 지수,  $f_{SR}$ (GHz): 자기공진주파수, N: Inductor Type.



(a) Standard 인덕터  
(a) Standard inductor



(b) Stacked 인덕터  
(b) Stacked inductor



(c) Multilayer 인덕터  
(c) Multilayer inductor

그림 8. 인덕터 구조에 따른 등가회로 모델  
Fig. 8. Equivalent circuit model of inductor.

대해서는 그림 8(b)와 같이  $C_s$ 를 추가하여 적층형 구조에서 발생하는 기생 캐패시턴스를 정확히 나타내었다. 또한 multilayer 인덕터에 대하여는 그림 8(c)와 같이 추가적인 기생 캐패시턴스를  $C_{s1}$ ,  $C_{s2}$ 로 각각 모델화하여 물리적인 구조를 잘 표현하는 등가모델을 얻었다. 이렇게 제안된 등가 회로를 이용하여 측정 수 대역에서 측정 결과와 0.1% 미만의 오차 범위로

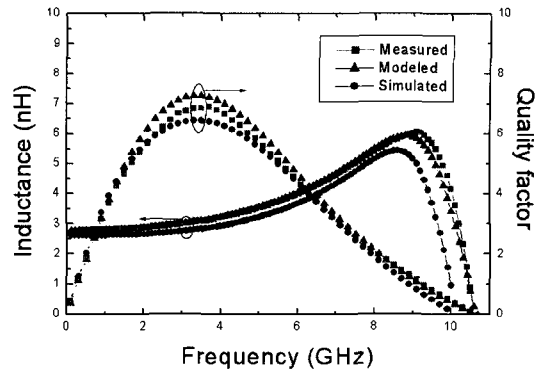


그림 9. 제작된 multilayer 인덕터에 대한 측정 결과, 전자기파 해석 결과, 등가 회로 모델 결과 비교

Fig. 9. Performance comparison of measured results, electromagnetic simulation results, and equivalent circuit simulation results for a multilayer inductor.

된 인덕터를 모델링하여 10 GHz 이상의 넓은 주파수 대역에서 정확히 일치함을 검증하였다.

그림 9는 3차원 전자기파해석(3D-EM)용 HFSS<sup>[7]</sup>를 이용하여 얻은 인덕터의 특성과 측정된 특성, 그리고 등가 회로로 모델된 인덕터의 특성을 비교한 것이다. 인덕터의 전자기파 해석은 시뮬레이션 변수가 정확하지 않으면 측정과 매우 다른 특성을 얻게 되는데, 정확한 변수 지정에 의해 표 3의 표준 디지털 CMOS 공정의 금속선과 비아에 대한 공정 변수<sup>[8]</sup>에서 식 (2), (3)을 이용하여 금속선의 도전율( $\sigma$ )을 계산한 것이다. 이를 통하여 정확한 HFSS 시뮬레이션 결과를 얻을 수 있었다. 이는 우리가 새로운 구조의 인덕터를 개발하기 위해서 HFSS 시뮬레이션을 이용하여 인덕터 특성을 예상할 수 있음을 의미한다.

표 3. HFSS 시뮬레이션을 위한 금속선 도전율 계산  
Table 3. Metal conductivity for HFSS simulation.

	Thickness ( $\mu\text{m}$ )	$R_{\text{sheet}}$ ( $\Omega$ )	$\rho$ ( $\Omega$ )	$\sigma$ (S/m)
M6	0.8415	0.045	$3.79 \times 10^{-8}$	$2.64 \times 10^7$
M1~5	0.529	0.08	$4.24 \times 10^{-8}$	$2.36 \times 10^7$
Via5	0.8	3.5	$5.68 \times 10^{-7}$	$1.76 \times 10^6$
Via4~1	0.8	5	$4.22 \times 10^{-7}$	$2.37 \times 10^6$

$$\sigma = \frac{1}{\rho} = \frac{1}{R_{shet} \cdot t} \quad (2)$$

$$\sigma = \frac{1}{\rho} = \frac{H}{R \cdot t} \quad (3)$$

#### IV. 5-GHz VCO 적용

개발된 인덕터 라이브러리의 정확성을 검증하기 위하여 본 논문에서 개발한 standard 인덕터 등가회로를 사용하여 전압 조정발진기(VCO)를 설계하였고, IDEC 동부 일렉트로닉스 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정을 통해 제작하였다. 설계 회로 및 측정된 출력 스펙트럼을 그림 10에 나타냈다. 1.8 V의 공급 전원에 4 mA의 전류를 소모하며, 동작 주파수 범위는 3-bit capacitor bank를 조정함에 따라 3.9~4.8 GHz를 보였다. 위상 잡음은 중심 주파수 3.9 GHz이고 offset 주파수 1 MHz에서 -106 dBc/Hz를 얻었다. 동작 주파수와 위상 잡음에 대한 측정 결과는 시뮬레이션 결과와 매우 유사함을 확인할 수 있었다. 이는 본 연구에서 개발된 인덕터가 향후 표준 CMOS 공정을 이용한 RFIC 개발에 적용될 수 있음을 의미한다. 본 연구의 VCO와 다른 논문에서의 VCO 성능 결과를 표 4에 비교하였다.

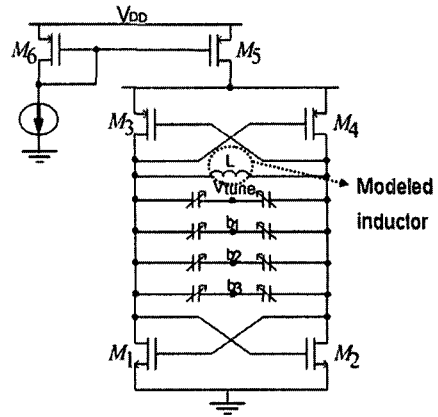
#### V. 결 론

본 논문은 저비용 RFIC 개발을 위하여 동부 일렉트로닉스 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정을 기반으로 하는 인덕터 라이브러리를 제작, 측정하고 구조에 따른 등가 모델을 제안하여 모델 변수들을 추

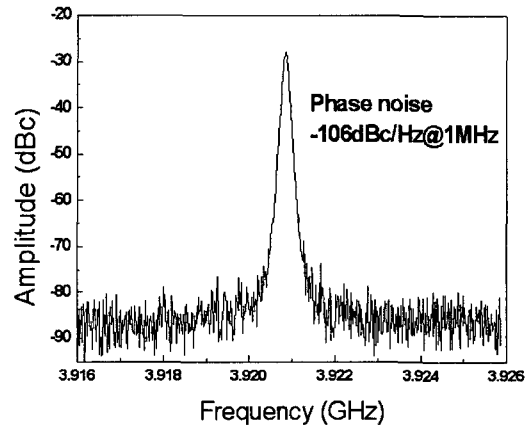
표 4. 성능 비교표

Table 4. Performance comparison.

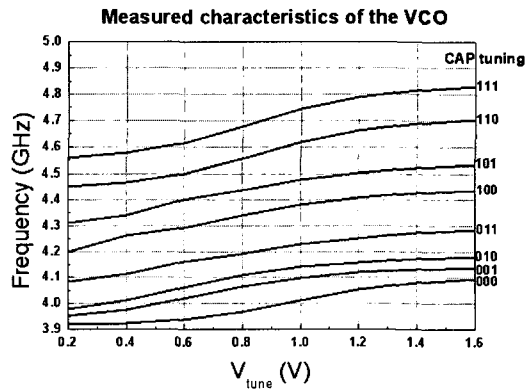
Reference	Technology	Operating frequency	Phase noise @ offset frequency
This work	0.18 $\mu\text{m}$ CMOS	4.4 GHz	-106 dBc/Hz @ 1 MHz
[9]	0.35 $\mu\text{m}$ CMOS	6.53 GHz	-98.4 dBc/Hz @ 1 MHz
[10]	0.35 $\mu\text{m}$ CMOS	2.6 GHz	-110 dBc/Hz @ 5 MHz
[11]	0.5 $\mu\text{m}$ CMOS	900 MHz	-110 dBc/Hz @ 200 KHz



(a) 회로도  
(a) Circuit schematic



(b) 측정 출력 스펙트럼  
(b) Output spectrum of measurement



(c) 주파수 조정 특성  
(c) Frequency tuning characteristics

그림 10. 표준 디지털 0.18  $\mu\text{m}$  CMOS 공정을 이용하여 제작한 VCO

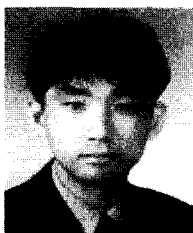
Fig. 10. VCO in standard digital 0.18  $\mu\text{m}$  CMOS process.

출하였다. 또한 3차원 전자기파 시뮬레이션 과정을 확립하여 앞으로 더욱 확장된 새로운 인덕터 설계를 할 수 있도록 구축하였다. 측정 결과로부터 multilayer inductor가 다른 구조에 비해 30~40% 향상된 Q 지수를 보임을 확인하였다. 개발된 인덕터는 4 GHz 대역 전압 조정 발진기의 설계 및 제작에 성공적으로 적용되었으며, 이는 향후 무선 센서 네트워크 등 저가의 RFIC 개발에 이용될 수 있음을 의미한다.

### 참 고 문 헌

- [1] C. P. Yue, S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF IC's", *IEEE J. Solid-State Circuits*, vol. 33, pp. 743-752, May 1998.
- [2] S. M. Yim, T. Cheng, and O. Kenneth, "The effects of a ground shield on spiral inductors fabricated in a silicon bipolar technology", *IEEE Bipolar Circuit and Technology Meeting*, 2000.
- [3] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology", *IEEE J. Solid-State Circuits*, vol. 36, pp. 620-628, Apr. 2001.
- [4] J. N. Burghartz, M. Soyuer, and K. A. Jenkins, "Integrated RF and microwave components in BiCMOS", *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1559-1569, Sep. 1996.
- [5] C. Patrick Yue, S. Simon Wong, "Physical modeling of spiral Inductors on silicon", *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560-568, Mar. 2000.
- [6] H. A. Wheeler, "Formulas for the skin effect", *In Proc. I. R. E.*, vol. 30, pp. 412-424, Sep. 1942.
- [7] HFSS (High Frequency Structure Simulator), version10, Ansoft Inc.
- [8] Dongbu Electronics Generic Logic 0.18  $\mu\text{m}$  1P6M Spice model manual.
- [9] T. P. Liu, "6.5 GHz monolithic CMOS voltage-controlled oscillator", *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, San Francisco, USA, pp. 404-405, Feb. 1999.
- [10] C. Lam, B. Razavi, "A 2.6 GHz/5.2 GHz CMOS voltage-controlled oscillator", *IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, USA*, pp. 402-403, Feb. 1999.
- [11] B. -H. Park, P. E. Allen, "Low-power, low-phase-noise CMOS voltage-controlled oscillator with integrated LC resonator", *Proceedings of the IEEE International Symposium on Circuits and Systems*, vol. 4, pp. 378-381, 1998.

### 정 위 신



2005년 2월: 광운대학교 전자공학부 (공학사)  
 2007년 2월: 광운대학교 전자공학과 (공학석사)  
 [주 관심분야] RF/Analog/Microwave Integrated Circuits and Device Modeling

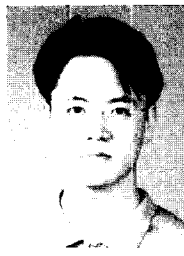
### 김 승 수



1998년 2월: 군산대학교 전자공학과 (공학사)  
 2004년 2월: 광운대학교 전자공학과 (공학석사)  
 2004년 3월~현재: 광운대학교 전자공학과 박사과정  
 [주 관심분야] CMOS RFIC and MM-IC



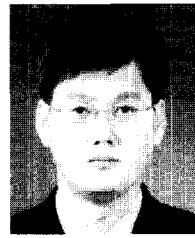
박 용 국



1994년 2월: 중앙대학교 전자공학과 (공학사)  
1996년 2월: 중앙대학교 전자공학과 (공학석사)  
1996년 1월~2001년 8월: (주)한화/정보통신 주임연구원  
2001년 9월~현재: 전자부품연구원 유비쿼터스컴퓨팅연구센터 책임

연구원  
[주 관심분야] WPAN RF system and RFIC

신 현 철



1991년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)  
1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
1998년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
1997년 4월~1997년 10월: 독일 Daimler-Benz Research Center 연구원

1998년 1월~2000년 3월: 삼성전자 System LSI 선임연구원  
2000년 4월~2002년 4월: 미국 UCLA 박사후 연구원  
2002년 5월~2003년 8월: 미국 Qualcomm RF/Analog IC Design 선임연구원  
2003년 9월~현재: 광운대학교 전파공학과 조교수  
[주 관심분야] RF/Analog/Microwave Integrated Circuits and Systems

원 광 호



1989년 2월: 단국대학교 전자공학과 (공학사)  
2004년 2월: 중앙대학교 정보통신공학과 (공학석사)  
2007년 2월: 광운대학교 전자통신공학과 박사수료  
1991년 8월~1997년 3월: (구)현대

전자 정보통신연구원 주임연구원  
1997년 3월~현재: 전자부품연구원 유비쿼터스컴퓨팅연구센터 책임연구원  
2004년 3월~현재: 한국정보과학회 정보통신연구회 협동운영위원  
2005년 7월~현재: 한국 ZigBee 포럼 운영위원  
[주 관심분야] WPAN(Wireless Personal Area Network) Systems and SoC