

소수분주비를 갖는 광대역 가변 능동 주파수 분주기 마이크로파 집적회로

Wideband Tunable Semidynamic Fractional Frequency Divider MMIC

원 복 연 · 신 재 옥 · 신 현 철

Bokyeon Won · Jaewook Shin · Hyunchol Shin

요 약

마이크로파 광대역 능동 주파수 분주기는 가변 위상 변환기(tunable polyphase filter)와 가변 영상 주파수 제거 혼합기(tunable image-rejection mixer)를 연결한 것에 정적 이분 주기(static divide-by-2)를 케환 경로로 연결하여 구성하였다. 출력에서 원하지 않는 불요파 신호를 영상 주파수 제거 혼합기와 가변 위상 변환기를 조정함으로써 넓은 주파수 영역에서 제거할 수 있었다. GaInP/GaAs HBT 공정을 이용하여 설계된 1.5 분주비를 갖는 주파수 분주 회로는 4.5 GHz에서 9.2 GHz의 광대역 입력 주파수 영역에서 동작하였으며, $1/3 \times f_{in}$ 과 f_{in} 불요파 성분이 모두 -20 dBc 이하로 억제되었다. 소모 전력은 4.1 V에서 29 mA이다.

Abstract

A semidynamic frequency divide-by-1.5 MMIC comprises a tunable polyphase filter, tunable image-rejection mixer, and a static divide-by-2 in the feedback path. Wideband suppression of unwanted tones is achieved by employing a tunable image-rejection mixer and a tunable single-stage polyphase filter. Implemented in GaInP/GaAs HBT technology, the divide-by-1.5 MMIC operates over the input frequency range of 4.5 to 9.2 GHz with better than -20 dBc suppressions of $1/3 \times f_{in}$ and f_{in} tones, while dissipating 29 mA from 4.1 V supply.

Key words : MMIC, Dynamic Frequency Divider, GaInP/GaAs HBT, Phase Shifter

I. 서 론

무선 통신 시스템에서 고속 주파수 분배기는 반송파 생성과 주파수 합성에서 중요한 요소 회로이다. 저전력과 고속 동작을 위해서는 정적 플립플롭(static flip-flop) 기반 주파수 분주기보다 동적 재생성 분주기, 즉 Miller 분주기^[1]가 더 적합한 것으로 알려져 있다.

간단한 동적 2-분주기(dynamic divide-by-2) 회로는 주파수를 가감산하기 위한 혼합기와 원하는 주파수인 $1/2 \times f_{in}$ 을 선택하기 위한 저역 통과 필터(low pass

filter)로 구성되어 있다. 마이크로파 대역의 이러한 동적 2-분주기에 관련된 내용은 40-GHz CMOS Divider^[2], 94-GHz pHEMT Divider^[3], 28-GHz Si BJT Divider^[4]와 60-GHz HBT Divider^[5] 등이 논문에서 이미 보고되었다. 이러한 동적 분주기들은 RF 회로인 혼합기를 사용하기 때문에 디지털 회로로 구성된 정적 분주기에 비해서 전류 소모는 적으나 동작 주파수는 높은 특징이 있다.

본 논문에서 제시하는 능동 분주기는 그림 1과 같이 동적 분주기(dynamic frequency divider)와 N-분주비를 갖는 정적 분주기(static frequency divider)로 구

「본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음(IITA-2006-C1090-0603-0038).」

광운대학교 전파공학과(Department of Radio Science and Engineering, Kwangwoon University)

· 논문 번호 : 20070126-012

· 수정완료일자 : 2007년 4월 2일

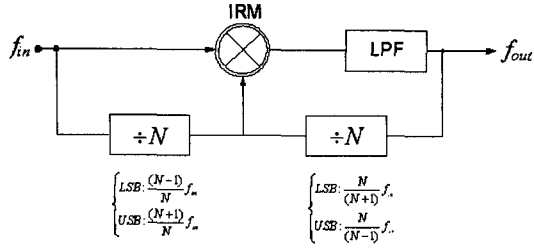


그림 1. 소수 분주비를 갖는 능동 주파수 분주기 구조도
 Fig. 1. General architecture of fractional semidynamic frequency divider.

성된다. 일반적으로 혼합기의 출력은 서로 가까운 양측과 대역이기 때문에 단측과 대역의 출력 신호를 얻기 위해서 영상 주파수 제거 혼합기(image-rejection mixer)가 필요하다. 여기에는 그림과 같이 피드포워드 선로에 있는 정적 분주기를 동작시키는 방법과 피드백 선로에 있는 분주기를 동작시키는 방법으로 나뉜다. 피드백 경로에 있는 정적 분주기를 동작을 시킨다면, 상측 대역의 출력 주파수는 $N/(N-1) \times f_{in}$ 이 되고, 하측 대역의 출력 주파수는 $N/(N+1) \times f_{in}$ 이 된다. 반대로, 피드포워드 경로의 정적 분주기를 동작시키면, 상측 대역의 출력 주파수는 $(N+1)/N \times f_{in}$ 이 되고, 하측 대역의 출력 주파수는 $(N-1)/N \times f_{in}$ 이 된다. 이러한 소수 분주비를 가지는 분주기는 하나의 주파수 합성기로 두 가지 이상의 주파수 대역을 지원하고자 할 때 필요한 구성요소 회로이다^{[7]~[9]}. 소수 분주비를 갖는 주파수 분주기에 대한 기존 연구 결과도 많이 발표되었다^{[6]~[9]}. 하지만 이는 모두 Si BJT와 CMOS 공정으로 설계되었으며, 6-GHz 이하의 동작 주파수를 갖는 한계가 있다.

본 논문에서는 GaInP/GaAs HBT를 이용하여 고조파 성분을 효과적으로 제거하며, 광대역에서 동작이 가능하도록 가변 주파수 혼합기와 가변 위상 변환기를 이용하여 4.5 GHz에서 9.2 GHz까지 한 옥타브(octave)의 동작 주파수 범위를 갖는 저전력 소수 분주기 회로를 제안하고 개발하였다.

II. 회로 설계

그림 2는 본 연구에서 개발한 1.5-분주비를 갖는 주파수 분주기의 구성도이다. 분주기는 입력에 다중

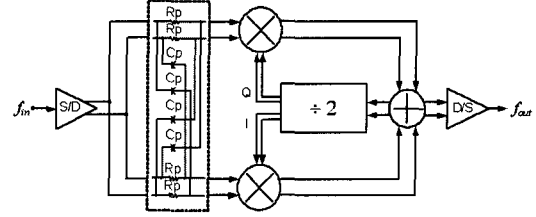


그림 2. 가변 위상 변환기를 이용한 1.5-분주비의 광대역 능동 주파수 분주기 구조도
 Fig. 2. Block diagram of the semi-dynamic divide-by-1.5 circuit.

위상 변환기(polyphase filter)와 영상 주파수 제거 혼합기, 피드백 경로에 D-플립플롭을 이용한 정적 2분주기로 구성되었다. 입력단과 출력단에 단일 입력 차동 출력 버퍼(single-to-differential buffer)와 차동 입력 단일 출력 버퍼(differential-to-single buffer)가 각각 쓰였다. 영상 주파수 제거 혼합기는 하측 대역(lower sideband)을 선택하게 설계되었으며 따라서 출력 주파수 f_{out} 은 다음과 같이 결정된다.

$$f_{in} - \frac{1}{2} f_{out} = f_{out} \Rightarrow f_{out} = \frac{2}{3} f_{in} \quad (1)$$

그림 3은 설계된 회로도이다. Gilbert-cell mixer는 그림 3에서 보는 바와 같이 일반적인 구조를 사용하였다. 2분주기로 동작하는 D 플립플롭은 2단의 래치로 구성되어 있는데, 첫 번째 상향 에지에서는 첫 번째 단의 래치가 입력 신호를 받고, 두 번째 상향 에지에서는 두 번째 단의 래치가 첫 번째 래치의 출력을 입력으로 받게 된다. 따라서 D 플립플롭은 2분주기로 동작하게 된다. Gilbert-cell mixer는 2.5 mA의

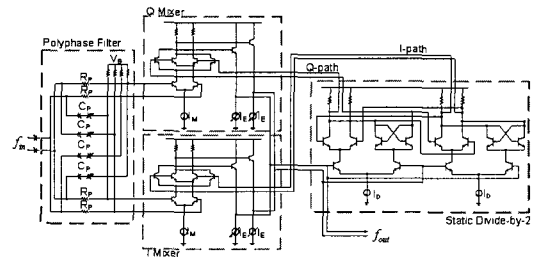


그림 3. 1.5-분주비의 마이크로파 광대역 능동 분주기 회로도
 Fig. 3. Circuit schematic of the wideband semi-dynamic 1.5-divider.

코어 전류가 흐르며, 130 Ω의 부하 저항으로 설계하였다. 이때 출력 신호의 크기는 300 mV_{p-p}이다. D 플립플롭을 이용해 정적 2분주기의 코어 전류는 3 mA이며, 120 Ω의 부하 저항을 사용하였다. Gilbert-cell mixer와 D 플립플롭의 DC 바이어스는 안정적인 전류 공급을 위하여 current mirror를 사용하였다.

우리가 제안한 분주기의 출력에는 원하는 신호인 $2/3 \times f_m$ 과 원하지 않는 3개의 고조파 성분이 있다. 그림 3을 보면 입력 신호를 I/Q 신호로 만들기 위해 주파수 혼합기 입력단(mixer input stage) 앞에 다중 위상 필터(polyphase filter)를 사용하였다. 이 다중 위상 필터 출력의 진폭 및 위상 오차로 인해 f_m 성분이 출력에 나타날 수 있다. 또한, 영상 주파수 제거 혼합기의 스위칭 쿼드 트랜지스터로 입력되는 $1/3 \times f_m$ 성분이 소자 및 신호의 진폭/위상 오차로 인해 완벽하게 제거되지 않기 때문에 $1/3 \times f_m$ 성분도 원하지 않는 출력 성분으로 나타날 수도 있다. 또한 영상 주파수 제거 혼합기의 출력은 정적 이분주기의 입력단으로 연결된다. 따라서 영상 주파수 제거 혼합기에서 영상 주파수가 완벽하게 제거되지 않으면 $4/3 \times f_m$ 성분이 출력에 나타날 수 있다.

광대역에서 원하지 않는 고조파 성분을 제거하기 위해서, 본 논문에서 제안한 방법은 그림 3에서 보는 바와 같이 주파수 혼합기 출력단의 에미터 팔로워 버퍼(emitter follower buffer)와 다중 위상 변환기(polyphase filter)를 가변할 수 있게 구성한 것이다. 그림 4(a)는 가변 에미터 팔로워(tunable emitter follower)의 회로이다. 이는 입력 신호 진폭 오차를 보정하기 위해 고안되었다. 영상 주파수 제거 혼합기의 각 에미터 팔로워 버퍼의 바이어스 전류는 2.4 mA에서 3.2 mA 사이로 조절할 수 있으며, Q_3 는 에미터 사이즈(A_E)가 $1 \times 1 \times 4 \text{ } \mu\text{m}^2$ 인 HBT로 설계되었다. 일반적으로 I/Q 신호를 만들기 위해서 그림 5(a)와 같은 RC-CR 위상 변환기를 사용한다. 이 회로는 광대역에서 90도 위상차를 유지하지만 신호의 진폭 오차가 심해 광대역에 적합하지 않다. 한편 그림 5(b)와 같이 다단 다중 위상 변환기(Multi-stage polyphase filter)는 광대역에 적합한 I/Q 변환 회로이다. 이는 비교적 넓은 주파수 영역에서 I/Q 신호가 90도의 위상차를 유지하며 신호의 진폭 오차도 이론적으로는 작다. 하지만 광대역에서 사용하기 위해 위상 변환기의

단수를 증가시키면 입력 임피던스가 감소하게 되므로 수 GHz 대역의 마이크로파 대역에서 원하는 크기의 출력을 얻으려면 큰 전력을 소모해야 한다. 그러므로 우리는 광대역에서 저전력으로 동작시키기 위해 단일 다중 위상 변환기에 가변 캐패시터를 연결함으로써 그 문제를 해결하였다. 그림 4(b)는 가변 단일 위상 변환기의 회로도이다. 위상 변환기의 코어는 저항 R_p , 캐패시터 C_p 와 가변 캐패시터로 구성되었다. 저항과 캐패시터 값은 각각 140 Ω과 0.2 pF이다. 가변 캐패시터는 에미터 사이즈가 $4 \times 4 \times 20 \text{ } \mu\text{m}^2$ 인 HBT의 베이스-컬렉터 접합 다이오드(base-collector junction diode)에 역방향 바이어스 전압을 사용하여 구현하였다. 역방향 바이어스 전압이 3.2 V에서 -0.8 V로 변할 때 접합 캐패시터(junction capacitance)는 0.91 fF에서 0.44 fF으로 변한다. 컨트롤 전압 V_{TC} 와 V_{TQ} 는 캐패시터를 변화시키기 위해 독립적으로 조절할 수 있게 설계했다. 그림 3의 회로에서 I_{out} 과 Q_{out} 은 Gilbert-cell mixer의 gm-stage의 베이스 터미널에 직접 연결되기 때문에, V_B 는 3.2 V의 바이어스 전압을 회로에 공급한다. AC 신호를 차단하기 위해 5 kΩ의 큰 저항 값을 갖는 R_C 를 사용하였다. 그리고 R_B 는 I/Q 신호의 진폭과 위상의 오차를 최소화하기 위해 140 Ω으로 최적화하였다.

그림 6(a), (b)는 9 GHz에서 가변 위상 변환기의 입력 신호와 출력 신호의 시뮬레이션 파형을 각각 보여주고 있다. 입력 버퍼의 불완전성으로 인해 그림

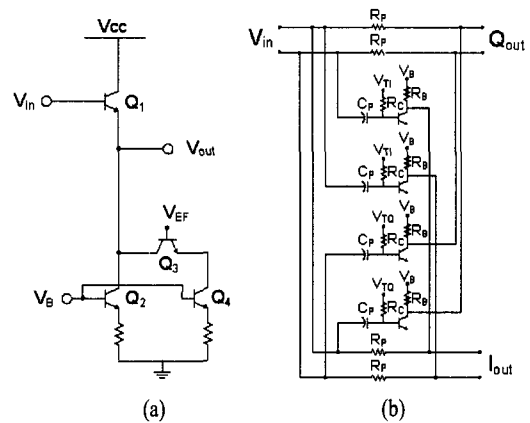


그림 4. (a) 가변이득 Emitter follower 회로도, (b) 가변 위상 변환기 회로
Fig. 4. Circuit schematic: (a) Tunable Emitter follower (b) Tunable polyphase filter.

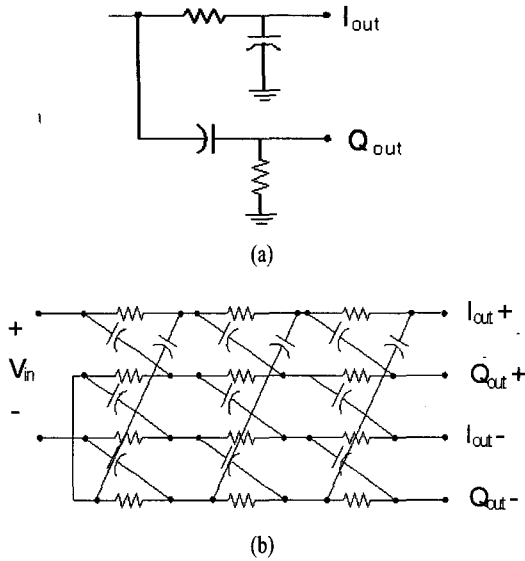


그림 5. (a) RC-CR 위상 변환기, (b) 다중 다상 위상 변환기
 Fig. 5. Circuit schematic: (a) RC-CR phase shifter and (b) Multi-stage polyphase filter.

6(a)와 같이 입력 신호가 완전한 차동 신호를 이루지 못하고 있다. 이는 주파수가 높아질수록 더욱 심해진다. 그러나 그림 6(b)를 보면 가변 위상 변환기를 통과한 신호는 위상 거의 90도를 이루고 진폭 오차도 상당히 줄었음을 확인할 수 있다.

III. 측정 결과

설계된 회로는 f_i 와 f_{max} 가 각각 65 GHz와 100 GHz인 나리지온사의 GaInP/GaAs HBT 공정을 이용하여 제작하였다. 측정은 chip-on-board와 on-wafer probing 기술을 이용하여 수행하였다. 그림 7은 제작된 1.5-분주비의 광대역 능동 주파수 분주기 칩 사진이며 크기는 $1 \times 2 \text{ mm}^2$ 이다. 분주기 설계에 사용된 트랜지스터는 모두 92개이며, 이는 같은 공정을 이용하여 제작되어 보고된 다른 MMIC 회로에 비해 매우 큰 집적도를 이룬 것이다.

전체 회로의 측정에 앞서 우선 독립적으로 제작된 정적 2-분주기와 동적 2-분주기를 측정하였다. 정적 2-분주기의 동작 범위를 보여주는 input sensitivity가 그림 8에 나타나 있고, 이때 최고 동작 주파수는 13.5 GHz이었으며 동적 2-분주기의 특징인 자가 발진은 4.2 GHz에서 확인되었다. 동적 2-분주기는 9~19.5

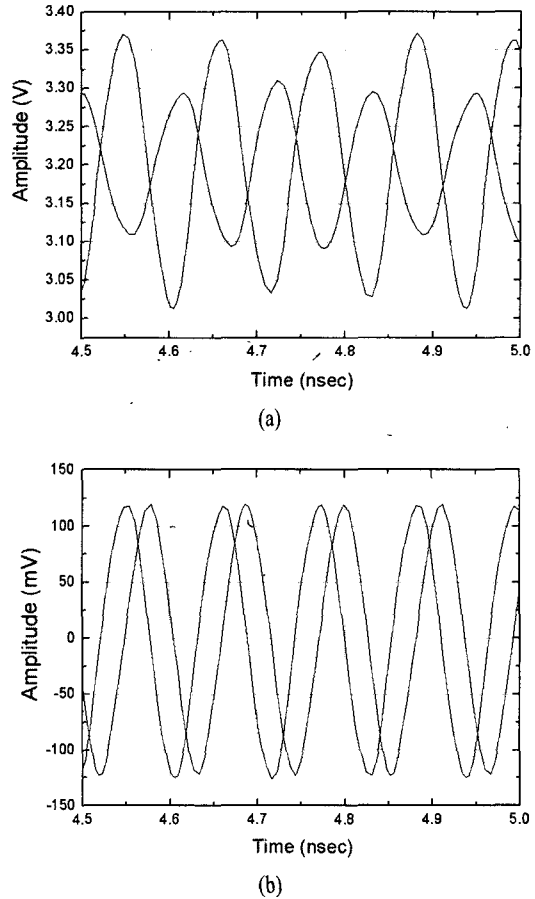


그림 6. (a) 위상 변환기 입력전의 주파수 파형, (b) 위상 변환기 통과 후 주파수 파형
 Fig. 6. Simulated waveforms: (a) Before the phase shifter and (b) After the phase shifter.

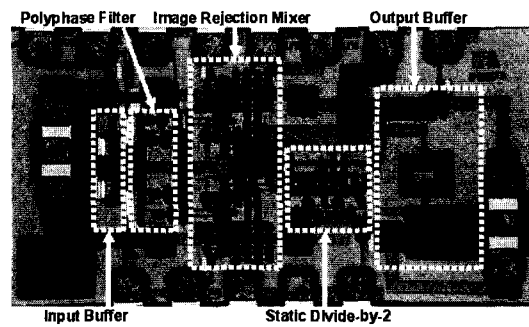


그림 7. 제작된 능동 주파수 분주기의 칩 사진
 Fig. 7. Chip microphotograph.

GHz까지 동작됨을 측정으로 확인하였다. 이는 기존 논문으로 잘 알려져 있듯이 동작 범위가 한 octave가

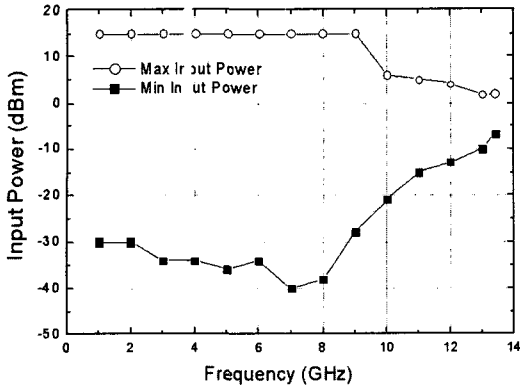


그림 8. 정적 2-분주기의 input sensitivity 측정 결과
Fig. 8. Measured input sensitivity of the static divide-by-2.

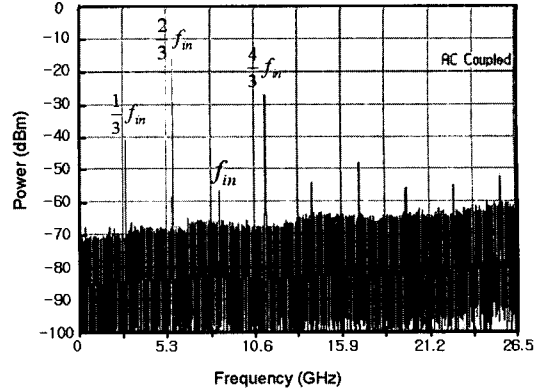


그림 10. 입력 주파수가 8.5 GHz일 때 출력 스펙트럼
Fig. 10. Output spectrum with 8.5 GHz input.

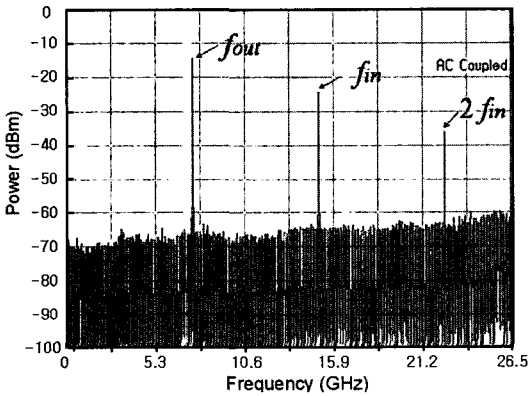


그림 9. 입력 주파수가 15 GHz일 때 능동 2-분주기의 출력 스펙트럼
Fig. 9. Output spectrum of dynamic divide-by-2 with 15 GHz input.

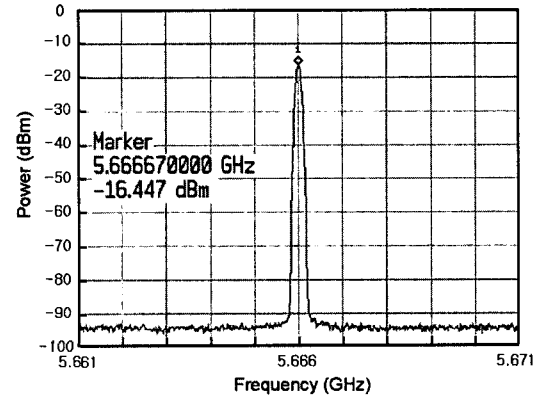


그림 11. 8.5 GHz 입력 주파수에서 10 MHz span의 출력 스펙트럼
Fig. 11. Output spectrum with 8.5 GHz input at 10 MHz span.

됨을 보여준다. 그림 9는 입력이 15 GHz일 때 동적 2-분주기의 출력 스펙트럼이다.

그림 10은 8.5 GHz의 입력 주파수에 -4 dBm의 입력 전압을 인가하였을 때 출력 주파수가 5.67 GHz 이고 출력 전력은 -17 dBm임을 보여주고 있다. 원하지 않는 신호인 $\frac{1}{3}f_{in}$, f_{in} 의 억압(suppression)은 각각 -24 dBc, -39 dBc로 측정되었다. 하지만 $\frac{4}{3}f_{in}$ 의 억압은 -11 dBc로 측정되었다. 그림 11은 입력 주파수가 8.5 GHz일 때 출력 스펙트럼이고 이때의 위상 잡음(phase noise)을 그림 12에서 보여주고 있다. 위상 잡음은 100 kHz offset에서 -117 dBc/Hz, 1 MHz offset에서 -132 dBc/Hz가 각각 측정되었다.

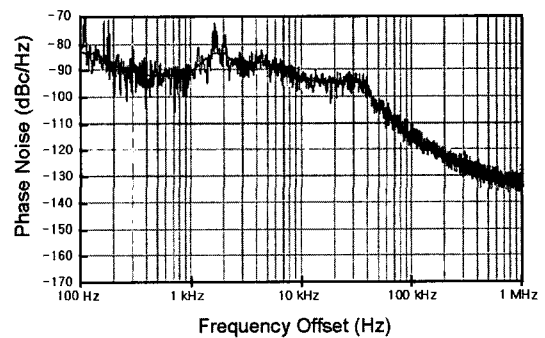


그림 12. 입력 주파수가 8.5 GHz일 때 출력 신호의 위상 잡음
Fig. 12. The phase noise of output with 8.5 GHz input.

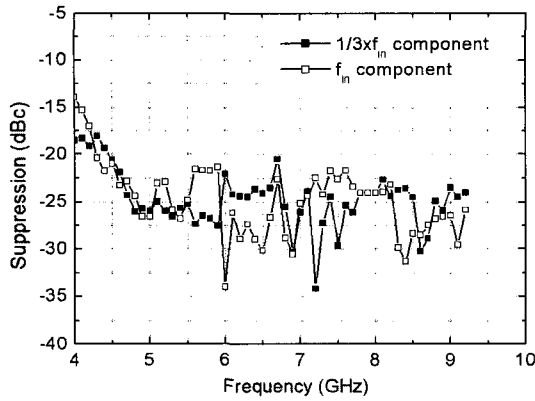


그림 13. $1/3 \times f_{in}$ 과 f_{in} 불요파 성분 억압 특성 측정 결과
Fig. 13. Measured suppression characteristics of $1/3 \times f_{in}$ and f_{in} components.

1.5 분주비에 따른 위상 잡음은 입력 신호의 위상 잡음에 비해 이론적으로 3.5 dB가 좋아진다. 측정에서는 입력 신호의 위상 잡음보다 약 3 dB 좋게 측정되어서 제작된 분주기가 약 0.5 dB의 위상 잡음을 열화시키는 것으로 측정되었다. 이는 분주기의 위상 잡음이 무시할만한 수준임을 의미한다.

가변 위상 변환기의 V_{TQ} 와 V_{TI} 그리고 혼합기의 에미터 팔로워의 바이어스 전류를 직접 조절함으로써 그림 13처럼 원하지 않는 고조파 성분인 $1/3 \times f_{in}$ 과 f_{in} 을 -20 dBc 이하로 제거하여 광대역의 동작 범위를 실현하였다. 동작 대역폭은 4.5 GHz에서 9.2 GHz로 한 옥타브를 넘는 수준이다. 영상 주파수인 $4/3 \times f_{in}$

은 $-10 \sim -20$ dBc 정도로 측정되었는데, 영상 주파수는 원하는 신호인 $2/3 \times f_{in}$ 과 비교적 멀리 떨어져 있어 간단한 필터를 추가함으로써 비교적 쉽게 제거할 수 있을 것으로 기대된다.

표 1은 이미 발표된 다른 동적 분주기와 본 논문의 동적 분주기에 대한 성능비교표이다^{[7]~[10]}. 본 논문에서 제안된 동적 분주기는 가변 위상 변환기와 가변 입력 버퍼를 사용함으로써 입력 주파수 신호에 대한 불요파 억압을 최적화하여 64 %에 달하는 광대역 동작을 가능하게 하였다. 또한 Si 공정으로 제작된 다른 동적 분주기들에 비해 매우 높은 최고 동작 주파수를 가지고 있다^{[7]~[9]}.

IV. 결 론

본 논문의 마이크로파 광대역 능동 주파수 분주기는 가변 다중 위상 변환기를 이용하여 광대역에서 차동 입력 신호의 위상 및 진폭의 오차를 최소화하였다. 또한 영상 주파수 제거 혼합기의 에미터 팔로워 이득을 조정할 수 있게 설계함으로써 레이아웃 혹은 제작시에 발생하는 오차로 인한 영상 주파수를 보다 효과적으로 제거할 수 있었다. 전체 분주기는 가변 영상 주파수 제거 혼합기와 정적 이분주기와 가변 위상 변환기로 구성되었다. 분주기 회로는 4.1 V에서 29 mA의 전류가 소모되었다. 입력 동작 주파수가 4.5 GHz에서 9.2 GHz까지 측정되었으며, 그때 $1/3 \times f_{in}$

표 1. 성능비교표

Table 1. Performance comparison.

	This Work	[7]	[8]	[9]	[10]
Input Frequency (GHz)	4.5~9.2	3.96	2.2~3.3	6	9~9.5
Bandwidth ⁽¹⁾ (%)	64	0	40	0	5
Divide Ratio ⁽²⁾	2/3	1±1/7.5	1/3, 1/2, 2/3	3/2	2/3
Output Frequency (GHz)	3.0~6.13	3.432, 4.488	0.74~2.2	9	6~6.33
Suppression ⁽³⁾ (dBc)	< -20	-20	< -30	-22	< -20
Phase Noise ⁽⁴⁾ (dBc/Hz)	-132	N/A	-120 ⁽⁵⁾	-104 ⁽⁵⁾	N/A
DC Power Consumption Supply Voltage	119 mW 4.1 V	18 mW 1.8 V	N/A 1.2V	11 mW 1.8 V	256 mW 4.2 V
Process Technology	GaInP/GaAs HBT	0.18 μm CMOS	0.13 μm CMOS	0.18 μm SiGe HBT	GaInP/GaAs HBT

⁽¹⁾ 입력 주파수 범위와 가운데 주파수의 비율, ⁽²⁾ 입력, 출력 주파수의 비율, ⁽³⁾ 불요파 성분들의 억압 특성, ⁽⁴⁾ 1-MHz 떨어진 부분의 값, ⁽⁵⁾ On-chip VCO의 위상잡음을 포함한 값.

과 f_m 성분은 각각 -20 dBc 이하로 측정되었다. 본 논문에서 제시된 마이크로파 광대역 소수 분주비의 능동 주파수 분주기는 마이크로파 대역에서 광대역 폭을 필요로 하는 주파수 합성기나 발생기에 응용될 수 있다.

참 고 문 헌

- [1] R. L. Miller, "Fractional-frequency generators utilizing regenerative modulation", *Proc. Inst. Radio Eng.*, vol. 27, pp. 46-456, Jul. 1939.
- [2] J. Lee, B. Razavi, "A 40-GHz frequency divider in 0.18- μ m CMOS technology", *IEEE J. Solid-State Circuits*, vol. 39, pp. 594-601, Apr. 2004.
- [3] S. Kudszus, W. H. Haydl, M. Neumann, and M. Schlechtweg, "94/47-GHz regenerative frequency divider MMIC with low conversion loss", *IEEE J. Solid-State Circuits*, vol. 35, pp. 1312-1317, Sep. 2000.
- [4] M. Kurisu, G. Uemura, M. Ohuchi, C. Ogawa, H. Takemura, T. Morikawa, and T. Tshiro, "A Si Bipolar 28-GHz dynamic frequency divider", *IEEE J. Solid-State Circuits*, vol. 27, no. 12, Dec. 1992.
- [5] O. Lee, J. Kim, K. Lim, J. Laskar, and S. Hong, "A 60-GHz Push-Push InGaP HBT VCO with dynamic frequency divider", *IEEE Microwave and Wireless Component Lett.*, vol. 15, no. 10, pp. 679-681, Oct. 2005.
- [6] J. Strange, S. Atkinson, "A direct conversion transceiver for multi-band GSM application", *IEEE RFIC Symp. Dig. Papers*, pp. 25-28, 2000.
- [7] C. -C Lin, C. -K. Wang, "A regenerative semi-dynamic frequency divider for mode-1 MB-OFDM UWB hopping carrier generation", *IEEE Int. Solid-State Circuit Conf.*, pp. 206-207, Feb. 2005.
- [8] D. Guermandi, P. Totori, E. Franchi, and A. Gnudi, "A 0.75 to 2.2 GHz continuously-tunable quadrature VCO", *IEEE Int. Solid-State Circuit Conf.*, pp. 536-537, Feb. 2005.
- [9] H. Shin, Z. Xu, and M. F. Chang, "A 1.8-V 6/9-GHz reconfigurable dual-band quadrature LC VCO in SiGe BiCMOS technology", *IEEE J. Solid-State Circuits*, vol. 38, pp. 1028-1032, Jun. 2003.
- [10] B. Won, J. Shin, S. Jeon, and H. Shin, "A 9-GHz Semi-Dynamic Frequency Divide-by-2/3 in GaInP/GaAs HBT", in *Asia-Pacific Microwave Conference Tech. Dig.*, pp. 1612-1615, Dec. 2005.

원 복 연



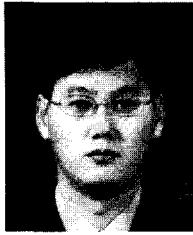
2005년 2월: 광운대학교 전파공학과 (공학사)
 2007년 2월: 광운대학교 전파공학과 (공학석사)
 2007년 1월~현재: 삼성전자 반도체사업부
 [주 관심분야] RF/Analog Circuits

신 재 욱



2005년 2월: 광운대학교 전파공학과 (공학사)
 2007년 2월: 광운대학교 전파공학과 (공학석사)
 2007년 1월~현재: 광운대학교 전파공학과 박사과정
 [주 관심분야] RF/Analog Circuits and PLL Based Frequency Synthesizers

신 현 철



1991년 2월: 한국과학기술원 전기
및 전자공학과 (공학사)

1993년 2월: 한국과학기술원 전기
및 전자공학과 (공학석사)

1998년 2월: 한국과학기술원 전기
및 전자공학과 (공학박사)

1997년 4월~1997년 10월: 독일 Dai-
mle-Benz Research Center 연구원

1998년 1월~2000년 3월: 삼성전자 System LSI 선임연구원

2000년 4월~2002년 4월: 미국 UCLA 박사후 연구원

2002년 5월~2003년 8월: 미국 Qualcomm RF/Analog IC
Design 선임연구원

2003년 9월~현재: 광운대학교 전자공학과 조교수

[주 관심분야] RF/Analog/Microwave Integrated Circuits and
Systems