

---

# 나노구조 이중게이트 FinFET의 크기변화에 따른 문턱전압이동 및 DIBL 분석

정 학 기\*

Analysis of Dimension-Dependent Threshold Voltage Roll-off and DIBL for Nano Structure Double Gate FinFET

Hak Kee Jung\*

## 요 약

본 연구에서는 나노구조 이중게이트 FinFET에 대하여 문턱전압이동 특성 및 드레인유기장벽저하(Drain Induced Barrier Lowering; DIBL) 특성을 분석하였다. 분석을 위하여 분석학적 전류모델을 개발하였으며 열방사전류 및 터널링전류를 포함하였다. 열방사전류는 포아슨방정식에 의하여 구한 포텐셜분포 및 맥스웰-볼쓰만통계를 이용한 캐리어분포를 이용하여 구하였으며 터널링전류는 WKB(Wentzel-Kramers-Brillouin)근사를 이용하였다. 이 두 모델은 상호 독립적이므로 각각 전류를 구해 더함으로써 문턱전압을 구하였다. 본 연구에서 제시한 모델을 이용하여 구한 문턱전압이동값이 이차원시뮬레이션값과 비교되었으며 잘 일치함을 알 수 있었다. 분석 결과 10nm이하에서 특히 터널링의 영향이 증가하여 문턱전압이동 및 DIBL이 매우 현저하게 나타남을 알 수 있었다. 이러한 단채널현상을 감소시키기 위하여 채널두께 및 게이트산화막의 두께를 가능한한 얇게 제작하여야 함을 알았으며 이를 위한 산화공정개발이 중요하다고 사료된다.

## ABSTRACT

In this paper, the threshold voltage roll-off and drain induced barrier lowering(DIBL) have been analyzed for nano structure double gate FinFET. The analytical current model has been developed , including thermionic current and tunneling current models. The potential distribution by Poisson equation and carrier distribution by Maxwell-Boltzman statistics were used to calculate thermionic emission current, and WKB(Wentzel- Kramers-Brillouin) approximation to tunneling current. The threshold voltage roll-offs are obtained by simple adding two currents since two current is independent. The threshold voltage roll-off by this model are compared with those by two dimensional simulation and two values are good agreement. Since the tunneling current increases especially under channel length of 10nm, the threshold voltage roll-off and DIBL are very large. The channel and gate oxide thickness have to be fabricated as thin as possible to decrease this short channel effects, and this process has to be developed.

## 키워드

double gate FinFET, threshold voltage roll-off, thermionic current, tunneling current

## I. 서 론

최근 삼성전자에서 40nm 공정을 이용한 낸드플래시 메모리의 시제품을 발표함으로써 나노구조를 갖는 소자에 대한 관심이 높아지고 있다. 이는 그동안 문제가 되었던 단채널효과에 대한 해결책을 제시함으로써 향후 20nm이하 특히 10nm이하의 극미세소자 개발의 발판을 마련하였다고 사료된다. 10nm이하의 극미세소자 개발은 모든 반도체제작회사의 염원으로써 어느 회사가 이와같은 소자를 개발하느냐가 향후 반도체기술 및 시장을 선점하는 척도가 되고 있다. 그러므로 삼성전자에서 이와같은 소자를 개발하였다는 발표는 매우 고무적이며 향후 단채널효과 해결의 실마리를 제공하였다고 생각된다. 이와같이 플래시메모리 뿐만아니라 기존 MOSFET의 극미세화를 주도해 나갈 소자로 각광받고 있는 소자가 이중게이트(Double Gate; DG) MOSFET이다. 이중게이트 MOSFET는 최초 수평형으로 개발되었으나 전체적인 집적도 향상에 기여하지 못하여 수직형으로 미세화소자를 설계하였다. 그러나 이 또한 공정상 매우 어려운 과정이 포함되어 있어 난관에 부딪히고 있다. 최근 이러한 문제점을 해결하기 위하여 개발된 소자가 핀(Fin) FET이다. 핀FET는 수평형 이중게이트 MOSFET의 저집적도와 수직형 이중게이트 MOSFET의 난공정을 동시에 해결할 수 있는 구조로써 향후 이중게이트 및 다중게이트 MOSEFT 개발의 초석이 될 소자로 개발되고 있다.[1-3] FD(Fully Depleted) 다중구조의 경우 실리콘채널 두께의 형태 및 질에 따라 소자특성이 매우 민감하다. 즉, 단일게이트 MOSFET의 경우 단채널효과를 제어하기 위하여 FD 실리콘 채널두께는 게이트길이의 1/3정도로 작아야만 하며 양 파라미터는 매우 정확하게 설계되어야만 한다. 그러나 다중게이트의 경우는 이와같은 1/3의 제한을 완화시켜 줄 뿐만 아니라 단채널효과를 제어하는데 장점을 가지고 있다.

본 연구에서는 이중게이트 FinFET의 분석학적 전류모델을 이용하여 게이트산화막 두께, 채널두께 및 채널길이에 따른 문턱전압이동(Threshold voltage roll-off) 및 드레인유기장벽저하(DIBL; Drain Induced Barrier Lowering) 등 단채널효과에 미치는 영향을 고찰하고자 한다. 사용된 전류모델은 포아슨방정식으로부터 유도되었으며 열방사(thermionic emission) 및 터널링(tunneling) 전류를 이용하여 전체 전류를 계산하였다.

## II. 이중구조 FinFET

이중구조 FinFET는 그림 1과 같은 구조를 하고 있다. 집적도의 문제점을 가진 수평형 구조와 공정상의 문제를 지닌 수직형 구조의 장점만을 결합한 구조라고 할 수 있다. 그동안 채널영역이 소스와 드레인 영역의 정의에 의하여 정해졌던 것과는 달리 FinFET의 경우, 핀(fin)구조를 매립형 산화막(Buried OXide; BOX)위에 형성하는 구조로 다른 구조보다 초미세 채널길이 및 폭을 정의할 수 있다. 그림에서도 알 수 있듯이 가장 중요한 핀의 크기를 조절하면 채널두께  $t_{si}$ 와 게이트 산화막두께  $t_{ox}$  그리고 채널길이  $L_g$  등을 조절할 수 있다.

본 연구에서는 그림 1과 같이 대부분의 전자전송이 발생하는 채널영역에 대한 전류모델을 제시하고자 한다. 제시한 전류모델을 이용하여 채널두께  $t_{si}$ 와 게이트 산화막두께  $t_{ox}$  그리고 채널길이  $L_g$  등을 변화시키면서 문턱전압이동 및 DIBL 특성을 분석할 것이다. 특히 차단영역에서 차단전류에 미치는 영향을 집중적으로 분석함으로써 단채널에 의한 누설전류의 증가와 이로 인한 문턱전압의 이동 및 DIBL 특성을 심층있게 고찰할 것이다.

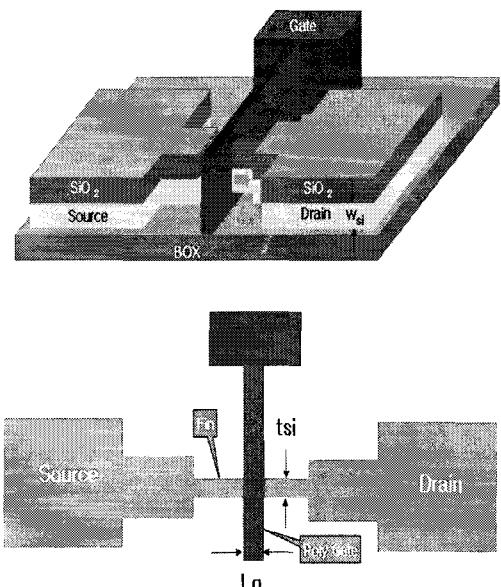


그림 1. FinFET 구조의 개략도 및 평면도  
Fig. 1. Schematic diagram and top view for FinFET

### III. 전류모델

문턱전압이하(subthreshold)의 게이트전압에서 드레인에 전압을 가하면 열방사전류 및 터널링전류가 발생한다. 이 전류는 누설전류로서 가능하면 작게 제어되도록 설계하여야 한다. 문턱전압이하에서 긴채널 FET의 경우는 열방사에 의한 전류가 우세하나 나노구조 FET의 경우 터널링 전류가 매우 증가하여 서브문턱스윙, 문턱전압이동, 드레인유기장벽저하 등 단채널효과에 의한 전송특성 저하가 발생하게 된다. 이러한 단채널효과를 분석하기 위하여 먼저 포텐셜분포  $\Psi$ 를 포아슨방정식을 이용하여 구하였다.[4]

$$\nabla^2 \Psi(x, y) = qN_A/\epsilon_s \quad (1)$$

여기서  $N_A$ 는 채널내 도핑농도이며  $\epsilon_s$ 는 실리콘의 유전율이다. 열방사전류는 전위장벽보다 높은 에너지를 지닌 전자에 의한 전류이므로 이에 해당하는 전자농도를 구하기 위하여 맥스웰-볼쓰만통계에 의한 전자분포식

$$n_m(y) = (n_i^2/N_A)e^{q\Psi_{min}(y)/kT} \quad (2)$$

을 이용하였다.  $n_i$ 는 진성반도체농도이며  $\Psi_{min}$ 는 채널내 최소포텐셜로서 대부분의 전류가 흐르는 중심  $d_{eff}$ 에 해당하는 포텐셜이다. 이 때 열방사전류는

$$I_{th} = qn_m(d_{eff})v_{th}S/6$$

$$d_{eff} = \lambda_1 \cos^{-1} \left[ \frac{\int_0^{t_s/2} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_s/2} n_m dy} \right] \quad (3)$$

으로 표현할 수 있다.[4]  $S$ 는 단위시간당 전자가 드레인 종단에 도착하여 콘택으로 빠져나갈 수 있는 면적으로서 채널두께와 채널폭의 곱이다. 자유도에 의하여 전자의 1/6이 드레인에 도착하므로 1/6을 곱하였다.

터널링전류는 WKB(Wentzel-Kramers-Brillouin) 근사를 이용하여 구하였다. 이 때 터널링전류는

$$I_{tunn} = (qN_D S/6)(2 T_t v_{th,t}/3 + T_l v_{th,l}/3) \quad (4)$$

와 같이 표현할 수 있으며 이 때 종방향으로 이동하는 전자는 2/3, 횡방향으로 이동하는 전자는 1/3이다.  $v_{th,t}$ 와  $v_{th,l}$ 은 각각 종방향과 횡방향의 열적 속도를 나타내고 있다.

이 때  $T_{t,l}$ 은 다음과 같이 표현된다.

$$T_{t,l} = \exp \left[ -2 \int_{x_1}^{x_2} |\alpha_{t,l}(x)| dx \right]$$

$$\alpha_{t,l}(x) = \sqrt{\frac{2m_{t,l}[q\psi(x, d_{eff}) - E_{fm}]}{\hbar}} \quad (5)$$

여기서  $\psi(x, d_{eff})$ 는 포텐셜분포로써 게이트전압에 따라 변화하게 되며 이는 터널링전류의 게이트전압의 존성의 원인이 된다.

전체 차단전류를 구하기 위하여 식 (3)과 식 (4)를 더하였다.

$$I_{tot} = I_{th} + I_{tunn} \quad (6)$$

식 (6)을 이용하여 차단전류를 구한 후 문턱전압을 구하였다. 문턱전압은 TCAD에서 정의한 바와같이 차단전류가  $10^{-7} \mu A/\mu m$ 일 때 전압을 구하여 고찰하였다.

### IV. 이중게이트 FinFET의 문턱전압 특성

먼저 본 연구에서 사용한 모델의 타당성을 증명하기 위하여 이차원 시뮬레이션결과[5]와 본 연구의 결과를 비교하였다. 그림 2에 문턱전압 및 문턱전압이동에 대한 비교결과를 도시하였다. 그림 2에서 알 수 있듯이 이차원 시뮬레이션결과와 잘 일치하고 있으므로 본 연구에서 제시한 모델이 타당하다는 것을 알 수 있다. 특히 터널링에 의하여 급격히 문턱전압특성이 저하하는 현상을 관찰 할 수 있다. 이러한 특성저하는 채널길이가 작아질수록 더욱 급격히 발생하는데 이는 터널링전류가 채널이 작아질수록 급격히 증가하기 때문이다. 게이트길이가 약 12nm이하 일 때부터 터널링효과가 반영되고 있

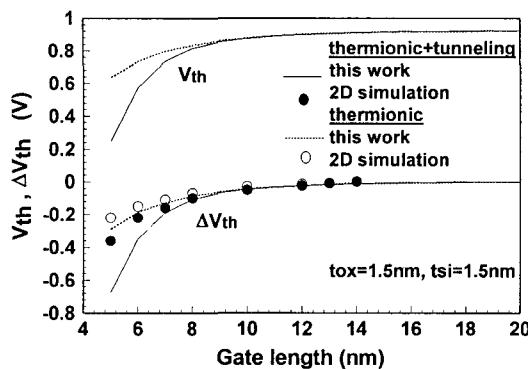


그림 2. 게이트길이에 따른 문턱전압변화  
Fig. 2. Threshold voltages for gate length

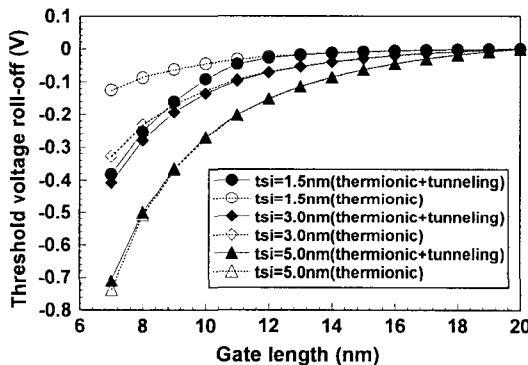


그림 3. 채널두께를 파라미터로 한 게이트길이변화에 대한 문턱전압이동  
Fig. 3. Threshold voltage roll-off for gate length according to channel thickness.

다는 것을 알 수 있다. 즉, 게이트길이가 감소하면 터널 전류가 증가하여 작은 게이트전압에서도 강반전이 형성되고 전류가 흐르기 시작하는 것이다. 이 전류는 차단전류에도 영향을 미쳐 결국 문턱전압이 감소하고 문턱전압이동이 증가하는 것이다. 이와같이 게이트길이가 감소하면 발생하는 터널링 전류에 의한 특성저하문제를 좀더 자세히 관찰하기 위하여 채널길이, 게이트산화막 두께 및 게이트길이를 변화시키면서 문턱전압의 이동을 계산하였다.

그림 3에 게이트길이의 변화에 따른 문턱전압의 이동 현상을 채널두께를 파라미터로하여 계산한 결과를 도시하였다. 이미 전술한 바와같이 게이트길이가 감소할수록 문턱전압이동현상은 매우 심각하게 발생하고 있다. 또한 터널링현상에 의하여 문턱전압이동은 더욱 심

각하게 발생하고 있으며 채널두께가 클수록 이동현상이 심하게 발생하고 있다. 더불어 채널두께가 증가하면 터널링현상에 의한 효과가 감소하여 문턱전압이동이 터널링발생 유무에 관계없이 거의 일정함을 알 수 있다.

그림 4에 게이트길이의 변화에 따른 문턱전압의 이동 현상을 게이트산화막 두께를 파라미터로 하여 계산한 결과를 도시하였다. 터널링에 의한 효과는 그림 3에서 전술한 바와같이 심각한 문턱전압이동을 초래하고 있다. 터널링을 무시하였을 경우 게이트길이가 작아질수록 산화막두께의 영향은 매우 크게 나타나고 있다. 그러나 실제로 터널링의 발생이 심각하게 일어나는 10nm이 하게이트길이에서는 산화막두께에 의한 영향은 거의 무시할 수 있다는 것을 알 수 있다.

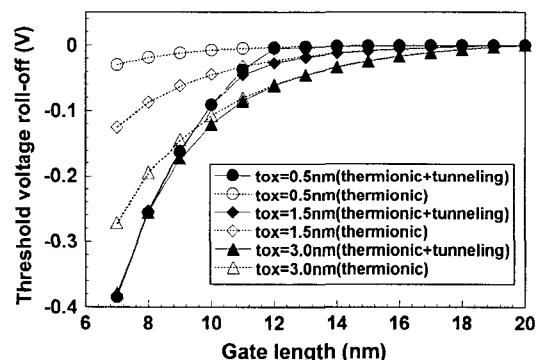


그림 4. 산화막두께를 파라미터로 한 게이트길이 변화에 따른 문턱전압이동  
Fig. 4 Threshold voltage roll-off for gate length according to gate-oxide thickness.

## V. 이중게이트 FinFET의 DIBL특성

드레인전압에 대한 문턱전압의 의존성은 디지털용 용에서 매우 중요하다. 드레인유기장벽저하현상에 의하여 문턱전압은 동작전압의 함수가 된다. 실제로 게이트전압에 의하여 장벽저하현상이 발생하여 터널링전류 및 열방사전류가 과도하게 흐르며 드레인전압에 의하여 발생한 전류에 의해서도 장벽저하현상이 발생한다. 그러므로 문턱전압은 드레인 전압에 의하여 감소하여 작은 게이트전압에 의해서도 강반전이 발생하여 펀치스루(punchthrough)현상 및 누설전류가 발생하게 된다. 이와같은 현상을 감소시키기 위하여 FinFET는 최소의

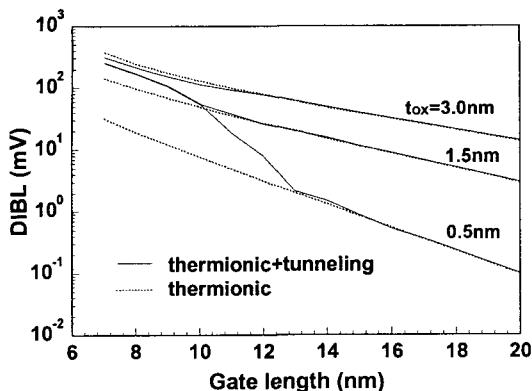


그림 5. 게이트산화막 두께에 따른 DIBL의 변화  
Fig. 5. Deviation of DIBL according to gate oxide thickness

DIBL을 갖도록 설계하여야만 한다. 제안된 모델식을 사용하여  $t_g = 3.0\text{nm}$ 일 때 DIBL을 계산하고 그림 5에 도시하였다. DIBL이 게이트길이가 12nm이하일 때 터널링에 의하여 증가함을 알 수 있다. 일반적으로 DIBL은 채널두께 및 게이트산화막 두께에 비례하며 게이트길이에 역비례한다. 편차스루 전압이  $L_g^3$ 에 역비례하므로[6] 그림 5의 기울기가  $L_g^{-3}$ 에 비례함을 알 수 있다. 그러나 그 관계는 게이트산화막 두께가 0.5nm정도로 매우 작고 게이트길이가 10nm이상에서는 잘 성립하지 않는 것을 알 수 있다. 즉 산화막두께가 작아지면 DIBL효과는 게이트길이에 매우 민감하게 변화함을 알 수 있다.[7]

그림 6에 채널두께를 파라미터로하여 게이트길이에 변화에 대한 DIBL의 변화를 도시하였다. 채널두께가 증가할수록 DIBL은 크게 증가함을 알 수 있었다. 그림 5에서

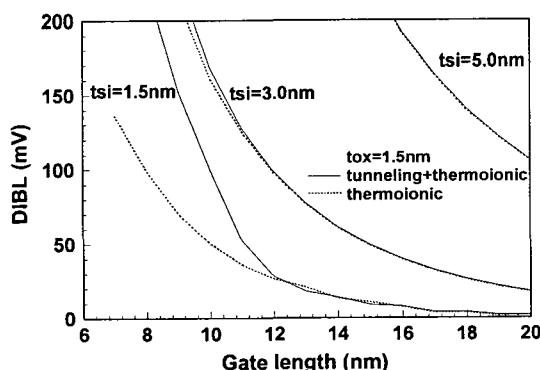


그림 6. 채널두께에 따른 DIBL의 변화  
Fig. 6. Deviation of DIBL according to channel thickness

도 알 수 있듯이 터널링에 의하여 게이트길이가 12nm이하로 감소할 경우, DIBL은 매우 크게 증가함을 알 수 있다. 특히 채널두께가 작을 경우 터널링에 대한 영향은 매우 커져 DIBL이 급격히 증가한다. 이와같은 현상은 게이트산화막의 두께가 작을 때도 발생하는 현상을 그림 5에서 알 수 있다. 그러나 게이트산화막 두께 및 채널길이가 작을 때 DIBL 현상은 감소하므로 설계시 가능한한 두 파라미터를 적게 설계하여야 할 것이다. 그러나 게이트길이가 감소할 때, 게이트산화막 두께 및 채널두께를 너무 작게 하면 DIBL이 터널링에 의하여 매우 민감하게 증가하므로 이에 대한 최적의 값을 구하여 사용하여야 할 것이다.

## VI. 결 론

본 연구에서는 이중게이트 FinFET에 대한 크기변화에 따른 문턱전압이동 및 DIBL 등의 단채널효과의 변화에 대하여 고찰하였다. 분석을 위하여 분석학적 전류모델을 제시하였으며 문턱전압이하 영역에서 중요한 열방사전류 그리고 게이트길이가 20nm이하에서 중요한 전류메카니즘이 터널링전류를 각각 독립적으로 유도하여 차단전류를 구하고 단채널효과를 분석하였다.

20nm이하로 채널길이가 작아지는 FET소자구조에서는 터널링에 의한 특성저하가 매우 심각하므로 이에 대한 분석도 병행하였다.

본 연구에서 제시한 전류모델은 이차원시뮬레이션 결과와 매우 잘 일치하였다. 이 모델을 이용하여 구한 문턱전압이동을 분석해 보면, 터널링에 의하여 특성이 급격히 저하되는 것을 알 수 있었다. 이와같은 현상을 줄이기 위하여 채널의 두께 및 게이트산화막 두께를 감소시키면 문턱전압이동 값을 낮출 수 있을 것으로 사료되나 이는 공정개발이 선행되어야 할 것이다. 게이트산화막 뿐만 아니라 채널두께를 정의하는 산화막형성 공정도 또한 개발되어야 할 것이다. DIBL특성고찰에서는 산화막두께 및 채널두께가 작아지면 DIBL효과는 게이트길이에 매우 민감하게 변화함을 알 수 있었다. 이 연구의 결과를 이용하여 향후 FinFET의 단채널효과 특성을 연구하는데 도움이 될 것이다. 특히 이 연구는 문턱전압이하에서 차단영역에 걸친 전압영역에서 수행되었으므로 선형영역 및 포화영역에서의 전류모델 개발이 이루어져야 할 것이다.

## 참고문헌

- [1] H.R.Huff and P.M.Zeitzoff,"The Ultimate CMOS Device:A 2003 Perspective," *the 2003 International Conference on Characterization and Metrology for ULSI Technology*, pp.1-16, Austin,Texas,2003.
- [2] D.Hisamoto et al, "FinFET-A Self- Aligned Double-Gate MOSFET Scalable to 20nm", *IEEE Trans. Elec. Devices*, Vol.47, No.12, pp.2320-2325, 2000.
- [3] X.Huang et al, "Sub-50nm P-Channel FinFET", *IEEE Trans. Elec. Devices*, Vol.48 No.5, pp.880-885, 2001.
- [4] Q.Chen, B.Agrawal, J.D.Meindl,"A Compre -hensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 49, no.6, pp.1086-1090, Jun, 2002.
- [5] D.Munteanu and J.L.Autran,"Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," *Solid-State Electronics*, vol.47, pp.1219-1225, 2003.
- [6] M.Stadele, "Influence of source-drain tunneling on the subthreshold behavior of sub-10nm double-gate MOSFETs," *ESSDERC Proc.* , pp.~135-138, 2002.
- [7] H. K. Jung and S. Dimitrijev,"Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp. 685-691, 2006.

## 저자소개



정 학 기(Hak Kee Jung)

- 1983. 아주대학교 전자공학과(BS)
  - 1985. 연세대학교 전자공학과(MS)
  - 1990. 연세대학교 전자공학과(Ph.D)
  - 1995. 일본 오사카대학 객원연구원
  - 2004. 호주 그리피스대학 객원연구원
  - 2006. 한국해양정보통신학회 편집이사
  - 2007. 한국해양정보통신학회 상임이사
- ※ 관심분야 : 반도체소자설계 및 시뮬레이션, 몬테카르로 시뮬레이션