

NPC 인버터의 개방성 고장에 대한 새로운 고장 검출 방법

李載喆*, 金兌珍**, 玄東石†

A Novel Fault Detection Method of Open-Fault in NPC Inverter System

Jae-Chul Lee, Tae-Jin Kim and Dong-Seok Hyun

요 약

본 논문은 NPC 인버터(Neutral-point-clamped Inverter) 시스템을 구성하는 스위칭 소자의 개방성 고장이 발생하였을 경우 인버터 시스템의 고장 제어를 위한 새로운 고장 검출 방법을 제안하였다. 고장 스위치의 검출은 NPC 인버터 각상의 폴-전압을 이용하여 수행되며, 고장 검출 이후 연속적인 평형 3상 전력을 출력하기 위해 NPC 인버터는 2상 운전 시스템으로 재구성된다. 인버터 시스템의 신뢰성 향상을 위하여 고장 검출과 시스템 재구성을 통한 고장 허용 제어를 구현하였다. 제안된 고장 검출 방법은 기존 방법보다 빠른 검출 시간을 가지며 간단한 알고리즘으로서 구현이 용이하다는 장점을 갖는다. 빠른 고장 검출 능력은 고장 검출 시간의 지연에서 올 수 있는 직류-링크 커패시터의 전압 불평형 문제, 다른 스위치의 전압 스트레스 증가로 인한 소자 파괴와 같은 악영향을 개선시킬 수 있다. 제안된 방법의 타당성을 입증하기 위하여 시뮬레이션과 실험을 수행하였다.

ABSTRACT

In this paper, a novel fault detection method for fault tolerant control is proposed when the NPC inverter has a open failure in the switching device. The open fault of switching device is detected by checking the variation of a leg-voltage in the neutral-point-clamped Inverter and the two phases control method is used for continuously balance the three phases voltage to the load. It can be achieve the fault tolerant control for improving the reliability of the NPC inverter by the fault detection and reconfiguration. This method has fast detection ability and a simple realization for fault detection, compared with a conventional method. Also, this fast detection ability improved the harmful effects such as DC-link voltage unbalance and overstress to other switching devices from a delay of fault detection. The proposed method has been verified by simulation and experiment.

Key Words : NPC Inverter(Neutral-point-clamped Inverter), Open Switch Faults, Pole-voltage, Fault detection

1. 서 론

멀티-레벨 인버터의 한 종류인 다이오드 클램프드 인버터 방식인 NPC 인버터^[1]에 대한 많은 연구가 진행되어왔으나 기존 연구의 주된 관심은 직류-링크 전압 불균형의 문제, 고조파의 영향을 감소시키고 양질의 전력을 출력하기 위하여 펄스-폭-변조(Pulse-Width-Modulation : PWM)방법의 개발과 제어 기법에 대한 것이 대부분 이었다. 그러나 이러한 연구들은 인버터 시스템의 정상운전을 전제로 한 것으로써

†교신저자 : 정희원, 한양대 전기제어계측공학부 교수

E-mail : dsyun@hanyang.ac.kr

*학생회원, 한양대 대학원 전기공학과 석사과정

**정희원, 한양대 대학원 전기공학과 박사과정

접수일자 : 2006. 9. 21 1차 심사 : 2006. 10. 19

2차 심사 : 2006. 12. 29 3차 심사 : 2007. 1. 22

심사완료 : 2007. 2. 15

인버터의 고장이 발생하였을 경우, 인버터 시스템을 최적으로 제어하여도 양질의 출력 전력을 얻을 수 없으므로 신뢰성과 안정성이 현저히 떨어지게 된다. 따라서 부하에 안정적이고 연속적인 전원의 공급을 위한 NPC 인버터의 성능 및 신뢰성 향상에 관한 연구가 필요하다.

인버터 시스템의 고장은 전원공급원에서의 일선지락, 정류기 다이오드의 단락, 커패시터의 파괴, 부하 회로의 단락, 스위칭 소자의 고장, 전압·전류 센서의 고장 등이 있으나, 많은 수의 스위칭 소자를 갖는 NPC 인버터에서는 스위칭 소자의 고장 가능성이 높다. NPC 인버터 시스템은 기존 2-레벨 인버터 시스템과는 다르게 구조적인 특징으로 스위칭 소자 고장으로 인한 시스템 고장 시 직렬 연결된 직류-링크 커패시터 전압 불균형 문제를 발생시켜 고장 상뿐만 아니라 다른 상의 스위치에 전압 스트레스를 가중시켜 부가적인 보호회로가 없다면 연속적인 스위치의 고장을 초래할 수 있다. 이러한 현상을 일어나게 하는 스위칭 소자의 고장에는 개방성 고장과 단락성 고장의 두 가지 경우로 분류할 수 있다. 단락성 고장에 대해서는 이미 많은 연구 결과가 있었다. 따라서 본 논문에서는 스위칭 소자의 개방성 고장이 발생 하였을 경우에 대한 고장 검출과 제어 방법에 대해 논하였다. 스위칭 소자의 개방성 고장은 게이트 드라이브 IC에서의 문제로 스위칭 소자의 턴-온이 안 되는 경우와 마이크로 컨트롤러에서 게이트 드라이브로 신호가 전송되는 버스에서 문제가 발생했을 경우 스위칭 소자의 개방 상태가 유지되거나 소자 자체의 파괴에 의해 개방성 고장이 발생한다.

고장 검출의 기존 방법에는 DC-링크 또는 출력 부하 전류의 위상변화를 검출하여 고장 스위치와 상을 판별하는 방법^[2-4], 고장의 검출과 관련하여 실험을 기초로 계산된 전류 값과 실제 값을 비교하여 고장을 검출하는 방법^[5], 스위치의 명령에 의해 추정된 기준 값과 고장 발생 시 출력 전압의 오차를 이용한 검출 방법^[7] 등 많은 방법들이 제안되었다. 이중에 출력 부하 전류의 위상변화를 이용한 방법은 고장 시점의 전류 파형 위상이 정상 상태와 비교되어야 하므로 고장을 판단하기 위해서는 최소 한 주기 이상의 시간을 필요로 한다. 또한 PWM 방법에 의한 스위치의 명령에 따라 추정된 기준 값의 오차를 이용한 방법은 스위칭 주파수가 증가할수록 짧은 시간에 많은 양의 연산을 필요로 한다. 스위치 명령을 정확하게 판단하기 위해서는 고성능의 디지털 컨트롤러가 요구된다. 따라서 스위치

명령에 의한 출력 전압과 실제 값의 오차로 인한 고장 검출의 오차를 방지하기 위하여 인버터 출력의 기본파의 1/4주기라는 시간이 소요된다^[4-8].

본 논문에서는 각 상의 폴-전압을 이용하여 고장을 검출 방식으로 고장 검출 시간을 기존의 방법보다 빠른 최대 3샘플링($3T_s$) 이내로 단축시켰다. 빠른 검출 능력은 시스템이 고장 허용 제어로 전환 되는 시간을 단축시킬 수 있으므로 고장 검출 지연으로 인해 야기 되는 악영향을 효과적으로 개선시킬 수 있으며, 고장 검출 알고리즘이 간단하여 구현이 용이하다. 고장 검출 이후 연속적인 구동을 위한 시스템의 재구성에 있어서 본 논문에서는 상을 추가하지 않고 양방향 스위치를 이용하여 두 개의 상만으로 구동시키는 방법을 적용하였다.

2. NPC 인버터 시스템

그림 1은 일반적인 3-레벨 NPC 인버터의 회로도도를 나타내며 표1은 정상상태 시 인버터의 스위칭 상태에 따른 출력 전압을 나타낸다. P, O, N 3가지 스위칭 상태가 각 상에 존재하며, 3상 NPC 인버터에서는 이들 3가지 상태를 조합한 27개의 스위칭 상태가 존재한다.

그림 2는 정상상태 시의 공간 전압 벡터도를 나타낸다. 그림에서 보여지듯이 정상상태 NPC 인버터는 정현파 변조(Sinusoidal Pulse width Modulation : SPWM)방법을 사용할 경우 선형적으로 제어가 가능한 영역의 최대 출력 전압이 $V_{dc}/2$ 이며, 공간 전압 벡터 변조(Space Vector Pulse Width Modulation : SVPWM)방법을 사용할 경우 최대 출력 전압은 $V_{dc}/\sqrt{3}$ 이다.

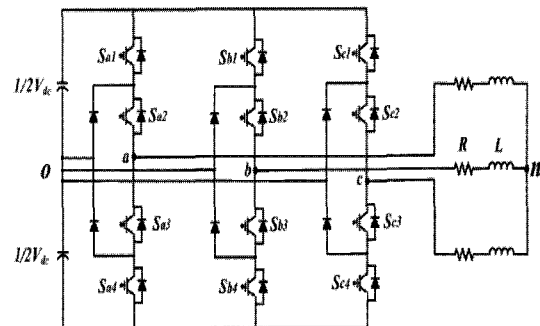


그림 1 정상상태 NPC 인버터의 구조
Fig. 1 Structure of NPC inverter in normal condition.

표 1 스위칭 상태와 3-레벨 NPC 인버터의 폴-전압
Table 1 Switching state and Pole-Voltage for 3-level NPC inverter

Switching sequence	S_1	S_2	S_3	S_4	$V_{xO} (x = a, b, c)$
P	ON	ON	OFF	OFF	$+V_{dc}/2$
O	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	$-V_{dc}/2$

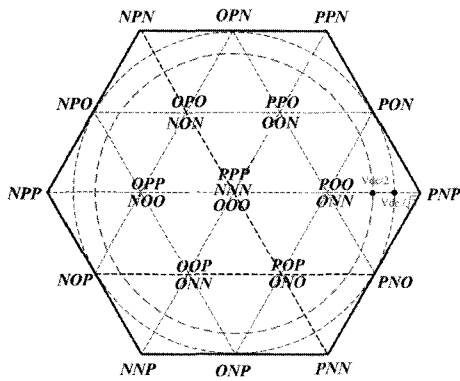


그림 2 정상 상태 시 공간 전압 벡터도

Fig. 2 Space voltage vector diagram in normal condition

3. 제안된 고장 검출 기법

3.1 개방성 고장 시 출력전압

NPC 인버터 스위칭 소자의 개방성 고장이 발생하였을 경우 평형 3상 전력을 발생시키지 못하게 되고 선간전압의 불평형은 상전압과 상전류의 왜곡으로 이어진다. 상전압과 상전류의 크기는 부하에 따라 가변되므로 고장 판단하는 요소로 사용될 수 없다. 그러나 직류-링크 중성점을 기준으로한 부하측 출력 전압인 폴-전압(V_{xO} , $x=a, b, c$)은 부하에 무관하게 스위칭 상태에 따른 전압을 출력하므로 이를 이용하여 고장을 판별할 수 있다.

그림 3은 개별 직류-링크 전압이 일정하고, 유도성 부하라고 가정하였을 때 고장 발생 스위치의 위치에 따른 a상의 폴-전압 파형과 전류 파형을 나타낸다. 그림 3(a)와 같이 정상 상태일 경우 기본과 출력 한주기(T_f)를 4개의 영역으로 구분할 수 있다. 영역 1과 2는 P와 O 스위칭 상태만을 유지하므로 $+V_{dc}/2$ 와 0이 반주기동안 출력되고, 영역 3과 4는 O와 N 스위칭 상태를 유지하므로 0과 $-V_{dc}/2$ 가 출력된다.

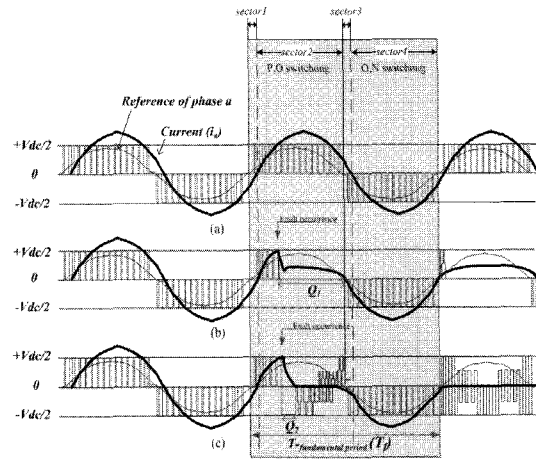


그림 3 스위치 고장 상태에 따른 폴-전압과 전류 파형
(a) 정상상태 (b) S_1 고장 (c) S_2 고장

Fig. 3 pole-voltage and current under the condition of the fault of switching device

(a) Normal condition, (b) Switch S_1 failure
(c) Switch S_2 failure

그림 3(b)는 전류가 양의 값을 갖으며, P와 O 스위칭 상태를 유지하는 영역 2에서 스위치 S_{a1} 의 고장 상황에 대한 폴-전압과 전류 파형이다. 스위치 S_{a1} 의 고장으로 P 스위칭 상태를 유지하지 못하고 O 스위칭 상태만을 유지하게 된다. 따라서 $+V_{dc}/2$ 가 출력하지 못하고 고장 발생 순간부터 P와 O 스위칭 상태를 갖는 영역 3이전까지 폴-전압이 0으로 유지되는 시간 Q_1 이 나타난다. 전류는 고장 발생 순간부터 P 상태가 유지되지 못하므로 급격하게 감소하다가 b 상과 c 상에 의해 정상상태 시의 전류값 보다 작은 양의 전류가 Q_1 시간동안 나타난다. 나머지 반주기(영역 3, 4)는 하단의 스위치가 동작하므로 정상 상태와 동일하게 출력된다. 그림 3(c)는 스위치 S_{a2} 가 고장 났을 경우 출력되는 폴-전압과 전류 파형을 나타낸다. 고장 시점은 그림 3(b)의 경우와 동일하지만 스위치 S_{a2} 고장의 경우에는 P 스위칭 상태와 O 스위칭 상태 모두 유지되지 못한다. 이로 인해 영역 2에서도 폴-전압의 출력이 $-V_{dc}/2$ 가 되는 비정상적인 구간 Q_2 가 발생한다.

Q_2 는 전류가 0으로 감소할 때 까지 유지되고 이후에도 스위치 S_{a1} 의 고장 상황과는 다르게 P와 O 스위칭 상태 모두 유지 하지 못하므로 전류는 0이 출력되고, 폴-전압도 스위칭 소자 및 클램핑 다이오드의 내부 기생 커패시턴스와 b상과 c상의 출력 상태에 의해 $\pm V_{dc}/2, 0$ 그리고 $\pm V_{dc}/4$ 가 모두 출력된다. 나머지

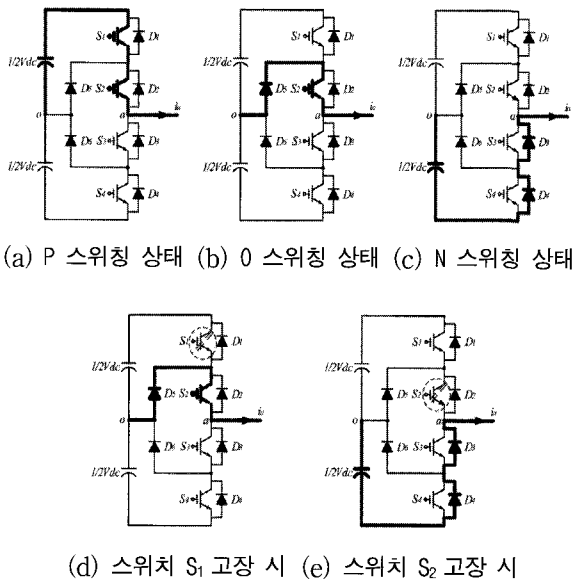


그림 4 스위칭 상태에 따른 도통경로($i_a > 0$)
 Fig. 4 Conduction pass under switching stats ($i_a > 0$)

반주기인 영역3과 4는 하단의 스위치가 동작하므로 정상 상태일 때와 같은 전압이 출력되지만 영역1과 2가 반복되는 반주기 이후에는 $\pm V_{dc}/2$, 0 그리고 $\pm V_{dc}/4$ 가 출력된다. 고장 상황에 따라 나타나는 Q_1 과 Q_2 는 그림 4를 통하여 설명된다.

그림 4는 전류가 양의 값을 갖는 그림 3의 영역 1과 2에서 스위칭 상태에 따른 도통 경로와 스위치 소자의 개방성 고장이 발생하였을 경우의 도통 경로를 나타낸다. 그림 4 (a), (b), (c)는 각각 P 스위칭 상태, O 스위칭 상태, 그리고 N 스위칭 상태 시 전류 도통 경로를 나타낸다. 그림 4(d)와 같은 스위치 S_{a1} 의 고장 시점에 따른 전류 도통 경로를 보면, 영역 1에서 스위치 S_{a1} 이 고장 났을 경우에는 전류가 음의 값으로 부하에서 인버터 방향으로 흐르고 있기 때문에 스위치 S_{a1} 의 개방성 고장에 대해서는 영향을 받지 않고 프리휠링 다이오드를 통하는 전류 흐름을 갖는다. 그러나 전류가 양의 값을 갖는 영역 2에서는 그림 4(a)와 같은 전류 흐름을 갖는 P 스위칭 상태가 유지되지 못하므로 그림 4(c)와 같이 O 스위칭 상태의 전류 흐름과 동일한 그림 4(d)와 같은 전류 흐름을 갖게 된다. 이때 폴-전압은 0으로 나타나며 그림 3(b)에서 나타나는 영역 2구간에서 폴-전압이 0만 나타나는 Q_1 이 나타나게 된다. 스위치 S_{a1} 의 고장에 대하여 전류가 양의 값을 갖는 영역 3에서도 영역 2에서의 고장과 같은 양상을

보이지만 영역3에서 나타날 수 있는 Q_1 의 구간은 매우 짧게 나타난다. 영역 4의 경우에는 O, N 스위칭이 일어나며 전류가 음의 값이므로 스위치 S_{a1} 의 고장에 대하여 영향을 받지 않고 정상 상태일 때의 폴-전압이 출력된다. 스위치 S_{a2} 의 영역별 고장 상황에 대해서 살펴보면, 영역 1에서는 전류가 음의 값이므로 P와 O 스위칭 구간에서 스위치 S_{a2} 의 개방성 고장이 발생하여도 스위치 S_{a3} , S_{a4} 의 프리휠링 다이오드를 통하는 전류 흐름이 있기 때문에 폴-전압의 변화는 나타나지 않지만, 양의 전류가 흐르는 영역 2에서 P와 O 스위칭을 유지하지 못하므로 그림 4(a), (b)와 같은 전류의 흐름이 없다. 이 때 폴-전압은 스위칭 소자 및 클램핑 다이오드의 내부 기생 커패시턴스와 b상과 c상의 출력 상태에 의해 $\pm V_{dc}/2$, 0 그리고 $\pm V_{dc}/4$ 가 모두 출력된다. 영역 2에서도 고장은 P와 O 스위칭 상태 모두 유지하지 못하므로 전류의 도통 경로가 상실되므로 고장 순간 흐르고 있던 양의 전류가 그림 4(d)와 같이 하단의 프리휠링 다이오드를 통하여 흐르게 되면서 감소한다. 이때 그림 3(c)서 나타내듯이 전류가 0으로 감소하는 시간동안 $-V_{dc}/2$ 의 폴-전압이 출력되는 시간 Q_2 가 발생한다. 영역 3에서의 S_{a2} 고장은 전류가 양의 값이고 O, N 스위칭 상태의 구간이므로 고장 시 시스템에 영향을 주지 않는다. 영역 4에서도 전류가 음의 값이고 스위칭 상태는 O, N이므로 S_{a2} 고장으로 인한 문제가 시스템에 발생되지 않고 다음 주기의 영역 1에서 나타나게 된다. a 상에서 나머지 두 개의 스위치 S_{a3} 와 S_{a4} 에 대해서는 스위치 S_{a3} 의 경우가 스위치 S_{a2} 의 고장 현상과 같고, 스위치 S_{a4} 의 고장 상황은 S_{a1} 과 폴-전압의 극성만 반대로 나타나고 같은 양상이 나타난다.

3.2 고장 검출과 판단

정상상태에서 폴-전압은 $\pm V_{dc}/2$ 와 0이 출력되지만 고장이 발생하면 이 값 외에 고장 스위치의 위치에 따라 $\pm V_{dc}/4$ 값도 발생한다. 또한 고장 시에 출력되는 폴-전압의 펄스-폭이 변조비(Modulation ratio)가 일정한 상태에서도 정상상태 시 출력되는 폴-전압의 펄스-폭보다 길어지게 된다. 따라서 이러한 폴-전압의 크기 정보와 스위칭 상태에 따라 나타나는 폴-전압의 펄스-폭에 대한 시간의 정보를 고장 검출에 이용하기 위해 그림 5와 같은 검출회로를 설계하였다. 검출회로의 구조는 센싱 및 절대값 회로, 전압 레벨 검출기, 적분기와 비교기로 구성된다. $V_{xn}(x=a, b, c)$ 은 각상의 폴-전압을 나타낸다.

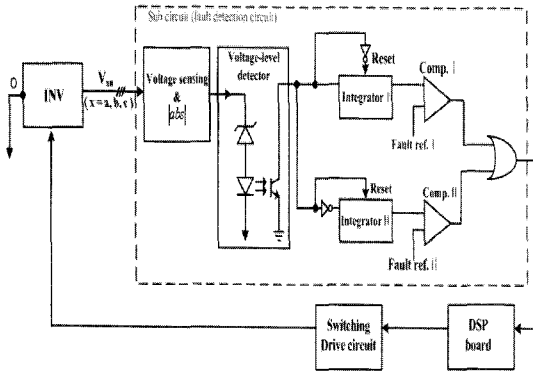


그림 5 고장 검출 회로
Fig. 5 Fault detection circuit

폴-전압을 이용한 고장 분석을 수행한 결과, 전압의 크기와 폴-전압이 나타나는 지속 시간이 고장을 판별하는 기준이 되므로 양과 음으로 나타나는 출력 전압을 단순화시키기 위해 절대값 회로를 사용하였다. 전압 레벨 검출기는 고장 시 출력되는 폴-전압이 정상상태 시 출력되는 전압 $\pm V_{dc}/2$ 와 0이외에도 고장 발생 스위치의 위치에 따라 $\pm V_{dc}/4$ 값이 출력되므로 이러한 비정상적인 전압-레벨을 0으로 출력되도록 하였다. 그림 3(c)에서 나타나는 Q_2 구간이 T_s 보다 작다면 고장을 판별할 수 없으므로 $|V_{dc}/4|$ 를 0으로 출력되게 함으로써 고장으로 인식할 수 있게 하였다.

전압 레벨 검출기의 출력이 $V_{dc}/2$ 일 때는 적분기 <I>의 출력이 상승한다. 정상 상태 시에 $V_{dc}/2$ 를 입력으로 하는 적분기 <I>의 최대 출력은 고장 유무를 판별하기 위한 비교 기준 값인 고장 레퍼런스 <I>를 초과할 수 없다. 따라서 고장을 판별하기 위한 고장 레퍼런스 <I>는 정상 상태 시 출력되는 적분기 출력의 최댓값으로 정의한다. 정상상태 시 선형 변조 영역에서 폴-전압이 $|V_{dc}/2|$ 값으로 나타나는 펄스-폭은 T_s 이상 유지될 수 없기 때문에 고장 레벨 검출기에서 출력된 값을 적분한 값과 고장 레퍼런스 <I>을 비교하면 고장의 유무를 판단할 수 있다. 적분기 <I>의 고장 레퍼런스는 변조지수에 따라 최댓값이 달라지지만, 변조지수가 최대 선형 변조지수보다 작다면 적분기 <I>을 통한 고장 검출 시간은 T_s 보다 더 빠른 시간 내에 이루어 질 수 있다. 적분기의 리셋이 없다면 적분기의 출력이 계속 축적되므로 적분기의 리셋을 적분기 입력이 0인 구간에서 수행하였다.

반면에 적분기 <II>는 폴-전압의 크기가 0인 구간의 시간을 검출해야 하기 때문에 전압 레벨 검출기의 출

력이 0일 때 출력이 상승하도록 하였다. 정상상태 시에서는 0으로 출력되는 폴-전압의 펄스-폭이 T_s 를 초과하지 않는다는 것을 이용하여 고장 레퍼런스 <II>의 최댓값을 정의하였다. 레퍼런스 <II>는 폴-전압이 0으로 출력되는 최대 펄스-폭일 때 적분기 <II>의 출력값으로 정의한다. 그러나 폴-전압이 0으로 출력되는 구간이 스위칭 주파수에 관여하는 캐리어 주파수와 레퍼런스 주파수에 의하여 그림 3의 영역 2에서 3으로 전환되는 구간에서는 T_s 이상 나타나는 구간이 존재하게 된다.

본 논문에서 사용한 경우와 같이 4 [kHz]의 캐리어 웨이브와 60 [hz]의 레퍼런스 주파수를 사용하여 스위칭 할 경우, 캐리어와 레퍼런스가 동기 되어 교차하는 지점과 비동기 되지만 레퍼런스가 상단과 하단의 캐리어 사이로 지나가는 구간에서는 적분기 <II>가 리셋되지 못한다. 따라서 적분기 <II>의 고장 레퍼런스 <II>의 값도 상향 설정하게 되고, 적분기 <II>를 통한 고장 검출 시간은 $2T_s$ 의 시간이 소요된다. 고장을 검출하여 판단하는 시간을 고려한다면 제안한 시스템의 고장 검출은 고장 현상이 나타나는 시점으로부터 $3T_s$ 이내에서 실행된다.

3.3 시스템 재구성

그림 6은 시스템 재구성을 위한 NPC 인버터의 회로도이고, 기존의 NPC 인버터 구조에 T_{x1} , $T_{x2}(x=a, b, c)$ 의 양방향 스위치를 추가한 형태이다. 정상상태 시 T_{x1} , T_{x2} 는 개방 상태이며 고장이 검출되면 고장 상의 주스위치 S_{x1} - S_{x4} 를 턴-오프 시킴으로써 고장 상을 분리시키고, 이후 고장 상의 T_{x1} , T_{x2} 를 턴-온 시킴으로써 고장 상에 연결된 부하 출력 선을 DC-링크 중성점에 접속시켜 시스템을 재구성하게 된다.

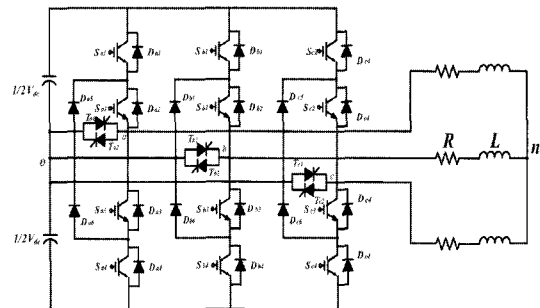


그림 6 NPC 인버터의 재구성
Fig. 6 Schematic of NPC inverter system for reconfiguration

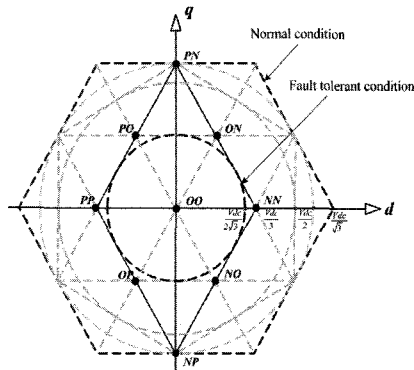


그림 7 고장 허용제어상태의 공간 전압 벡터
Fig. 7 Space voltage vector diagram in the controlled NPC inverter under the fault condition

그림 7은 고장 발생이후 고장 허용 제어 상태에서 NPC 인버터 시스템의 공간 전압 벡터도 이다. 고장 허용 제어 이후 9개의 스위칭 상태를 갖는다. 정상상태 시 NPC 인버터의 선형 제어 영역의 최대 출력 전압이 SVPWM 방법을 사용할 경우 $V_{dc}/\sqrt{3}$ 이고, SPWM 방법을 사용할 경우 $V_{dc}/2$ 인 반면에, 고장 허용 제어 이후에는 $V_{dc}/2\sqrt{3}$ 으로 감소한다.

4. 시뮬레이션 결과

표 2 시뮬레이션 조건
Table 2 Simulation condition

DC-링크 전압	V_{dc}	200 [V]	
변 조 지 수	M_f	고 장 전	0.5333
		고 장 후	0.9237
부 하 저 항	R	9 [Ω]	
부 하 인덕턴스	L	5 [mH]	
개별 DC-링크커패시터	C	5000 [μ F]	
제 어 주 기	T_s	250 [μ sec]	

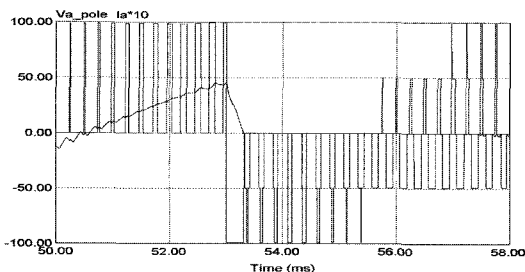


그림 8 고장 발생 시 폴-전압 (영역 2에서 고장 발생)
Fig. 8 Pole voltage under fault occurrence (fault occurrence in sector 2)

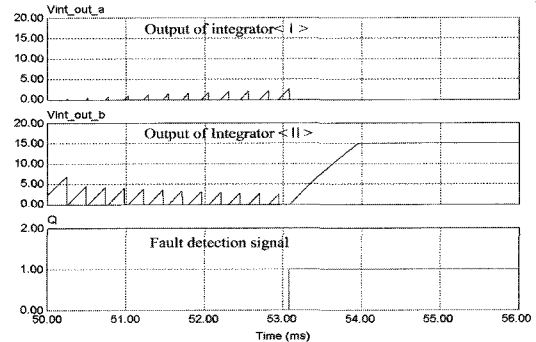


그림 9 적분기 출력과 고장 검출 신호 (영역 2에서 스위치 S_2 고장 시)

Fig. 9 Output of integrator and fault detection signal (switch S_2 fault occurrence in sector 2)

시뮬레이션은 PSIM으로 수행하였으며, 시뮬레이션 조건은 표2에 나타난 바와 같으며, 인버터는 SPWM 방법으로 구동하였다. 그림 8은 그림 3의 영역 2에서 a 상 스위치 소자 S_{a2} 가 개방성 고장이 발생하였을 경우 고장 허용 제어를 적용하지 않은 상태에서의 인버터 폴-전압을 나타낸다. Q_2 는 전류가 양의 값(P, O 스위칭 상태)을 갖고 있을 때 S_{a2} 에 고장이 발생하면 하단의 프리휠링 다이오드를 통하는 전류 흐름으로 비정상적인 폴-전압인 $-V_{dc}/2$ 가 나타나는 그림 3(c)의 상황을 나타낸다.

그림 9에서 (a)는 적분기<I> 출력, (b)는 적분기<II>의 출력 그리고 (c)는 고장 신호를 나타낸다. 그림 8에서 전압 $-V_{dc}/2$ 가 출력되는 구간이 T_s 이상 길어지므로 적분기<I>의 출력이 그림 9(a)와 같이 상승한다. 적분기<I>의 출력이 정의된 고장 레퍼런스<I> 보다 커지면서 그림 9(c)의 고장 검출 신호가 T_s 이내에 출력되었다. 그림 9(b)의 적분기<II>의 출력은 고장 신호가 출력되고 시스템이 고장 허용 제어 로 전환되어 고장 상의 폴-전압이 0으로 유지되므로 상승하여 포화됨을 나타낸다.

5. 실험 결과

본 논문에서 제안한 방법의 타당성을 검증하기 위하여 R-L부하를 갖는 NPC인버터 시스템을 제작하였다. 인버터 제어와 PWM 발생을 위하여 디지털 신호처리기 TMS320C31을 이용하였다. 실험 조건은 시뮬레이션을 수행하였을 때와 동일한 표2와 같으며, 스위칭 소자의 개방성 고장은 a상의 S_{a2} 스위치 고장에 대해서만 수행하였다. 개방성 스위치 고장 상황은 게이트 드라이브에 오프-신호를 강제로 인가하였다.

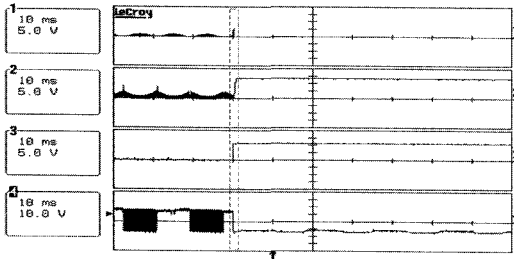


그림 10 적분기<I>, <II>의 출력 파형과 고장 검출 신호 1:적분기<I>, 2:적분기<II>, 3:고장 검출 신호 (1~3:5V/div, 10ms/div), 4:게이트 신호 (10V/div, 10ms/div)

Fig. 10 Output waveform of integrator<I>, <II> & fault detection signal 1:integrator<I>, 2:integrator<II>, 3:detection signal (1~3:5V/div, 10ms/div), 4:gate pulse (10V/div, 10ms/div)

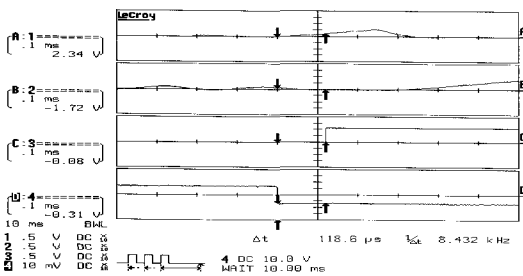


그림 11 고장 시점 확대 1:적분기<I>, 2: 적분기<II>, 3: 고장 검출 신호 (1~3:5V/div, 0.1ms/div), 4: 게이트 신호 (10V/div, 0.1ms/div)

Fig. 11 Amplifier of the fault point 1:integrator<I>, 2:integrator<II>, 3:detection signal (1~3:5V/div, 0.1ms/div), 4: gate pulse (10V/div, 0.1ms/div)

그림 10은 적분기<I>과 <II>의 출력 값과 검출 시간을 나타낸다. 고장 상인 a상 전류가 양의 값을 갖는 시점에서 고장이 발생하여 전류가 0으로 떨어질 때까지 폴-전압은 $-V_{dc}/2$ 가 출력되고 이때 적분기 I의 출력 값이 상승하여 고장 레퍼런스 값을 초과하여 고장이 검출된다.

그림 11에서 보여 지듯이 고장 검출 시간이 118.6 [μs]로 한 샘플링인 250 [μsec]보다 작은 이유는 본 실험에서는 인버터의 출력을 고장 허용 제어 이후에도 같은 크기로 유지시키기 위해 변조비를 0.533으로 수행하였기 때문이다. 낮은 변조비에서는 폴-전압이 최대 출력되는 펄스의 폭이 좁기 때문에 고장 검출시간이 T_s 보다 짧아진다.

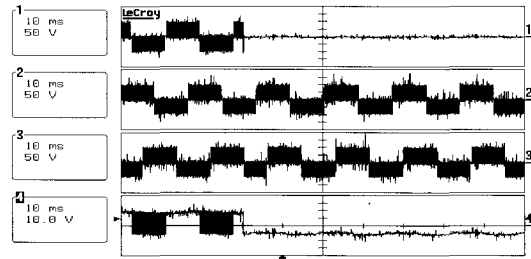


그림 12 스위치 S_2 개방성 고장 시 폴-전압 1:a상 폴-전압, 2:b상 폴-전압, 3:c상 폴-전압 (1~3:50V/div, 10ms/div), 4:게이트 신호 (10V/div, 10ms/div)

Fig. 12 Pole-voltage under the S_2 open fault 1:Pole-voltage in V_a , 2:Pole-voltage in V_b , 3:Pole-voltage in V_c (1~3:50V/div, 10ms/div), 4:gate pulse (10V/div, 10ms/div)

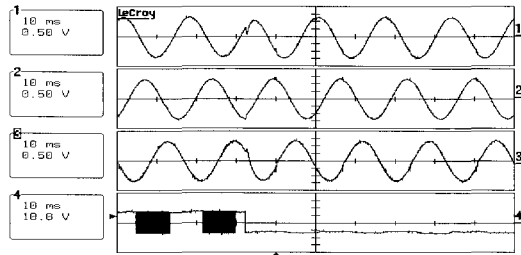


그림 13 제어된 시스템의 실험 결과 1:a상 출력 전류, 2:b상 출력 전류, 3:c상 출력 전류 (1~3:5A/div, 10ms/div, 10ms/div), 4: 게이트 신호 (10V/div, 10ms/div, 10ms/div)

Fig. 13 Experiment result under the controlled system 1:Output current of V_a , 2:Output current of V_b , 3:Output current of V_c (1~3:5A/div, 10ms/div), 4: gate pulse (10V/div, 10ms/div)

그림 12는 고장 허용 제어된 NPC 인버터의 폴-전압을 나타낸다. 고장 허용 제어 이후 a상의 부하 출력선은 직류-링크 중성점에 연결되므로 0값을 유지한다.

그림 13은 고장 허용 제어 이후의 NPC 인버터 출력 전류를 보여준다. 고장 발생 이후 연속적인 평형 3상 전력이 출력되고 있음을 확인 할 수 있다.

6. 결 론

본 논문은 스위칭 소자의 개방성 고장이 발생할 경우에 대한 새로운 고장 검출 방법을 제안하였다. 고장 검출 시간은 기존 인버터 출력의 기본파 1/4주기에서 최대 $3T_s$ 로 단축시킴으로써 고장 지연으로 인해 부하나 다른 시스템에 미치는 악영향을 단축시켰으며,

스위칭 시간을 계산할 필요가 없으므로 DSP의 의존도가 낮다. 또한 부하의 가변에 민감하게 반응하지 않는 풀-전압을 이용하기 때문에 오판의 가능성이 적어 고장 검출의 신뢰성이 높으며, 알고리즘이 간단하고 구현이 용이하다.

참 고 문 헌

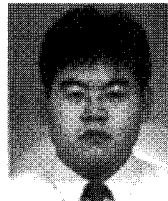
- [1] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral-point-clamped PWM Inverter", *IEEE Trans. Ind. Applicat*, Vol. 17, No. 5, pp. 518-523, 1981.
- [2] R. Peugot, S. Courtine, J. Rognon, "Fault detection and isolation on a PWM inverter by knowledge-based model", *IEEE Trans. Ind. Applications*, Vol. 34, pp. 1318~1326 Nov./Dec, 1998.
- [3] F. Blaabjerg, J.K. Pedersen, U Jaeger, P. Thøgersen, "Single current sensor technique in the DC link of three-phase PWM-VS inverters: a review and a novel solution", *IEEE Trans. Ind. Applications*, Vol. 33, pp. 1241~1253, Sept./Oct. 1997.
- [4] K.S. Smith, Li Ran, J. Penman, "Real-time detection of intermittent misfiring in a voltage-fed PWM inverter induction-motor drive", *IEEE Trans. Ind. Applications*, Vol. 44, pp. 468~476. Aug. 1997.
- [5] R. Spee and T. Lipo, "Remedial strategies for brushless dc drive failures", *IEEE Trans. Ind. Applicat.*, Vol. 26, No. 2, pp. 259~266, Mar./Apr. 1990.
- [6] R. L. A. Ribeiro, C. B. Jacobina, E. R. C. da Silva and A. M. N. Lima, "Fault Detection of Open-Switch Damage in Voltage-Fed PWM Motor Drive Systems", *IEEE Trans. Power Electronics*, Vol. 18, No. 2, pp. 587~593, Mar. 2003.
- [7] J.R. Fu and T. Lipo, "A Strategy to Isolate the Switching Device Fault of a Current Regulated Motor Drive," in *Conf. Rec. IEEE-IAS Annu. Meeting*, Vol. 1, pp. 1015~1020, 1993.
- [8] N. Bianchi, S. Bolognani, M. Zigliotto and M. Zordan, "Innovative Remedial Strategies for Inverter Faults in IPM Synchronous Motor Drives", *IEEE Trans. Energy Conversion*, Vol. 18, No. 2, pp. 306~312, June. 2003.

저 자 소 개



이재철(李載喆)

1978년 3월 22일생. 2005년 부경대 전기제어공학부 졸업. 2005년~현재 한양대 대학원 전기공학과 석사과정.



김태진(金兌珍)

1974년 8월 31일생. 2000년 대전대 전기공학과 졸업. 2002년 한양대 대학원 전기공학과 졸업(석사). 2002년~현재 동 대학원 전기공학과 박사과정.



현동석(玄東石)

1950년 4월 8일생. 1973년 한양대 전기공학과 졸업. 1978년 동 대학원 전기공학과 졸업(석사). 1986년 서울대 대학원 전기공학과 졸업(공박). 1984년~1985년 미국 토레도대학 교환교수. 1988년~1989년 원천공과대학 교환교수. 2003년 IEEE, Fellow Member. 1979년~현재 한양대 전자전기공학과 교수. 2000년 당 학회 회장 역임.