

실내측위를 위한 새로운 클락 동기 방안

정회원 이영규*, 양성훈*, 이승우*, 이창복*, 김영범*, 최성수**

A New Simplified Clock Synchronization Algorithm for Indoor Positioning

Young-kyu Lee*, Sung-hoon Yang*, Seong-woo Lee*, Chang-bok Lee*,
Young-beom Kim*, Young-kyu Lee** *Regular Members*

요 약

클락 동기는 실내 측위를 위한 실내 동기방을 구축하는데 있어서 가장 기본적으로 고려해야할 요소 중 하나이다. 본 논문에서는 하드웨어의 복잡성 및 동기에 필요한 데이터 오버헤드를 줄이기 위해 타임스탬프를 사용하지 않고 클락을 동기 시키기 위한 새로운 알고리즘에 대해서 논한다. 또한 동기 성능에 큰 영향을 미치는 주파수 드리프트를 보상해 주기 위한 알고리즘에 대해서도 기술한다. 제안한 동기 알고리즘을 사용한 동기 성능에 대한 평가는 모의실험을 통한 MTIE(Maximum Time Interval Error) 값을 고찰함으로써 이루어졌다. 모의실험에 있어서 실제적인 오실레이터에 대한 주파수 드리프트 값을 사용하였다. 모의실험 결과 1 초의 동기 간격에 1 ns 분해능을 갖고 주 클락과 종속 클락에 TCXO를 사용하면 10 ns 이하의 동기가 가능함을 고찰하였다.

Key Words : Clock synchronization, Indoor positioning, Frequency drift, Frequency offset compensation, Clock resolution

ABSTRACT

Clock Synchronization is one of the most basic factors to be considered when we implement an indoor synchronization network for indoor positioning. In this paper, we present a new synchronization algorithm which does not employ time stamps in order to reduce the hardware complexity and data overhead. In addition to that, we describe an algorithm that is designed to compensate the frequency drift giving an serious impact on the synchronization performance. The performance evaluation of the proposed algorithm is achieved by investigating MTIE (Maximum Time Interval Error) values through simulations. In the simulations, the frequency drift values of the practical oscillators are used. From the simulation results, it is investigated that we can achieve the synchronization performance under 10 ns when we use 1 second synchronization interval with 1 ns resolution and TCXOs (Temperature Compensated Cristal Oscillators) both in the master clock and the slave clock.

I. 서 론

최근 핫이슈로 떠오르고 있는 유비쿼터스 포지션
잉을 위해서는 실외에서뿐만 아니라 실내에서도 측

위가 가능한 실내 측위시스템의 구현이 요구되어진
다. 실외에서의 측위는 GPS(Global Positioning
System)를 사용하여 수 십에서 수 미터 이내로 3차
원의 위치 설정이 가능하다(이와 같이 GPS 신호를

* 한국표준과학연구원 기반표준부 길이/시간 그룹(ykleeks@kriss.re.kr, shyang@kriss.re.kr, cblee@kriss.re.kr, swlee@kriss.re.kr, kimy@kriss.re.kr)

** 한국전기연구원 융합기술연구단 전기정보망기술연구그룹(sschoi@keri.re.kr)

논문번호: KICS2006-11-506, 접수일자: 2006년 11월 23일, 최종논문접수일자: 2007년 3월 7일

이용한 측위가 가능한 것은 GPS 위성 클락들이 서로 간에 동기가 되어 있기 때문이다). 하지만, 실내 측위의 경우에 있어서 매우 약한 신호 레벨 때문에 GPS 신호를 사용할 수 없다. 실내 측위를 위해서 IR(Infra-Red), RF(Radio Frequency) 그리고 Ultrasound와 같은 매체 들이 연구되어져 왔고 최근에는 주로 UWB(Ultra Wideband)를 사용하기 위한 연구가 많이 이루어지고 있다^{1), 2)}. 이러한 신호를 이용한 실내 측위를 위해서는 가장 기본적인 사항 중 하나로서 실내 망을 구성하고 있는 전송기 클락들 사이의 동기가 요구되어진다.

두 클락 사이의 동기를 이루기 위해서는 동일 순간에 발생하는 펄스와 이러한 펄스가 일정한 간격을 가지고 매 간격마다 동시에 발생할 수 있도록 하기 위한 주파수의 동기가 요구되어진다. 이를 위해서는 기준이 되는 주 클락과 주 클락에 대해 동기를 하고자 하는 종속 클락의 초기 위상 오프셋 및 전송지연 시간의 측정이 요구되어진다. 이러한 위상 오프셋 및 전송지연 시간의 측정을 위해서 NTP(Network Time Protocol)와 PTP(Precise Time Protocol) 등과 같은 기존의 망동기 방식에서는 동기 신호의 전송 시각 및 수신 시각을 타임스탬프에 실어 보내고 이러한 정보를 사용하여 종속 클락의 오프셋 및 전송지연 시간을 구하여 이를 보상해 줌으로써 동기를 시키게 된다³⁾. 하지만 이러한 방법에 있어서는 전송 및 수신 시각을 알기 위해 타임스탬프의 생성이 필요하게 되고, 따라서 이러한 타임스탬프를 사용하지 않는 방법에 비해서 하드웨어 또는 소프트웨어로 구현해야 하는 추가적인 블록이 요구되어진다. 또한 이러한 타임스탬프의 생성 및 복조는 시스템의 복잡성을 증가시킬 뿐만 아니라 데이터 전송 관점에 있어서도 오버헤드가 증가함으로써 전송 효율을 감소시키는 결과를 가져온다. 따라서 타임스탬프를 사용하지 않고 클락 동기를 할 수 있다면 소프트웨어 또는 하드웨어의 복잡성을 줄일 수 있을 뿐만 아니라 데이터 전송 측면에서도 효율적인 방안이 될 수 있다.

본 논문에서는 실내 동기망을 구축하는데 있어서 기존의 방식에서 사용하는 타임스탬프를 이용하지 않고 초펄스를 이용하여 동기 시키는 알고리즘에 대해서 논한다. 제안하는 알고리즘에 있어서는 초펄스를 이용하여 주 클락에 대한 종속 클락의 초기 위상 오프셋 및 전송지연을 구하게 된다. 또한 초기 위상 오프셋 및 전송지연에 대한 보정이 이루어진 후에 클락에 사용되는 오실레이터의 주파수 드리프트

때문에 발생하는 주파수 오프셋에 의한 동기 오차를 줄이기 위한 주파수 오프셋 보상 알고리즘에 대해서도 기술한다. 다음으로 제안된 알고리즘을 사용하였을 때의 동기 간격, 오실레이터의 종류 및 분해능과 같은 각각의 요소들이 동기 성능에 미치는 영향에 대해서 모의실험을 통하여 고찰한 결과를 가지고 설명한다.

본 논문의 나머지 부분은 다음과 같이 구성되어 있다. 먼저 2장에서는 제안된 클락 동기 알고리즘에 대해서 논하고 다음으로 제 3장에서는 클락 동기 성능을 검증하기 위한 이론적인 성능 검증 방안에 대해서 기술한다. 4장에서는 제안된 알고리즘을 사용하여 수행한 모의실험 결과에 대해서 기술하고 마지막으로 5장에서 결론 및 향후 연구방향에 대해서 논한다.

II. 클락 동기를 위한 제안된 알고리즘

본 장에서는 본 논문에서 제안하는 클락 동기 방안에 대해서 기술한다. 제안된 알고리즘에 대해서 기술하기에 앞서 타임스탬프를 사용하는 종래의 클락 동기 알고리즘 중 대표적으로 IEEE 1588 프로토콜에 대해서 간략하게 설명하기로 한다.

새로운 IEEE 표준 PTP(Precise Time Protocol) IEEE 1588은 이더넷 망을 사용하여 실시간적으로 매우 정밀한 시각 동기를 제공하기 위해 고안된 프로토콜이며 현재 국제적인 표준안의 마련이 진행되어지고 있다. 인터넷을 이용하여 원격지 클락을 동기 시키는데 일반적으로 가장 많이 사용되어지고 있는 종래의 NTP 프로토콜은 대략 수에서 수십 밀리 초 정도의 동기 성능을 가지고 있어서 마이크로 초 이하의 동기 정확도를 요구하는 응용에서 사용하기가 어렵다. 이에 반해, IEEE 1588을 사용하면 동일한 이더넷 망을 사용하는 센서 및 단말 장치 사이에 마이크로 초 이하의 시각 동기가 가능하다. IEEE 1588은 공개된 프로토콜로 표준협회 홈페이지(<http://ieee1588.nist.gov>)에서 많은 관련 자료들을 구할 수 있다. 그림 1에는 정밀시각동기(PTP)에서 사용하고 있는 동기 알고리즘에 대해서 나타내었고 이에 대해서 설명하면 다음과 같다⁴⁾.

PTP에서는 동기를 시키기 위해서 먼저 주 클락에서 종속 클락으로 동기(Sync Req) 메시지를 전송하고 연이어 전송 시각 T_1 을 포함하는 후속(FollowUp Req) 메시지를 전송한다. 이 때의 주 클락에 대한 종속 클락의 차이 MS_{diff} 는

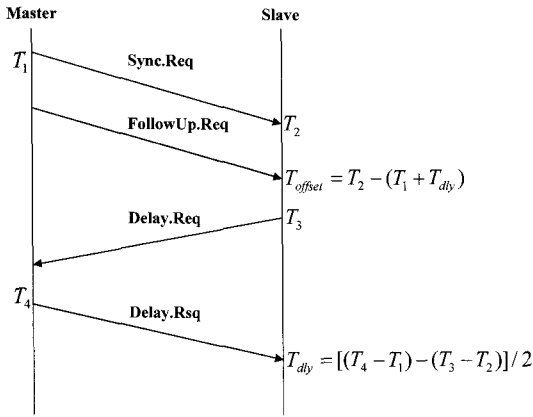


그림 1. PTP 방법에서 사용하는 동기 알고리즘.
Fig. 1. Synchronization algorithm used in PTP.

$$MS_{diff} = T_2 - T_1 = T_{offset} + T_{dly} \quad (1)$$

와 같이 나타낼 수 있고, 여기에서 T_{offset} 은 주 클락에 대한 종속 클락의 위상 오프셋이고 T_{dly} 는 전송지연이다. 종속 클락에는 T_1 및 T_2 의 값이 저장된다. 다음으로 종속 클락에서 지연요구(Delay.Req) 메시지를 주 클락으로 전송하고 주 클락에서는 이 메시지에 대한 응답으로 T_4 을 포함하는 지연응답(Delay.Rsq) 메시지를 종속 클락으로 전송한다. 이 때의 종속 클락에 대한 주 클락의 차이 SM_{diff} 는 다음과 같이 표현 할 수 있다.

$$SM_{diff} = T_4 - T_3 = -T_{offset} + T_{dly} \quad (2)$$

식 (1)과 (2)를 사용하여 요구되어지는 클락 오프셋과 전송지연의 값은

$$T_{offset} = [(T_4 - T_1) + (T_3 - T_2)] / 2 \quad (3)$$

$$T_{dly} = [(T_4 - T_1) - (T_3 - T_2)] / 2 \quad (4)$$

와 같이 구해지고 이 값들을 보상에 줌으로써 동기를 이루게 된다.

위에서 설명한 것과 같은 종래의 클락 동기 알고리즘에서 요구되어지는 타임스탬프를 사용하지 않고, 다음에 제안하는 방법과 같이 초펄스에 기초한 클락 동기를 하면 이와 같은 타임스탬프의 생성 및 디코딩이 필요하지 않게 된다. 초펄스에 기초한 동기 방식은 타임스탬프에 기초한 방식과는 다르게

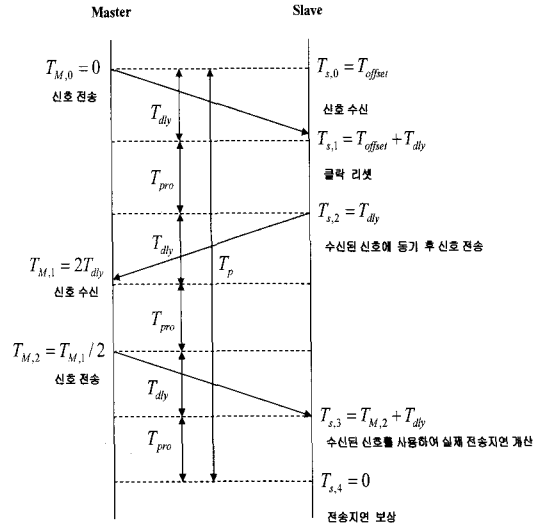


그림 2. 본 논문에서 제안하는 주 클락과 종속 클락과의 동기 알고리즘.
Fig. 2. Proposed synchronization algorithm between the master and slave clocks.

위상 오프셋 값과 주파수 오프셋 값을 동시에 구하지 않고 각각 따로 구하게 된다. 그림 2에 본 논문에서 제안하는 주 클락과 종속 클락 사이의 동기 알고리즘에 대해서 나타내었다.

먼저 주 클락에서는 $T_{M,0}$ 에서 종속 클락으로 신호를 전송한다. 이 때의 신호 전송 시각은 주 클락과 종속 클락 사이의 상대적인 시각 차이를 구하는 것이 목적이기 때문에 0으로 놓을 수 있다. 이 때의 종속 클락에서의 시각은 초기 위상 오프셋이 존재 한다고 할 때 $T_{s,0} = T_{offset}$ 이 된다. 이후 종속 클락에서 동기 신호를 수신했을 때의 시각은 전송지연 시간 T_{dly} 에 위상 오프셋 값을 더한 값인 $T_{s,1} = T_{offset} + T_{dly}$ 가 된다. 초기 위상 오프셋을 제거하기 위해서는 종속 클락에서 동기 신호를 수신하였을 때 클락을 리셋 시켜주면 되고, 이때의 주 클락과 종속 클락과의 시간 차이는 전송지연 값인 T_{dly} 가 된다. 이후 종속 클락에서 주 클락으로 동기 신호를 전송하는 시각이 T_{dly} 와 동일하도록 모듈로(modulo) T_b 연산을 사용하여 이의 정수배 이후에 동기 펄스를 전송한다.

다음으로 종속 클락에서 자신의 초펄스에 동기된 신호를 $T_{s,2}$ 에서 전송하고 이 동기 신호를 주 클락에서 수신했을 때의 시각은 $T_{M,1} = 2T_{dly}$ 가 된다. 주 클락에서는 수신한 신호와 자신의 기준 초펄

스와의 시간차를 계산하여 이 값의 1/2에 해당하는 $T_{M,2} = T_{M,1}/2$ 에서 다음 신호를 전송한다. 주 클락에서 $T_{M,2}$ 에 전송한 신호를 종속 클락에서 수신했을 때의 시각은 $T_{S,3} = T_{M,2} + T_{dly}$ 로 나타낼 수 있다. 이후 종속 클락에서는 $T_{S,3}$ 의 값을 사용하여 전송지연 값을 구한다. 이상의 동기 알고리즘을 수행하는데 소요되는 총 시간을 구하면 $T_P = 4T_b$ 가 된다.

전송지연 값을 계산하기 위해 위의 과정에 대해서 부연설명하면 다음과 같다.

- ① $T_{M,0}$: 주 클락에서 기준 초펄스에 동기된 신호 전송 시각.
- ② $T_{S,1} = T_{dly} + T_{offset}$: 주 클락에서 $T_{M,0}$ 에 전송한 신호를 종속 클락에서 수신한 시각. 여기에서 T_{dly} 는 전송지연이고 T_{offset} 은 종속 클락의 주 클락에 대한 초기 위상 오프셋.
- ③ $T_{S,2} = T_{dly}$: 종속 클락의 위상 오프셋을 제거하기 위해서 신호 수신 시각에 종속 클락의 초펄스를 동기시키고 주 클락으로 신호를 전송하는 시각. 종속 클락에서는 기준 초펄스의 위상이 0으로 리셋되지만 마스터 클락의 기준 초펄스에 대해서는 T_{dly} 만큼의 위상차(또는 시간차)가 존재.
- ④ $T_{M,1} = 2T_{dly} \pmod{T_b}$: 종속 클락에서 $T_{S,2}$ 에서 전송한 신호를 주 클락에서 수신한 시각. 여기에서 " $A \pmod{T_b}$ "는 modulo T_b 를 의미하며 A의 값이 T_b 를 넘을 경우에는 A의 값에서 T_b 초를 뺀 A- T_b 의 값이 됨. 따라서 다음의 두 가지 경우가 발생 가능.
 - 만일 $T_{dly} \leq 0.5T_b$ 이면 $T_{M1} = 2T_{dly}$
 - 만일 $T_{dly} > 0.5T_b$ 이면 $T_{M1} = 2T_{dly} - T_b$
- ⑤ $T_{M,2} = T_{M,1}/2$: 주 클락에서 전송지연을 계산하고 이의 1/2 값만큼 지연 시킨 후 종속 클락으로 신호를 송신하는 시각. 다음의 두 가지 경우가 발생 가능.
 - 만일 $T_{dly} \leq 0.5T_b$ 이면 $T_{M2} = T_{dly}$
 - 만일 $T_{dly} > 0.5T_b$ 이면 $T_{M2} = T_{dly} - 0.5T_b$
- ⑥ $T_{S,3} = (T_{M2} + T_{dly}) \pmod{T_b}$: 주 클락에서 T_{M2} 에서 송신한 신호를 원격 클락에서 수신한 시각. 다음의 세 가지 경우가 발생 가능.
 - 만일 $T_{dly} \leq 0.5T_b$ 이면 $T_{S3} = 2T_{dly}$

- 만일 $0.5T_b < T_{dly} < 0.75T_b$ 이면 $T_{S3} = 2T_{dly} - 0.5T_b$
- 만일 $T_{dly} \geq 0.75T_b$ 이면 $T_{S3} = 2T_{dly} - 1.5T_b$
- ⑦ 전송지연 값 보상: 종속 클락에서 계산된 $T_{S,3}$ 의 값을 1/2배 한 후 다음과 같은 방법을 사용하여 계산.
 - 만일 $T_{dly} \leq 0.5T_b$ 이면 $T_{dly} = T_{S3}/2$
 - 만일 $0.5T_b < T_{dly}/2 < 0.75T_b$ 이면 $T_{dly} = T_{S3}/2 + 0.25T_b$
 - 만일 $0.75T_b \leq T_{dly}/2 < T_b$ 이면 $T_{dly} = T_{S3}/2 + 0.75T_b$

위에서 설명한 것과 같이 제한한 알고리즘을 사용하여 초기 위상 오프셋과 전송지연 값을 구하여 이를 보상에 주면 클락 동기를 이룰 수 있다. 실제의 동기에 있어서 주 클락과 종속 클락 사이의 거리가 수십에서 수 백 미터 이내라고 가정할 경우 전송지연 값은 수백 나노 초에서 수 마이크로 초 이내에 있게 된다. 일반적으로 기본 주기 T_b 의 값은 $T_b \geq T_{pro}$ 로 구해지고 이는 보통 밀리 초 이상으로 설정하게 되며 이러한 경우에 있어서 $T_{dly} \ll T_b$ 이고 따라서 위에서 설명한 각각의 동기 과정에 있어서 첫 번째 경우만이 발생하게 된다.

III. 성능 분석 방법

주 클락과 종속 클락을 동기 시키기 위해서는 먼저 2장에서 기술한 알고리즘을 사용하여 초기 위상 오프셋 및 전송지연 값을 구하여 이를 보상에 주는 것이 필요하다. 이러한 보상이 이루어진 이후에는 재동기 시간 간격에 따른 주파수 드리프트에 의해 발생하는 시간 오차를 보상에 주는 것이 요구된다. 이 장에서는 주파수 드리프트에 의한 주파수 오프셋을 보상에 주기 위한 알고리즘과 동기 성능을 분석하기 위한 MTIE(Maximum Time Interval Error) 값을 구하는 방법에 대해서 살펴보기로 한다.

3.1 주파수 드리프트 보상

이 장에서는 주파수 드리프트에 의해서 발생하는 주파수 오프셋의 계산 및 이를 보상에 주기 위한 방법에 대해서 설명하기로 한다. 전송지연의 값이 구해지면 주 클락과 종속 클락 사이의 시각차이는 다음과 같이 나타낼 수가 있다.

$$CT_S(n-1) = CT_M(n-1) + T_{div} \quad (5)$$

여기에서 CT_S 는 종속 클락 시각, CT_M 은 주 클락의 시각, ST_M 은 주 클락의 동기 시각, T_{div} 는 주 클락에서 종속 클락까지의 전송 지연, n 은 주 클락에서 종속 클락으로의 동기 신호 전송 횟수이다. n 번째 동기에서의 두 클락 사이에는 주파수 드리프트량이 서로 다르기 때문에 이에 의한 시간 차이가 발생하게 되고 이의 값은

$$CT_S(n) = ST_M(n) + T_{div} + f_d \quad (6)$$

로 표현할 수 있고 여기에서 f_d 는 종속 클락의 주파수 드리프트이다^{5, 6}.

두 클락을 동기 시키기 위해서는 주파수 드리프트에 의한 변화량을 보상해 주어야 하며 종속 클락에서 n 번째 동기 싸이클에 대해 주파수 보상값을 구하기 위한 알고리즘에 대해서 기술하면 다음과 같다.

- ① 주파수 보상값 $f_{comp}(1)$ 을 1로 초기화.
- ② 주 클락에서의 시각을 $CT_M(n) = ST_M(n) + T_{div}$ 을 사용하여 계산, 여기에서 주 클락의 동기 시각은 $ST_M(n) = T_{sync} + ST_M(n-1)$ 이고 $ST_M(0) = 0$.
- ③ 현재의 동기 싸이클에 있어서의 주 클락 카운터의 값 $CC_M(n)$ 은 다음의 수식을 이용해 계산.

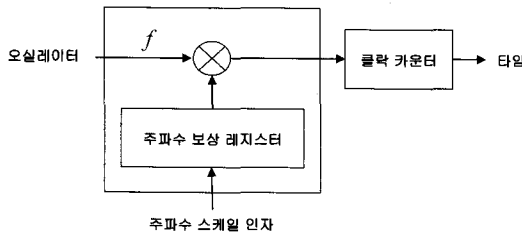


그림 3. 주파수 보상된 클락 개념도
Fig. 3. Conceptual diagram of the frequency compensated clock.

$$CC_M(n) = CT_M(n) - CT_M(n-1) = CT_M(n) - ST_M(n-1) - T_{div}$$

- ④ 현재의 동기 싸이클에 있어서의 종속 클락 카운터 값 $CC_S(n)$ 은 다음의 수식을 이용해 계산.

$$CC_S(n) = CT_S(n) - CT_S(n-1) = ST_M(n) + T_{div} + f_d - ST_M(n-1) - T_{div}$$

- ⑤ 주 클락과 종속 클락과의 차이 $C_{diff}(n)$ 는 다음과 같이 구함.

$$C_{diff}(n) = CT_M(n) - CT_S(n)$$

- ⑥ 주파수 스케일 인자 f_{SF} 는 다음과 같이 구함.

$$f_{SF}(n) = (CC_M(n) + C_{diff}(n)) / CC_S(n)$$

- ⑦ 주파수 보상 값 계산.

$$f_{comp}(n) = f_{SF} * f_{comp}(n-1)$$

이상의 알고리즘을 사용하면 종속 클락의 주파수 드리프트에 의한 오프셋 값을 보상해 줄 수 있으며, 주파수 오프셋이 보상된 클락을 얻기 위한 개념적인 블록도를 그림 3에 나타내었다. 그림 3에 나와 있는 것처럼 현재의 주파수 스케일 인자 값을 위에 설명한 알고리즘을 사용하여 구하고 이 값과 이전의 주파수 보상 값을 곱하여 새로운 주파수 보상 값을 구한다. 이렇게 구해진 값은 다음 동기를 위해서 레지스터에 저장된다. 오실레이터의 주파수 값과 주파수 보상 값이 곱해져서 보상된 주파수 값을 생성하고 이 값이 클락 카운터에 입력으로 주어져서 새로운 현재의 클락 타임이 생성된다.

3.2 MTIE 성능 분석

일반적으로 통신 산업에서 클락의 동기 성능을 평가하기 위해 널리 사용되는 MTIE의 방법에 대해서 살펴보기로 한다. 클락 출력에서 타이밍 신호 $s(t)$ 에 대한 일반적인 표현은 다음과 같다.

$$s(t) = A \sin \Phi(t) \quad (7)$$

여기에서 A 는 진폭을 나타내고 $\Phi(t)$ 는 시간 t 에 의해 증가하는 이상적인 선형 위상과 랜덤 위상 변동을 포함하는 순시위상이다. 일반적으로 시간 함수 $T(t)$ 는 순시위상을 사용하여 다음과 같이 정의 된다.

$$T(t) = \frac{\Phi(t)}{2\pi f_{norm}} \quad (8)$$

여기에서 f_{norm} 은 오실레이터의 정규 주파수를 나타낸다. 또한, 기준 시각 $T_{ref}(t)$ 와 측정 시계의 시각 $T(t)$ 사이의 시간여러 $x(t)$ 는 다음과 같이 표현 된다.

$$x(t) = T(t) - T_{ref}(t) \quad (9)$$

TIE는 하나의 시간 주기 동안에 이에 대한 이상적인 타이밍 신호에 대한 시간 지연으로 정의되고 다음과 같이 표현할 수 있다.

$$TIE_i(\tau) = x_{i+\tau} - x_i \quad (10)$$

여기에서 τ 는 초(second) 단위의 관측 시간이다. N개의 TIE 샘플은

$$x_i = x(t_0 + (i-1)\tau_0) \quad i=1, 2, 3, \dots, N \quad (11)$$

와 같이 나타낼 수 있으며, 여기에서 t_0 는 초기 관측 시각이고 τ_0 는 샘플링 주기이며 이러한 위상 데이터는 카운터를 이용해 측정하고 총 측정 기간 $T = (N-1)\tau_0$ 에 걸쳐서 수집되고 후처리를 하기 위해서 저장된다.

MTIE는 특별한 시간간격에 대한 최대 시간에러의 측정치이다. 이 통계치는 통신 산업에서 통신망의 타이밍 안정도를 측정하기 위해 일반적으로 사용되고 있다. 이 값은 위상 데이터 전체에 대해서 n-점 윈도우를 이동시켜가면서 각각의 윈도우 위치에서 최대값과 최소값 사이의 차이를 계산함으로써 구해진다. MTIE는 전체 데이터 set에 대한 이러한 시간간격 에러의 최대값이고 이는 다음과 같이 나타낼 수 있다^[7].

$$MTIE(\tau) = \max_{1 \leq k \leq N-n} \left[\max_{k \leq i \leq k+n} (x_i) - \min_{k \leq i \leq k+n} (x_i) \right] \quad (12)$$

여기에서 $n=1, 2, \dots, N-1$ 이고 N은 위상 데이터의 개수이며 x_i 는 측정된 위상 데이터이다.

IV. 모의실험 모델 및 결과

클락 동기의 성능에 영향을 미치는 중요한 파라미터에는 기본 주기 T_b , 재동기 주기 T_p 및 분해능이 있다. T_b 는 클락의 프로세싱 시간과 밀접한 관계가 있고 프로세싱 시간보다 크거나 같아야 한다. 프로세싱 시간은 각 단계의 동기 알고리즘을 수행하기 위해 요구되어지는 시간이다. T_p 는 주 클락에 대한 종속 클락의 재동기를 하기 위한 시간 간격으로 이는 클락에 사용되어지는 오실레이터의

주파수 드리프트 값에 영향을 받는다. 요구되는 동기 성능을 충족시키기 위해서는 예상되어지는 주파수 드리프트에 의한 변화값 이내에서 재동기가 이루어지도록 T_p 의 값을 정해야 한다. 분해능은 보통 클락에 사용되어지는 오실레이터 주파수의 역수로 구해지며 이 값에 의해서 클락에서 측정 가능한 값의 범위가 정해지게 된다. 이상의 파라미터 중에서 동기 성능에 가장 큰 영향을 미치는 파라미터로는 주파수 드리프트 및 이의 안정도 값으로써 표 1에 일반적으로 많이 사용되어지는 오실레이터의 주파수 드리프트 및 안정도 값에 대해서 나타내었고 이의 값이 모의실험에 사용되었다^[5].

표 1. 오실레이터 특징.
Table 1. Characteristics of various oscillators.

오실레이터 종류	드리프트 ($\mu s/s$)	안정도 ($\mu s/s^2$)
수정 오실레이터(XO)	10	0.05
온도 보상된 수정 오실레이터(TCXO)	1	0.0005
오픈 제어된 수정 오실레이터(OCXO)	0.1	0.0001
루비듐 원자 오실레이터	0.0005	0.00001

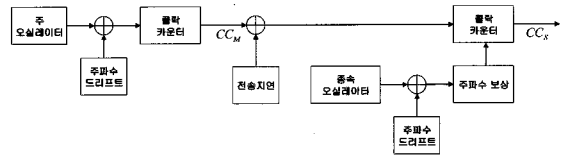


그림 4. 모의실험 블록도.
Fig. 4. Block diagram of the simulations.

모의실험 환경에 대해서 간략하게 요약하면 다음과 같다. 모의실험은 주 클락과 종속 클락이 케이블을 통해 직접 연결되어 있는 상황을 고려하였으며 초펄스를 생성하고 수신하는 부분은 일정한 값 이내에서 이루어지고 이 값은 상수에 해당하여 제거될 수 있다고 가정하였다. 다음으로 클락들은 정해진 주파수 값에 오실레이터의 타입에 따른 일정한 드리프트량과 정해진 안정도 값을 갖는 랜덤 잡음이 더해진 형태의 주파수 출력을 갖는다고 가정했다. 또한 채널 환경으로는 케이블에 전송지연만이 존재하는 이상적인 채널을 가정하였다.

모의실험을 하기 위한 블록도를 그림 4에 나타내었다. 주 오실레이터에서 발생하는 주파수에 주파수 드리프트 값이 더해지고 이 값이 주 클락 시간 CC_M 을 생성하는데 사용된다. 이렇게 생성된 주

클락의 시각에 전송지연의 값이 더해져서 종속 클락으로 전송된다. 종속 클락에서는 먼저 동기 알고리즘에 의해서 구해진 전송지연의 값을 사용하여 이를 보상해 준다. 다음으로 주파수 보상 알고리즘에 의해서 구해진 보상 값을 사용하여 종속 클락의 시각 CC_s 를 생성한다. 측정된 CC_M 과 CC_s 의 차이 값이 동기 성능을 평가하는데 사용된다.

모의실험에 있어서 기본 주기 T_b 의 값은 1 ms로 설정하였으며 이는 제안한 알고리즘의 각 단계와 같은 간단한 프로세스에 대한 프로세싱 시간으로 충분하다고 여겨진다. 또한 전송지연 값은 모의실험 동안에 일정하다고 가정하였고 이는 일반적으로 온도 변화에 의한 케이블 지연 변화량 값이 1°C에 수십 ps 정도인 것을 감안한다면 타당한 가정이라 볼 수 있다. 다음으로 오실레이터 종류, 분해능 및 재동기 간격 T_p 의 값에 변화를 주면서 모의실험을 수행하였다. 수 미터 이내의 실내 측위를 위해서는 수 십 ns 이하의 동기가 요구되므로 이 값 이내의 동기 성능을 갖는 경우에 대해서 모의실험을 통하여 관찰하였다.

그림 5에는 주 클락과 종속 클락과의 시간차에 대한 측정 결과를 나타내었고, 주 클락과 종속 클락에 TCXO를 사용하고 동기 간격 T_{sync} 가 0.1 초일 때, 분해능이 각각 100 ns, 10 ns, 1 ns에 대해서 측정된 두 클락의 시간차를 살펴보았다. 오실레이터에 대한 주파수 드리프트 값과 안정도 값은 표 1에 나와 있는 값을 사용하였다.

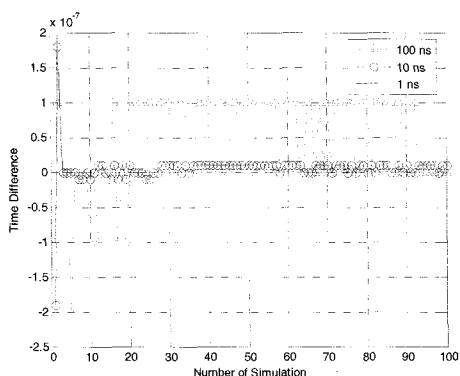


그림 5. 주 클락에 TCXO를 사용하고 종속 클락에 TCXO를 사용할 때의 분해능에 따른 시간차(동기 간격 0.1 초).
Fig. 5. Time difference values according to the resolutions when TCXOs are used in the master and slave clocks(synchronization interval is 0.1 second).

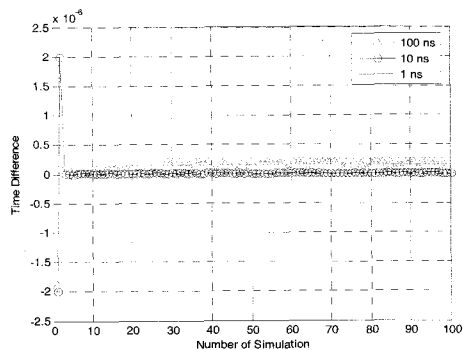


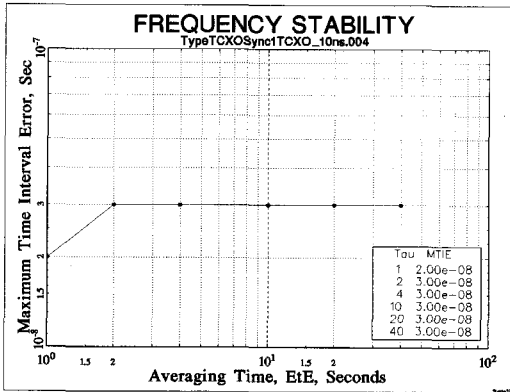
그림 6. 주 클락에 TCXO를 사용하고 종속 클락에 TCXO를 사용할 때의 분해능에 따른 시간차(동기 간격 1 초).
Fig. 6. Time difference values according to the resolutions when TCXOs are used in the master and slave clocks(synchronization interval is 1 second).

그림 5를 보면 주파수 드리프트에 대한 보상이 이루어지지 않은 처음 측정 시에는 두 클락 사이의 동기 간격에 의해 서로 다른 시간차 값을 나타내고 있음을 볼 수 있다.

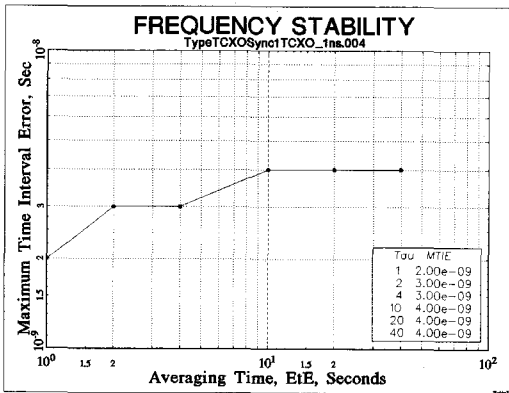
다음으로 보상이 이루어지는 두 번째 측정에서는 이를 보상해 주기 위한 반대 부호를 갖는 값으로 나타나며 세 번째 측정부터는 보상이 정상적으로 이루어지고 있는 것을 알 수 있다. 또한 분해능이 100 ns 일 때는 분해능 보다 작은 변화 값을 정확하게 측정할 수 없기 때문에 세 번째 측정에서 정상 상태로 수렴하지 못하고 몇 번의 보상을 더 해준 이후에야 비로소 정상 상태의 보상이 이루어짐을 알 수 있다. 또한 정상 상태로 수렴했을 경우에도 분해능인 100 ns까지만 동기가 이루어짐을 볼 수 있다. 다음으로 분해능이 10 ns와 1 ns 이하인 경우에는 주파수 드리프트에 의한 변화량 보다 작은 측정이 가능하기 때문에 정상적으로 보상이 이루어지고 있음을 관찰할 수 있다.

표 2. 오실레이터의 종류에 따른 MTIE.
Table 2. MTIE values corresponding to oscillator types.

오실레이터 종류	관측 시간	동기 간격						
		0.1 s 분해능		1 s 분해능		10 s 분해능		
주 클락	종속 클락	10 ns	1 ns	10 ns	1 ns	10 ns	1 ns	
XO	XO	1	3.30e-7	2.64e-7	NA	NA	NA	NA
		10	3.30e-7	3.08e-7	NA	NA	NA	NA
		20	3.30e-7	3.41e-7	NA	NA	NA	NA
TCXO	XO	1	1.90e-7	2.08e-7	2.15e-6	1.88e-6	NA	NA
		10	2.30e-7	2.72e-7	2.33e-6	2.60e-6	NA	NA
		20	2.50e-7	2.72e-7	2.51e-6	2.60e-6	NA	NA
	TCXO	1	2.00e-8	2.00e-9	2.00e-8	2.00e-9	1.20e-7	3.10e-8
		10	2.00e-8	2.00e-9	3.00e-8	4.00e-9	1.30e-7	4.50e-8
		20	2.00e-8	2.00e-9	3.00e-8	4.00e-9	1.30e-7	5.70e-8



(a)



(b)

그림 7. 주 클락과 종속 클락에 TCXO를 사용할 때 동기 간격 1 초에서의 MTIE: (a) 분해능 10 ns, (b) 분해능 1 ns. Fig. 7. MTIE values with 1 second synchronization interval when TCXOs are used in the master and slave clocks: (a) 10 ns resolution, (b) 1 ns resolution.

그림 6에는 그림 5와 같은 조건에서 동기 간격이 1 초 일 때에 대한 두 클락의 시간차를 나타내었다. 그림 6에서 분해능이 100 ns 일 경우에도 주파수 드리프트에 의한 변화량 보다 더 작은 값을 측정할 수 있기 때문에 세 번째 측정에서부터 정상 상태로 수렴함을 알 수 있다. 그림 7에는 그림 6의 경우에 있어서 분해능이 10 ns와 1 ns에 대한 MTIE의 값을 나타내었다. 그림 7에서 보면 분해능이 10 ns인 경우에는 20 초 측정간격에 대해서 30 ns, 분해능이 1 ns인 경우에는 4 ns의 MTIE 값을 가짐을 알 수 있고 이는 분해능이 1 ns인 경우에 있어서 1 초 이하의 동기 간격을 사용하면 10 ns 이하의 동기 성능을 얻을 수 있음을 의미한다.

표 2에는 주 클락 및 종속 클락에 사용되어지는 오실레이터의 종류, 분해능, 동기 간격 및 측정 간격에 따른 MTIE 값을 나타내었다. 표 2에서 NA는

관측하고자 하는 동기 성능 이내에서의 MTIE 경향을 보는데 있어서 중요하지 않다고 여겨지는 부분을 생략한 것이다. 표 2에 나타난 데이터 값이 의미하는 바를 살펴보면 다음과 같다. 먼저 종속 클락에 XO를 사용하고 주 클락에 XO와 TCXO를 사용했을 경우에 대해서 살펴보면 분해능에 관계없이 거의 비슷한 MTIE 성능을 보이는 것을 알 수 있고 이는 성능이 더 나쁜 오실레이터에 의해서 MTIE 값이 결정되어진다는 것을 보여주는 것이다. 또한 주 클락에 TCXO를 사용해도 종속 클락에 XO를 사용할 경우에는 동기 간격이 0.1 초인 경우에는 us 이하의 성능을 얻을 수 있는 반면 1 초 이상일 경우에는 us 이하의 성능을 얻을 수 없음을 알 수 있다. 다음으로 주 클락과 종속 클락에 모두 TCXO를 사용했을 경우에 있어서 동기 간격이 0.1 초 일 때 분해능이 10 ns와 1 ns의 모든 경우에 있어서 최대 분해능 값으로 MTIE의 성능이 결정되는 것을 알 수 있다. 이는 이와 같은 경우에 있어서 더 높은 분해능을 사용하면 더 좋은 동기 성능을 얻는 것이 가능함을 의미한다. 또한 동기 간격이 10 초인 경우에 있어서는 분해능이 10 ns일 때는 100 ns 이상 그리고 1 ns 일 때는 수십 ns 이하의 MTIE 값을 보임을 알 수 있다. 마지막으로 10 ns 이하의 동기 성능을 얻기 위해서는 주 클락과 종속 클락 모두에 TCXO를 사용하고 동기 간격이 1 초에 분해능 1 ns를 사용하면 된다는 것을 관찰 할 수 있다.

V. 결론

클락 동기는 실내 측위 정확도를 향상시키기 위해서 요구되는 가장 기본적이며 중요한 사항 중 하나이다. 본 논문에서는 실내 측위에 사용하기 위한 실내 동기망을 구축하는데 있어서 중요한 클락 동기 방법에 대해서 논하였다. 클락 동기에 있어서 소프트웨어 또는 하드웨어의 복잡성을 줄이고 클락 동기에 필요한 데이터 전송량을 줄임으로써 전송 오버헤드를 줄이기 위해 종래의 타임스탬프를 사용하는 방법 대신에 초펄스를 이용한 동기 방안을 제시 하였다. 실제로 사용되는 클락에는 주파수 드리프트가 항상 존재하고 이는 동기 성능에 큰 영향을 미치기 때문에 이를 보상해주기 위한 방법에 대해서도 기술하였다. 모의실험에 있어서는 실제로 사용되고 있는 오실레이터에 대한 주파수 드리프트 및 안정도 값을 사용하여 동기 가능한 성능에 대해서 고찰하였다. 모의실험 결과 10 ns 이하의 동기를 위

해서는 동기 간격이 1 초 이하에서 분해능이 1 ns 를 사용하고 주 클락과 종속 클락에 모두 TCXO를 사용하면 가능하다는 것을 고찰하였다.

본 논문에서 제안하는 알고리즘과 타임스탬프를 사용하는 IEEE 1588(PTP)과 같은 프로토콜에 대해서 성능 관점에서 비교해 보면 초기 위상 오프셋 및 전송지연 값의 추정에 있어서는 분해능이 영향을 미치지 때문에 같은 분해능을 사용한다면 서로 동일한 성능을 보일 것으로 여겨진다. 하지만 PTP 방식에 있어서 생성된 타임스탬프를 정확하게 기준 초펄스에 동기를 맞추어 전송해야만 하고 이때에 동기 에러가 발생할 수 있다는 점을 고려한다면 초펄스를 직접 전송하는 본 논문에서 제안하는 방법이 더 좋은 성능을 나타낼 수 있을 것으로 생각된다.

본 논문에서는 클락 동기에 있어서 하나의 주 클락과 하나의 종속 클락 사이의 동기 성능에 대해서 고찰하였고, 일반적인 동기망 형성의 경우에 있어서 여러 개의 종속 클락이 사용되어지므로 이러한 경우에 있어서의 동기 성능을 고찰하는 것이 향후 연구에 있어서 필요하다. 또한 본 연구에서 제안하는 동기 방법이 낮은 전력 소모를 요구하는 센서 네트워크와 같은 무선 측위에 있어서도 사용되어질 수 있는 가능성이 있다고 여겨지며 이러한 무선 환경 하에서의 통신 채널에 적용하였을 때의 성능에 대해서 살펴보는 것도 중요한 연구 과제 중 하나가 될 수 있다.

참 고 문 헌

[1] H. Kong, Y. Kwon, T. Sung, "Comparisons of TDOA Triangulation Solutions for Indoor Positioning," *Proceedings of the GNSS 2004 Conference*, p. 28, December 2004.

[2] 이준용, "UWB와 Indoor Radio Location", *한국통신학회지*, 20(2), pp. 193-201, 2003.

[3] D.L. Mills, "Internet Time Synchronization: The Network Time Protocol," *IEEE Transactions on Communications*, 39, pp. 1482-1493, 1991.

[4] M. Horauer, K. Schossmaier, U. Schmid, R. Holler, N. Kero, "PSynUTC-Evaluation of a High-precision Time Synchronization Prototype System or Ethernet LANs," *Proceedings of the 34th Annual Precise Time and Time Interval (PTTI) Meeting*, pp. 263-277, December 2002.

[5] S. Balasubramanian, K.R. Harris, A.

Moldovansky, "A Frequency Compensated Clock for Precision Synchronization using IEEE 1588 Protocol and Its Application to Ethernet," *Proceedings of the Workshop on IEEE 1588*, pp. 91-94, September 2003.

[6] C. Fetzer, F. Cristian, "An Optimal Internal Clock Synchronization Algorithm," *Proceedings of the 10th Annual IEEE Conference on Computer Assurance*, pp. 187-196, June 1995.

[7] S. Bregni, "Measurement of Maximum Time Interval Error for Telecommunications Clock Stability Characterization," *IEEE Transactions on Instrumentation and Measurement*, 7(5), pp. 900-906, 1996.

이 영 규 (Young-kyu Lee)

정회원



1995년 2월 : 전북대학교 전자공학과 졸업
 1997년 2월 : 광주과학기술원 정보통신공학과 석사
 2002년 8월 : 광주과학기술원 정보통신공학과 박사
 2002년 11월~현재 : 한국표준과

학연구원 기반표준부 선임연구원

<관심분야> 위성 응용 시각 비교 및 동기, 통신망동기, 유비쿼터스 측위

양 성 훈 (Sung-hoon Yang)

정회원



1984년 2월 : 광운대학교 전자공학과 졸업
 1997년 8월 : 충남대학교 전자공학과 석사
 1984년 1월~현재 : 한국표준과 학연구원 기반표준부 책임연구원

<관심분야> 위성 응용 시각 비교 및 동기

이 승 우 (Seong-woo Lee)

정회원



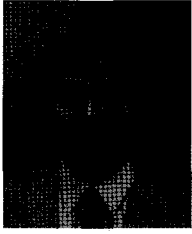
1994년 2월 : 한국과학기술원 기계공학과 졸업
 1996년 2월 : 한국과학기술원 기계공학과 석사
 2002년 2월 : 텍사스대학교 항공우주공학과 박사
 2005년 11월~현재 : 한국표준과

학연구원 기반표준부 선임연구원

<관심분야> 위성 응용 시각 비교 및 전송, 통계 추정

이 참 복 (Chang-bok Lee)

정회원



1980년 2월 : 서강대학교 전자공
학과 졸업

1982년 2월 : 서강대학교 전자공
학과 석사

1994년 2월 : 서강대학교 전자공
학과 박사

1982년 3월~현재 : 한국표준과
학연구원 기반표준부 책임연구원

<관심분야> 위성, 지상파 이용 시각 비교 및 동기

김 영 범 (Young-beom Kim)

정회원



1982년 2월 : 충남대학교 전자공
학과 졸업

1984년 2월 : 충남대학교 전자공
학과 석사

1986년 1년 : 독일연방물리기술
청(PTB) 방문연구원

2000년 2월 : 충남대학교 전자공

학과 박사

1982년 3월~현재 : 한국표준과학연구원 기반표준부
책임연구원

<관심분야> 원격측정, 망동기, 시각 분배

최 성 수 (Young-kyu Lee)

정회원



1996년 2월 : 경원대학교 전자공
학과 졸업

1998년 2월 : 광주과학기술원 정
보통신공학과 석사

2002년 1년 : 미네소타대학교
Pre-Doctoral Assistant

2003년 2월 : 광주과학기술원 정
보통신공학과 박사

2003년 3월~현재 : 한국전기연구원 융합기술연구단
선임연구원

<관심분야> LR-UWB, WPAN, BPLC