

모바일기기의 동작모드와 대기모드를 모두 고려한 저전력 3차원 그래픽 가속기

(A Low Power 3D Graphics Accelerator Considering Both Active and Standby Modes for Mobile Devices)

김 영 식 [†]
(Youngsik Kim)

요약 본 논문에서는 모바일 3D 그래픽 가속기의 저전력 텍스처 캐쉬 구조를 제안하였다. 모바일 3D 그래픽 가속기는 동작모드에서 대규모 메모리 접근이 필요한 텍스처 매핑의 메모리 지연시간을 감소하고 대기모드에서 누설 전력소비를 줄이는 것이 매우 중요하다. 제안하는 텍스처 캐쉬 구조는 응용 프로그램의 텍스처 필터링 알고리즘에 따라서 가변적인 전력 모드 전환 기준으로 동작하여 누설전력을 줄이고 동작시간의 이득을 얻는다. 제안한 구조의 성능 검증을 위하여 트레이스 기반 텍스처 캐쉬 시뮬레이션을 수행하여 누설전력과 수행시간을 모두 고려한 성능 척도에서 이전 연구인 MSA 캐쉬보다 최대 7%의 성능 이득을 얻었다.

키워드 : 저전력 3차원 그래픽 가속기, 모바일 기기, 동작모드, 대기모드, 텍스처 캐쉬, bilinear 필터링, trilinear 필터링, 전력 모드 전환, 정규화된 누설전력, 수행시간 영향도

Abstract This paper proposed the low power texture cache for mobile 3D graphics accelerators. It is very important to reduce the leakage power in the standby mode for mobile 3D graphics accelerators and the memory access latency of texture mapping in the active mode which needs a large memory bandwidth. The proposed structure reduces the leakage power using variable threshold values of power mode transitions according to the selected texture filtering algorithms of application programs, which has the run time gain for texture mapping. In the trace driven cache simulation the proposed structure shows the best 7% performance gain to the previous MSA cache according to the new performance metric considering both normalized leakage power and run time impact.

Key words : low power 3D graphics accelerator, mobile devices, active mode, stand-by mode, texture cache, bilinear filtering, trilinear filtering, power mode transition, normalized leakage power, run time impact

1. 서론

게임, 영화제작, 가상현실 모델링, 그래픽 사용자 인터페이스(GUI), 교육, 군사, 의료 등 다방면에 걸쳐서 3차원 컴퓨터 그래픽 (3D Computer Graphics)은 핵심적인 연구 분야이다. 3차원 실감영상을 실시간으로 처리하기 위해서는 컴퓨터 스크린에서 생성하는 3차원 이미지 픽셀마다 방대한 양의 메모리 액세스와 대규모 연산을 필요로 하기 때문에 매우 높은 전력 소모가 요구된다.

특히 그림 1과 같이 3차원 그래픽 처리 중에서 실시간 렌더링 처리 단계에서는 초당 수억 번의 메모리 액세스와 연산을 수반하기 때문에 매우 높은 전력 소모가 요구된다[1,2,12].

그런데 배터리로 동작하는 모바일 기기의 특성상 저전력의 요구는 다른 어떠한 설계 제약 중에서도 중요한 설계 요건이다. 즉 3차원 그래픽 가속기의 높은 전력 소모 요구는 모바일 기기에서 3차원 그래픽 처리의 프리미티브의 개수, 셰이딩 알고리즘, 텍스처 복잡도, 화면 해상도, 초당 프레임처리율 등의 성능에 매우 큰 제약 요소이다. 따라서 저전력 3차원 그래픽 가속기의 연구는 모바일 기기에서 매우 중요하다[12]. 또한 최근의 반도체 초미세공정기술 (deep submicron process)은 CMOS 게이트 길이의 감소와 비례해서 모바일기기의 대기모드

· 이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2005-003-D00290)

[†] 통신회원 : 한국산업기술대학교 게임공학과 교수
kys@kpu.ac.kr

논문접수 : 2006년 6월 29일
심사완료 : 2006년 11월 23일

(standby mode)에서의 누설전력(leakage power)도 기하급수적으로 증가하고 있는 추세이므로, 동작모드(active mode)에서의 소비전력 감소뿐 만아니라 대기모드에서도 누설 전력 감소 기법 연구도 필수적이다[6].

3차원 그래픽에서 실감있는 영상을 생성하기위해서 물체 질감이나 배경을 표현하는 텍스처 매핑 방법이 널리 사용된다[16]. 텍스처 매핑 알고리즘은 여러 가지가 있는데 그 중에서 MIPMAP 레벨 기반의 bilinear 필터링과 trilinear 필터링이 많이 사용된다. bilinear 필터링은 1개의 MIPMAP 레벨에서 4개의 텍셀 데이터를 보간(interpolate)하여 1개의 프래그먼트 데이터와 매핑하는 방법이고, trilinear 필터링은 인접한 2개의 MIPMAP 레벨에서 각각 4개씩 8개의 텍셀 데이터를 보간한다 [16]. 이와 같이 텍스처 알고리즘은 전형적인 액세스 패턴을 갖고 있어서 비교적 캐쉬 히트율이 높다. 본 논문에서는 모바일 3D 그래픽 가속기의 동작모드에서의 동작전력과 대기모드에서의 누설전력을 줄이기 위하여 텍스처 데이터의 메모리 지연시간을 감소하고 응용 프로그램 API 프로파일링 파라미터 구동 값에 의해 가변적인 전력 모드 전환 기준을 갖는 저전력 텍스처 캐쉬 구조를 제안한다.

본 논문의 구성은 다음과 같다. 1장의 서론에 이어 2장에서는 저전력 설계의 관련 연구를 살펴보고, 3장에서는 모바일 기기의 동작모드에서의 동작전력과 대기모드에서의 누설전력을 줄이는 새로운 텍스처 캐쉬 구조를 제시한다. 4장에서는 3장에서 제시한 구조의 시뮬레이션을 통한 성능 평가를 수행하고 마지막으로 5장에서 결론을 도출한다.

2. 관련 연구

3차원 그래픽 가속기의 처리과정은 그림 1에서 보듯이 좌표변환과 라이팅의 지오메트리단계와 삼각형셋업, 에지처리, 스펠처리(쉐이딩), 텍스처매핑, 깊이검사, 컬러처리 등의 렌더링 단계로 크게 나눌 수 있다. 3차원 그래픽 가속기의 수많은 연산과 메모리 액세스에 따른 높은 전력 소모량은 모바일 기기에서 3차원 그래픽 처리의 프리미티브의 개수, 셰이딩알고리즘, 텍스처복잡도, 화면해상도, 초당 프레임처리를 등의 성능 요구에 매우 큰 제약 요소이다. 이를 극복하기 위해서 동작전력을 낮추는 기법은 그림 2와 같다. 동작전력에 영향을 주는 전원전압, 클럭주파수, 저전력구조, 용량성부하를 줄이는 다양한 기법이 연구되고 있다. [1]에서는 인간 눈의 둔감함을 이용한 근사적그래픽렌더링(AGR) 저전력 구조 기법을 제시하였으며, [3-5]에서는 다양한 TASK 분석 및 컴파일러 기법을 활용하여 필요한 동작 전압을 조정하는 기법을 제시하였다. 또한 [3,6]에서는 필요한 성능

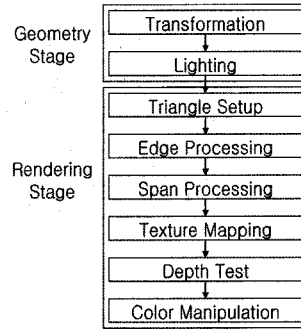


그림 1 3차원 그래픽 가속기의 동작 파이프라인

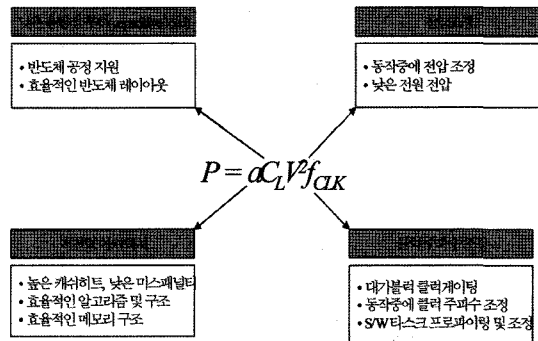


그림 2 동작전력을 낮추는 기법

에 따라서 클럭주파수를 조정하는 기법을 제시하였다. 특히 [3]에서는 전통적인 on/off 방식의 전력제어 방법에 비하여 필요한 성능에 맞는 동적 전력제어 방식의 우수성을 증명하고 있다. [18]에서는 A인덱스 구조를 가지는 새로운 텍스처 캐쉬를 제안하였다.

본 논문에서 제안하는 텍스처 캐쉬는 MSA 캐쉬 [11], drowsy 캐쉬[8], decay 캐쉬[13] 등의 가변 전력 모드 기법을 기반으로 한다. 가변 전력모드 기법이란 캐쉬 블록들이 미리 정한 프로토콜에 따라서 일정시간 액세스 없이 대기하고 있으면 누설 전력 소모가 적은 전력 모드로 전환하는 기법을 의미한다. decay 캐쉬[13]는 캐쉬 블록의 전력모드를 off 모드로 바꿔서 누설전력을 차단하는 방법이고 drowsy 캐쉬[8]는 전력모드를 drowsy (sleep) 모드로 바꿔서 누설전력 소모를 줄이면서 데이터는 간신히 유지하지만 캐쉬 블록 액세스를 위해서는 추가 지연시간이 필요하다. MSA 캐쉬[11]는 전력 모드 전환 프로토콜을 좀 더 개선한 방법이다.

그런데 MSA 캐쉬[11], drowsy 캐쉬[8], decay 캐쉬 [13] 등은 전력 모드 전환 기준인 캐쉬 블록의 대기시간 문턱 값을 상수로 정해야하는 단점이 있다. 그림 3에서 본 연구진이 실험한 텍스처 캐쉬의 동작 패턴을 보면 bilinear 필터링과 trilinear 필터링 알고리즘에 따라서

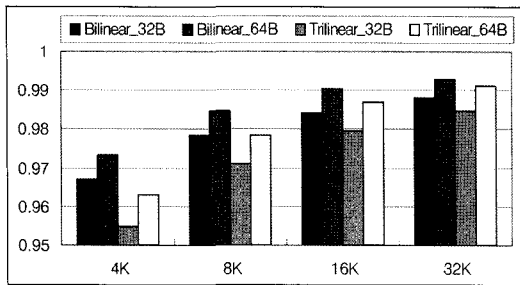
텍스처 캐쉬의 히트율과 conflict miss 시에 교체되는 블록의 평균 대기 시간이 상당한 차이가 있음을 알 수 있다. 보다 상세한 시뮬레이션 방법은 4장에서 설명한다. 그림 3(a)를 보면 bilinear 필터링이 trilinear 필터링 보다 캐쉬 히트율이 높으면서 그림 3(b)를 보면 bilinear 필터링에서 교체되는 블록의 평균 대기 시간이 크므로 trilinear 필터링의 경우에는 더 빨리 누설 전력을 줄일 수 있는 전력 모드로 전환해도 수행시간의 성능에는 영향이 없고 전력 소모를 줄일 수 있으므로 모드 전환 문턱 값을 낮춰야 한다. 본 연구에서는 3차원 그래픽 API의 텍스처 필터링 알고리즘에 따라서 가변적인 전력 모드 전환 문턱 값을 가지는 구조를 설계한다.

모바일 기기의 특성상 대부분의 시간을 대기모드에서 전력소모가 일어나므로 동작모드에서의 소비전력 감소 뿐 만아니라 대기모드에서도 누설 전력 감소 기법 연구도 매우 활발하다[7-11,13]. MSA 캐쉬[11]는 drowsy [8] 캐쉬와 decay 캐쉬[13] 보다 누설전력 측면에서 우수하지만 그에 따른 수행 시간 성능 저하를 줄이기 위해서는 캐쉬 블록의 전력 모드 전환 알고리즘이 개선되어야 한다. 즉 응용 프로그램의 캐쉬 수행 패턴 프로파일링 파라미터에 따라서 전력 모드 전환 결정의 문턱 값이 달라져야 하기 때문이다. 본 연구에서는 MSA 캐

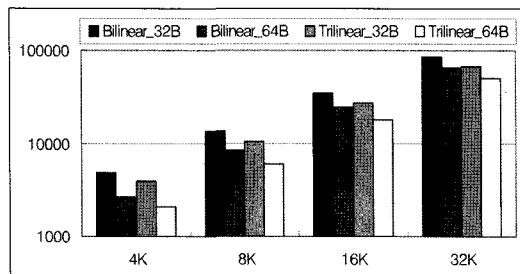
쉬[11]의 전력 모드를 텍스처 캐쉬에 적용하고 각 बैं크마다 전력 모드 전환 결정 문턱 값을 텍스처 필터링 알고리즘에 따라서 가변적인 방식을 제시한다.

3. 제안하는 텍스처 캐쉬 구조

본 논문에서 제시하는 텍스처 캐쉬는 기본적으로 MSA 캐쉬 구조를 기반으로 한다. MSA 캐쉬와 같은 가변 전력모드를 갖는 캐쉬는 캐쉬 블록의 전력모드를 동작 특성에 따라서 전환할 수 있다. active 모드는 실제 캐쉬 접근을 위한 전력을 모두 공급하는 모드이고 sleep 모드는 전력소모를 줄이기 위하여 전원 전압을 데이터를 유지하는 정도로 낮추서 공급한다. off 모드는 캐쉬 접근이 일정시간 없는 블록에 대해서 누설전력 소모가 없도록 전원전압을 차단한 것이다. 그림 4 하단의 텍스처 캐쉬의 흰색, 회색, 검정색 캐쉬 블록은 각각 전력 모드가 active 모드(1V), sleep 모드(0.3V), off 모드(0V)를 나타낸다. 가변적인 전력모드 기법을 가지는 MSA 캐쉬, drowsy 캐쉬, decay 캐쉬는 모두 전력 모드 전환 패널티를 고려해야 한다. 왜냐하면 차단된 전력을 다시 공급하기 위해서는 한꺼번에 많은 회로가 구동을 시작하므로 노이즈 및 ground bouncing 등 신호의 충실도(signal integrity)에 문제가 발생할 수 있고 이를



(a) 텍스처 캐쉬 히트율 비교



(b) 교체 블록의 평균 대기 시간 비교

그림 3 Bilinear 필터링과 Trilinear 필터링에 따른 텍스처 캐쉬 동작 비교(캐쉬 크기: 4KB~32KB, 블록 크기: 32B~64B, 세트연관도: 4way, 벤치마크 데이터: Quake III[14])

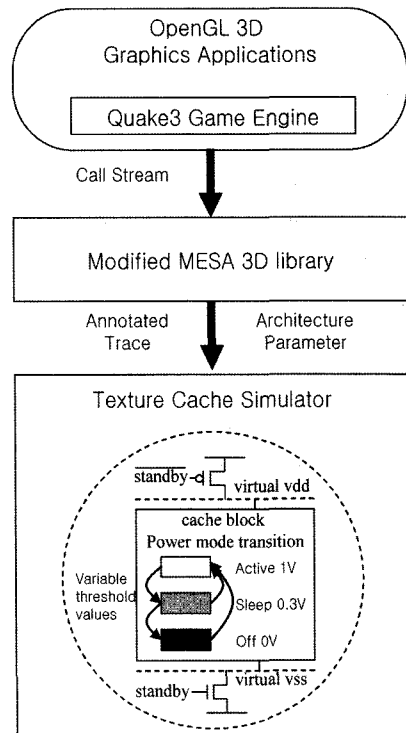


그림 4 제안하는 텍스처 캐쉬 및 시뮬레이션 환경

방지하기 위해서는 1 클럭 사이클 이상의 전력 모드 전환 시간이 필요하기 때문이다. 그런데 기존 방식들은 전력 모드 전환 기준인 캐쉬 블록의 대기시간 문턱 값을 상수로 정해야하는 단점이 있다. 본 논문에서 제시하는 구조는 MSA 캐쉬 구조를 기반으로 그림 3에서 보듯이 bilinear 필터링에서 교체되는 블록의 평균 대기 시간이 훨씬 크므로 trilinear 필터링의 경우에서 더 낮은 전력 모드 전환 문턱 값을 가지는 가변적인 전력 모드 전환 문턱 값을 가지는 하이브리드 텍스처 캐쉬 구조를 제시한다.

제안하는 구조와 기존 구조와의 성능 비교를 위한 성능 척도는 다음 수식과 같이 3가지 척도(metric)을 정의하고 시뮬레이션을 통하여 결과를 얻었다. 정규화된 누설전력(normalized leakage power)과 수행시간 영향도(run time impact)는 MSA 캐쉬[11]에서 제시한 성능 척도와 동일하다. 정규화된 누설전력은 original 캐쉬의 누설전력을 100%로 하여 가변 전력모드 기법들의 누설전력을 정규화한 것이다. 수행시간 영향도는 original 캐쉬의 경우를 0%로 하여 추가적인 캐쉬 미스 발생에 따른 추가 수행시간의 비율을 나타낸 것이다. 따라서 정규화된 누설전력과 수행시간 영향도는 작을 수록 성능이 우수한 것이다.

- 정규화된 누설전력(normalized leakage power) :

$$L = \frac{E_{active} + E_{sleep} + E_{extra}}{E_{origin}}$$

E_{active} 와 E_{sleep} 은 전체 수행시간 중에 각각 active 모드 블록과 sleep 모드 블록들의 누설전력의 합을 의미한다. E_{extra} 는 가변 전력모드 기법 적용 시에 발생하는 추가적인 캐쉬 미스에 따른 추가적인 누설전력을 의미한다. E_{origin} 은 가변 전력모드 기법을 사용하지 않은 텍스처 캐쉬의 전체 수행시간 중에 캐쉬 블록의 누설전력 합을 의미한다.

- 수행시간 영향도(run time impact) :

$$R = \frac{T_{extra}}{T_{original}}$$

$T_{original}$ 은 가변 전력 모드 기법을 사용하지 않은 텍스처 캐쉬 시스템의 수행시간이며 T_{extra} 는 가변 전력 모드 사용에 따른 추가적인 수행시간이다.

- 새로운 성능척도(new performance metric) :

$$P = L \times (1 + R)$$

그런데 위의 2가지 성능 척도는 어느 하나만 고려해서는 전체적인 성능을 비교할 수 없다. 왜냐하면 누설전력을 줄이기 위해서 제시한 기법들이 기본적으로 캐쉬 히트율이 떨어지고 수행시간은 나빠지기 때문이다. 따라서 본 논문에서는 누설전력과 수행시간을 모두 고려한 새로운 성능척도(new performance metric)을 정의하여

누설전력과 수행시간을 동시에 고려하여 다양한 저전력 텍스처 캐쉬 구조의 성능 비교를 수행하였다.

4. 시뮬레이션을 통한 성능 검증

4.1 시뮬레이션 방법

시뮬레이션 방법은 그림 4의 상단과 같이 OpenGL를 기반으로한 Quake III 게임 엔진[14]과 Mediabench suite[17]에 포함된 Mesa 3D 라이브러리 texture를 벤치마크로 수행하고 MESA 3D 라이브러리[15]를 수정하여 텍스처 캐쉬의 텍셀 데이터 트레이스와 bilinear/trilinear 필터링의 파라미터를 추출한다. 그런 후 그림 4의 하단과 같이 트레이스 데이터와 필터링 파라미터를 구동입력으로 가변적인 전력 모드 전환 문턱 값을 가지는 텍스처 캐쉬 구조를 시뮬레이터로 구성하였다. 시뮬레이션을 통하여 캐쉬 히트율, 교체 블록의 평균대기 시간, 전체 수행시간, 뱅크 당 active 모드, sleep 모드, off 모드 비율 등을 측정하였다. 다음 표 1은 본 논문에서 수행한 텍스처 캐쉬의 기본 구성을 정리한 것이다. 표 1에서 sleep 모드 페널티는 sleep 모드에서 active 모드 전환 시에 필요한 추가지연시간을 의미하며, active 모드 블록 대비 sleep 모드 블록의 누설전력의 비율은 0.08로 가정한다[11]. 2가지 테스트벤치에서 bilinear/trilinear 필터링을 변화시켜 가면서 트레이스를 추출할 수 없어서 트레이스 데이터는 각 필터링 별로 따로 추출하고 성능 시뮬레이션에서는 실제 응용 프로그램의 상황을 만들기 위해서 bilinear 필터링과 trilinear 필터링의 수행비율을 인위적으로 변화시켜 가면서 시뮬레이션 결과를 취합하였다.

표 1 성능 평가를 위한 텍스처 캐쉬 구성

구성	설명
set associativity	4way
block size	32/64Bytes
cache size	4K/8K/16K/32Kbytes
miss penalty	18-cycle latency
sleep mode penalty	1-cycle latency
ratio of static energy of a sleep block to active block	0.08

4.2 성능 평가

표 2는 본 논문에서 제안하는 구조를 포함하여 성능 비교를 수행한 기존 저전력 텍스처 캐쉬 구조의 구성을 설명한다. 본 논문에서 제안한 Proposed는 MSA 캐쉬를 기반으로 trilinear 필터링과 bilinear 필터링의 경우에 따라서 표 2와 같이 서로 다른 전력모드 전환 문턱 값을 가진다. 표 2의 구성에 따라서 성능 평가를 수행한 Quake III 벤치마크 수행결과는 그림 5-10과 표 3에서

표 2 성능 비교를 위한 다양한 캐쉬 구성

구성	설명
MSA.25.5	MSA, Tsleep=0.25Kcycles, Toff=0.5Kcycles
MSA.501	MSA, Tsleep=0.5Kcycles, Toff=1Kcycles
MSA0104	MSA, Tsleep=1Kcycles, Toff=4Kcycles
MSA0416	MSA, Tsleep=4Kcycles, Toff=16Kcycles
Proposed	MSA.501@trilinear filtering
	MSA0104@bilinear filtering (Quake III)
Proposed	MSA.501@trilinear filtering
	MSA0104@bilinear filtering (Mesa texture)
Drowsy01	Drowsy, Tsleep=1Kcycles
Drowsy16	Drowsy, Tsleep=16Kcycles
Decay01	Decay, Toff=1Kcycles
Decay16	Decay, Toff=16Kcycles

설명하고, Mesa texture 벤치마크 수행 결과는 그림 11-12이다.

Quake III의 그림 5에서 정규화된 누설전력의 결과는 MSA.501 구조가 본 논문에서 제안하는 구조를 비롯한 다른 구조들 보다 우수함을 알 수 있다. 이러한 결과는 MSA캐쉬의 연구 결과와 유사하다. 다만 텍스처 처리 알고리즘이 일반적인 응용프로그램에 비하여 캐쉬 히트

표 3 새로운 성능척도(Quake III: 32B block, Bilinear 50% Trilinear 50%)

캐쉬크기	4K	8K	16K	32K
MSA.501	0.214366	0.139255	0.082887	0.047103
MSA0104	0.250193	0.160261	0.095892	0.054513
MSA0416	0.51805	0.370799	0.231523	0.130518
Proposed	0.210494	0.133704	0.080863	0.046106
Drowsy01	0.36955	0.302002	0.252368	0.224739
Drowsy16	0.777392	0.70421	0.522012	0.363657
Decay01	0.304089	0.204105	0.122454	0.069623
Decay16	0.739464	0.656036	0.445114	0.252101

율이 비교적 높기 때문에 MSA캐쉬 연구 결과보다 더 낮은 전력모드 전환 문턱값에서 좋은 성능을 얻는 것으로 분석된다. 그림 6의 수행시간 영향도를 보면 누설전력이 가장 우수했던 MSA.501은 8가지 성능 비교 대상 중에서 2번째로 성능이 나쁘다. 이는 누설전력을 줄이기 위하여 sleep 모드와 off 모드 전환 문턱 값을 낮춘 결과 추가적인 캐쉬 미스가 많이 발생함을 의미한다. 왜냐하면 sleep 모드에서는 캐쉬 히트 시에도 1사이클의 패널티가 필요하고 off 모드로 전환 시에는 데이터롤

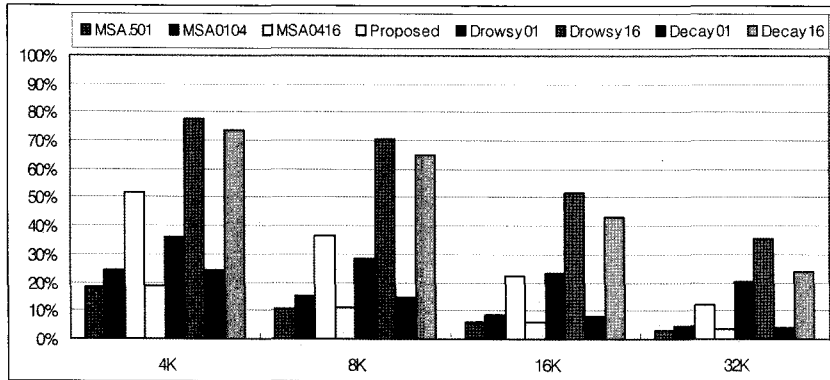


그림 5 정규화된 누설전력(Quake III: 32B block, Bilinear 50% Trilinear 50%)

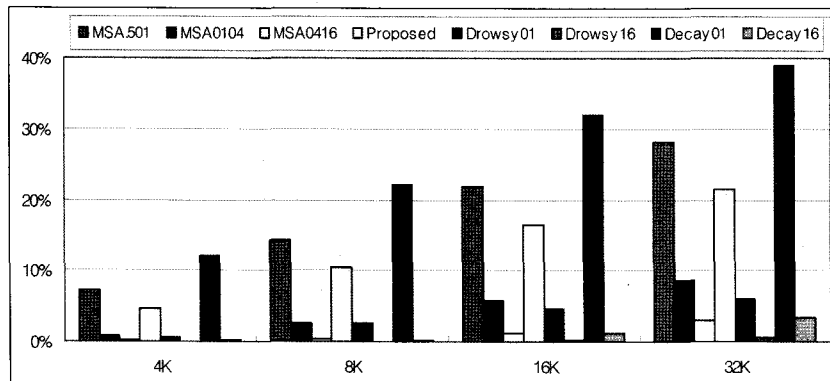


그림 6 수행시간 영향도(Quake III: 64B block, Bilinear 50% Trilinear 50%)

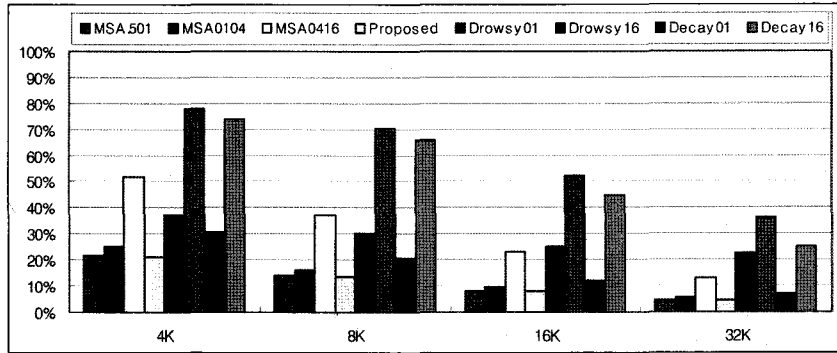


그림 7 새로운 성능척도(Quake III: 32B block, Bilinear 50% Trilinear 50%)

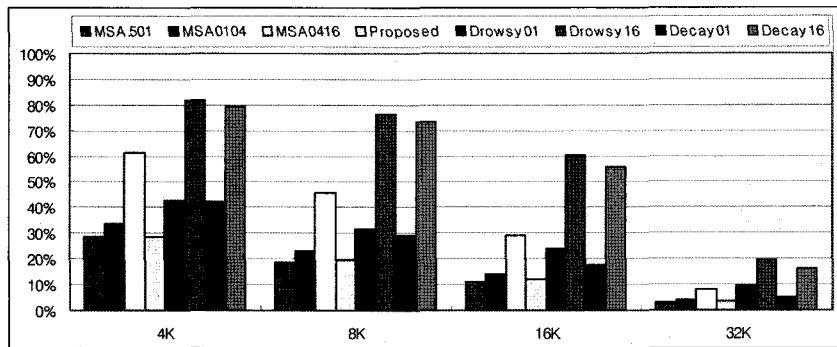


그림 8 새로운 성능척도(Quake III: 64B block, Bilinear 50% Trilinear 50%)

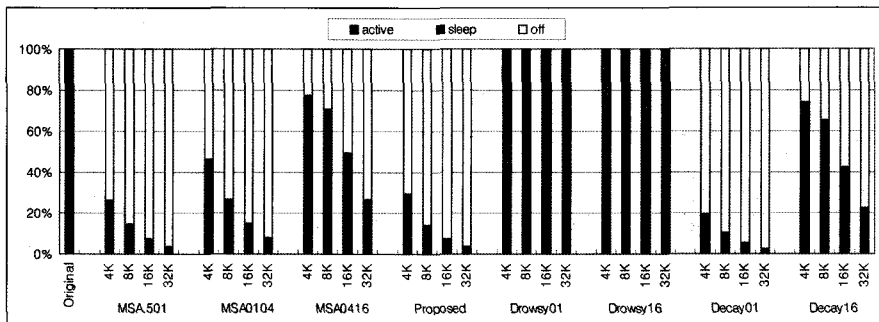


그림 9 Active 모드 비율(Quake III: 32B block, Bilinear 50% Trilinear 50%)

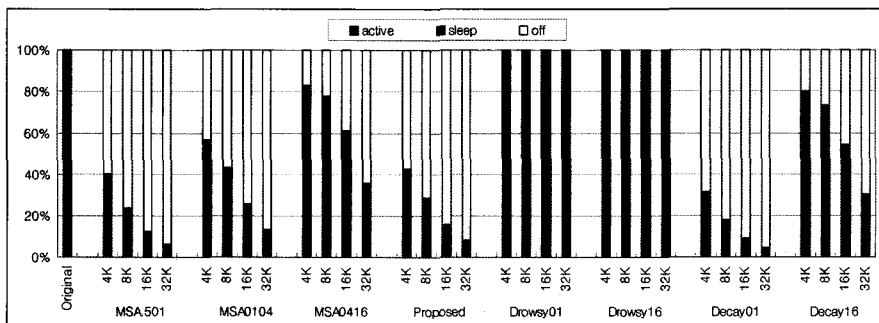


그림 10 Active 모드 비율(Quake III: 64B block, Bilinear 50% Trilinear 50%)

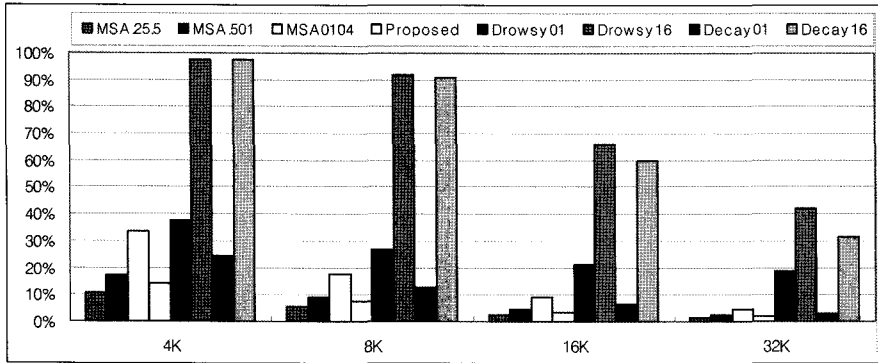


그림 11 정규화된 누설전력(Mesa texture: 32B block, Bilinear 50% Trilinear 50%)

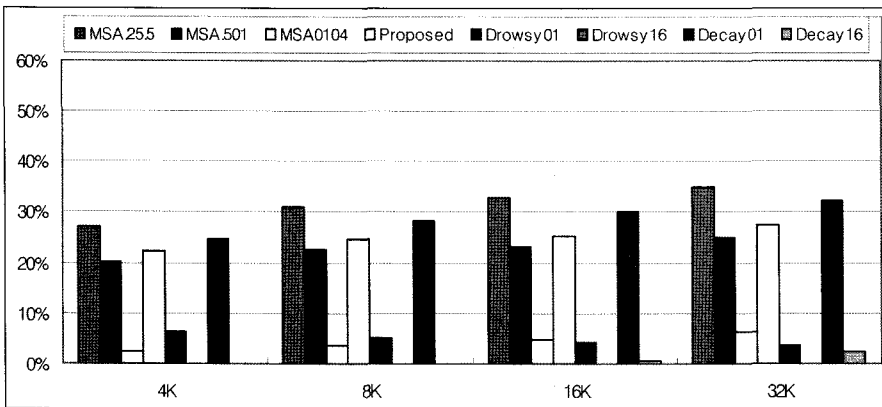


그림 12 수행시간 영향도(Mesa texture: 32B block, Bilinear 50% Trilinear 50%)

유지하지 못하므로 전력감소를 얻는 대신에 캐시 미스가 더 많아질 수 밖에 없다. 따라서 누설전력 뿐 만 아니라 수행시간도 반드시 고려하여야 한다. 본 논문에서 제시한 구조는 누설전력과 수행시간을 모두 고려한 새로운 성능 척도에서 MSA 캐시보다 성능이 우수함을 알 수 있다.

본 논문에서 제시한 구조는 그림 7,8과 표 3에서 보듯이 누설전력과 수행시간을 모두 고려한 새로운 성능 척도 측면에서 제일 성능이 우수하며 특히 MSA 보다 성능이 우수하여 최대 7%의 성능 이득을 얻는다.

그림 9,10은 8가지 저전력 캐시 구조에 대해서 각각 active 모드, sleep 모드, off 모드의 비율을 측정된 것이다. 그림 9,10의 왼쪽 original 캐시는 100% active 모드로 이루어 진다. MSA0416, drowsy16, decay16과 같이 누설전력은 나쁘지만 수행시간 영향도가 적은 구조는 active 모드 비율이 상대적으로 높음을 알 수 있다.

그림 11,12의 Mesa texture 벤치마크의 결과 패턴도 Quake III와 유사하였다. 다만 Quake III 와 달리 캐시 히트율이 높아서 상대적으로 낮은 전력모드 전환 기준에서 더 좋은 동작을 하는 것을 알 수 있다.

5. 결론

본 논문에서는 모바일 3차원 그래픽 가속기에서 응용 프로그램의 수행 패턴에 따른 bilinear/trilinear 필터링 파라미터를 구동 입력으로 하여 가변적인 전력모드 전환 문턱 값을 가지는 텍스처 캐시 구조를 제안하였다. 제안한 텍스처 캐시는 동작 모드 뿐 만 아니라 대기 모드를 고려한 저전력 구조로써 이전 연구와 비교하여 누설전력과 수행시간을 모두 고려한 성능 척도에서 MSA 캐시보다 최대 7%의 성능 이득을 갖는다.

다음 연구에서는 텍스처 매핑의 특성을 좀 더 반영한 저전력 캐시 구조를 제시하고 시뮬레이션 뿐 만 아니라 FPGA 실험을 통해서 보다 실질적인 환경의 검증을 수행하도록 하겠다.

참고 문헌

[1] J. Euh, J. Chittamuru, and W. Burleson, "Power-aware 3D computer graphics rendering," Journal of VLSI Signal Processing 39, pp. 15-33, 2005.
 [2] H. Igehy, M. Eldridge, and K. Proudfoot, "Prefetching in a texture cache architecture," In Proceed-

- dings of 1998 SIGGRAPH/Eurographics Workshop on Graphics Hardware, pp. 133-142, Aug. 1998.
- [3] D. Rakhmatov and S. Vrudhula, "Battery Conscious Task Sequencing for Portable Devices Including Voltage/Clock Scaling," DAC02.
- [4] W.C. Kwon and T. Kim, "Optimal Voltage Allocation Techniques for Dynamically Variable Voltage Processors," DAC03.
- [5] K. Flautner and D. Flynn, "A combined hardware-software approach for low-power SoCs: applying adaptive voltage scaling and intelligent energy management software," DesignCon 2003 System-on-Chip and ASIC Design Conference, 2003.
- [6] Intel, "Trends and Challenges in High-Performance Microprocessor Design," Electronics Design Process 2004, Key note speech. April 2004.
- [7] W. Zhang, et. al., "Compiler-directed instruction cache leakage optimization," MICRO'02, 2002.
- [8] N.S. Kim, K. Flautner, D. Blaauw, and T. Mudge, "Drowsy Instruction Caches: Leakage Power Reduction using Dynamic Voltage Scaling and Cache Sub-bank Prediction," MICRO'02, 2002.
- [9] M.D. Powell, S.-H. Yang, B. Falsafi, K. Roy, and T.N. Vijaykumar, "Gated-Vdd: A circuit technique to reduce leakage in deep-submicron cache memories," ISLPED, pp.90-95, 2000.
- [10] H. Makino, et. al., "A low power SRAM using auto-back-gate-controlled MT-CMOS," ISLPED, pp.293-298, 1998.
- [11] J.J. Li and Y.S. Hwang, "Snug set associative caches: Reducing leakage power while improving performance," ISLPED'05, pp.345-350, Aug. 2005.
- [12] T. Akenine-Miller and J. Strm, "Graphics for the Masses-A hardware rasterization architecture for mobile phones," ACM Trans. on Graphics, pp. 801-808, July 2003.
- [13] S. Kaxiras, Z. Hu, and M. Martonosi, "Cache decay: exploiting generational behavior to reduce cache leakage power
- [14] Quake III game engine, <http://www.idsoftware.com/games/quake/quake3-arena>
- [15] MESA project, <http://www.mesa3d.org/>
- [16] T. Akenine-Moller and E. Haines, Real-time rendering, second ed. A K Peters, Ltd. 2002.
- [17] C. Lee, M. Potkonjak, and W.H. Mangione-Smith, "MediaBench: A Tool for Evaluating and Synthesizing Multimedia and Communications Systems," 30th Annual Int. Symp. on Microarchitecture, 1997, pp. 330-335.
- [18] C.H. Kim and L.S. Kim, "Adaptive selection of an index in a texture cache," in Proc. Int. Conf. Computer Design, Oct. 2004, pp. 295-300.



김 영 식

1993년 연세대학교 전산과학과 학사
 1995년 연세대학교 컴퓨터과학과 석사
 1999년 연세대학교 컴퓨터산업시스템공학과 박사. 1995년~1997년 연세대학교 시간강사. 1999년~2005년 삼성전자 System LSI 책임연구원. 2005년~현재 한국산업기술대학교 게임공학과 전임강사. 관심분야는 게임기 구조, 컴퓨터 구조, 3차원 그래픽 가속기, 임베디드 시스템 등