

Cu 비아를 이용한 MEMS 센서의 스택 패키지용 Interconnection 공정

박선희 · 오태성 · 엄용성 · 문종태¹

홍익대학교 신소재공학과
¹한국전자통신연구원 IT 융합부품연구소 SOP 연구팀

Interconnection Processes Using Cu Vias for MEMS Sensor Packages

S. H. Park, T. S. Oh, Y. S. Eum and J. T. Moon¹

Materials Science and Engineering, Hongik University
¹SOP Technology Team, IT Convergence & Components Laboratory (ICCL)
Electronics and Telecommunications Research Institute

초 록: Cu 비아를 이용한 MEMS 센서의 스택 패키지용 interconnection 공정을 연구하였다. Ag 페이스트 막을 유리기판에 형성하고 관통 비아 홀이 형성된 Si 기판을 집착시켜 Ag 페이스트 막을 Cu 비아 형성용 전기도금 씨앗층으로 사용하였다. Ag 전기도금 씨앗층에 직류전류 모드로 20mA/cm²와 30mA/cm²의 전류밀도를 인가하여 Cu 비아 filling을 함으로써 직경 200 μ m, 깊이 350 μ m인 도금결함이 없는 Cu 비아를 형성하는 것이 가능하였다. Cu 비아가 형성된 Si 기판에 Ti/Cu/Ti metallization 및 배선 라인 형성공정, Au 패드 도금공정, Sn 솔더뱀프 전기도금 및 리플로우 공정을 순차적으로 진행함으로써 Cu 비아를 이용한 MEMS 센서의 스택 패키지용 interconnection 공정을 이룰 수 있었다.

Abstract: We investigated interconnection processes using Cu vias for MEMS sensor packages. Ag paste layer was formed on a glass substrate and used as a seed layer for electrodeposition of Cu vias after bonding a Si substrate with through-via holes. With applying electrodeposition current densities of 20mA/cm² and 30mA/cm² at direct current mode to the Ag paste seed-layer, Cu vias of 200 μ m diameter and 350 μ m depth were formed successfully without electrodeposition defects. Interconnection processes for MEMS sensor packages could be accomplished with Ti/Cu/Ti line formation, Au pad electrodeposition, Sn solder electrodeposition and reflow process on the Si substrate where Cu vias were formed by Cu electrodeposition into through-via holes.

Keywords: MEMS, Cu via, electrodeposition, interconnection, current density

1. 서 론

반도체 미세가공기술을 이용하여 전자회로와 기계부품, 광부품 또는 바이오 기능 등을 일체화시킨 MEMS 기술은 제품의 부가가치를 높이는 핵

심기술로서 지난 20년 동안 많은 발전이 이루어졌다.¹⁾ MEMS 기술의 장점으로는 반도체 공정을 기반으로 하므로 웨이퍼 공정에 의한 소형화와 저가 격화가 가능하며, 한 개의 소자에 복수개의 기능을 집적할 수 있어 집적화와 고성능화가 가능하다

*Corresponding author
E-mail: ohts@hongik.ac.kr

는 것이다. 지금까지 MEMS 소자는 하드 디스크 헤드, 잉크젯프린터 헤드, 압력센서, 가속도 센서, 광 스위치, 관성 센서, 유체관련 부품 등에 주로 적용되었으며, 향후 군사, 항공우주, 자동차, 정보통신, 바이오, 의료, 가전, 엔터테인먼트, 환경, 산업 프로세스 등 광범위한 응용 분야에 적용하기 위한 연구개발이 활발히 이루어지고 있다.²⁾

MEMS 소자에서 패키징에 소요되는 가격이 소자 가격의 70% 이상을 차지하기 때문에, MEMS 제품의 경쟁력을 향상시키기 위해서는 패키징 기술의 확보가 필수적이다.^{3,5)} 반도체 패키지와는 달리 MEMS 소자에서는 기계 구조물의 안정적인 구동을 확보하며 기계적 손상과 외부 환경으로부터 기계 구조물을 보호하기 위한 패키징이 요구된다.⁶⁾ 이와 더불어 MEMS 소자의 신호 입출력을 위해 밀봉된 구조의 내부와 외부간의 전기적 연결을 위한 interconnection이 요구된다. MEMS 소자의 interconnection 형성방법 중에서 cap 웨이퍼나 MEMS 웨이퍼에 수직으로 메탈 비아를 형성하여 interconnection 하는 방법은 전기신호 전송거리가 짧고 패키징 면적의 축소가 가능하다는 장점이 있다.⁷⁻¹¹⁾

이제까지 MEMS 패키징은 주로 구동 기계구조물과 회로가 동일 기판 내에 평면상으로 위치하며 cap 웨이퍼는 단순히 이들의 밀봉 덮개용으로 사용되어 왔다. 그러나 이와 같이 MEMS 센서와 IC 칩을 평면상으로 2차원 배열한 패키지 구조로는 휴대전화, RFID, USN 등과 같은 제품의 소형화와 고기능화에 한계가 있다. 이와 같은 문제점을 해결하기 위해, IC 칩을 형성한 cap 웨이퍼를 비아 interconnection을 이용하여 MEMS 센서 웨이퍼에 스택하는 삼차원 적층 패키지에 대한 연구가 요구되고 있다.¹²⁾ 이와 같은 삼차원 MEMS 적층 패키지는 크기 및 무게의 현저한 감소와 더불어 전기적 성능의 향상, 보드 단위면적당 소자 기능의 증가 및 공정가격 저하 등의 여러 장점을 지니고 있다.¹³⁾

본 연구에서는 MEMS 집적화 기술개발의 기초 연구로서 Cu 비아를 이용한 MEMS 센서의 스택 패키징용 interconnection 공정을 연구하였다. 이를 위해 Si 웨이퍼에 Deep RIE(Reactive Ion Etching)를 이용한 비아 hole 형성공정, 관통된 비아 홀에 대한 Cu 비아 전기도금 공정, metallization line 형

성공정 및 Sn 솔더범프 형성공정을 분석하였다.

2. 실험 방법

Si 기판의 양면에 형성되는 회로배선들을 서로 연결할 Cu 비아를 형성하기 위해 Fig. 1과 같이 직경 200 μm , 피치 500 μm 으로 4개의 비아 홀로 구성되어 있는 비아 패턴을 디자인 하였다. Cu 비아로 연결하기 위한 Si 기판의 윗면과 아랫면의 회로배선패턴을 각기 Fig. 2(a)와 (b)에 나타내었으며, 이들을 형성하기 위한 마스크들을 디자인 하였다. 550 μm 두께의 p-type (100) Si 웨이퍼에 Deep RIE를 이용하여 직경 200 μm , 깊이 400 μm 의 비아 홀을 형성하였으며, 비아와 Si 웨이퍼 사이의 절연막을 형성하기 위해 건식산화법을 사용하여 0.1 μm 두께의 SiO_2 산화막을 형성하였다.

칩 스택 패키징용 Cu 비아의 형성공정은 일반적으로 Si 기판에 바닥이 막혀 있는 비아 홀을 형성하고 비아 홀 내를 전기도금법을 이용하여 Cu로

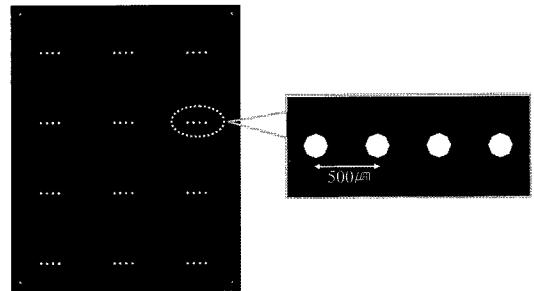


Fig. 1. Schematic illustration of through-hole patterns of 200 μm diameter.

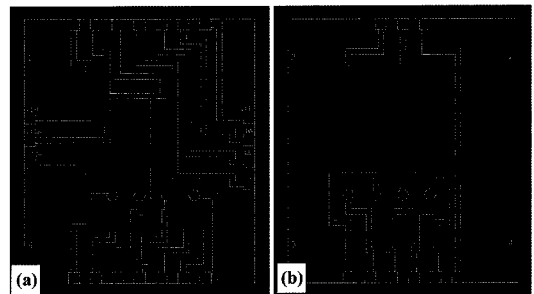


Fig. 2. Schematic illustration of circuit line patterns on (a) top surface and (b) bottom surface of a Si substrate.

채운 후, Si 기판의 양면을 연마하여 Cu 비아를 Si 기판의 양면으로 관통시킴으로써 이루어졌다.¹⁴⁾ 그러나 이와 같이 바닥이 막힌 비아 홀을 전기도금으로 채우는 기존 Cu 비아 형성공정에서는 비아 홀의 입구 모서리에 전류밀도가 집중되어 Cu 비아 내부에 기공이 형성될 수 있다.¹⁵⁾ 또한 내부 기공의 형성을 방지하기 위해 펄스-역펄스 전류모드를 사용하여야 하기 때문에 Cu 비아 형성에 장시간 도금이 요구되는 등의 문제점이 있었다.¹⁴⁾

본 연구에서는 이와 같이 막힌 비아 홀을 사용한 Cu 비아 형성공정의 문제점을 해결하기 위해 Si 기판의 양면으로 뚫려 있는 관통 비아 홀을 사용한 Cu 비아 형성공정을 개발하였다. 관통 비아 홀을 이용한 Cu 비아 형성공정의 모식도를 Fig. 3에 나타내었다. 우선 Deep RIE 공정으로 막힌 비아 홀을 형성한 Si 기판의 뒷면을 연마하여 비아 홀을 Si 기판의 양쪽으로 관통시켜 노출시켰다. 편평한 유리판에 Ag 페이스트를 얇고 고르게 바르고 관통 비아 홀이 있는 Si 기판을 그 위에 붙인 후, Ag 페이스트 층을 Cu 비아 형성용 전기도금 씨앗층으로 사용하였다.

관통 비아 홀 내를 Cu로 채우기 위한 Cu 전기도금 용액은 0.5M의 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 와 1M H_2SO_4 용액에 억제제로서 PEG(Polyethylene Glycol) 300ppm과 CuCl_2 0.17g/L, 가속제로 SPS를 10ppm, 평탄제로 JGB(Janus Green B)을 80 ppm 첨가하여 제조하였다. 전해액이 비아 홀 내부까지 완전히 흡착되지 않아 비아 홀의 윗 부위에서 Cu filling이 발생

하지 않는 문제점을 해결하기 위해 비아 홀이 형성된 Si 시편을 Cu 도금용액에 담구고 1×10^{-2} torr의 진공도로 30분간 유지하여 비아 홀 내부에 포획되어 있는 기포를 제거한 후 DC 전류모드로 전기도금을 하여 Cu 비아 filling을 실시하였다. Cu 비아를 형성한 Si 기판에 대해 CMP(Chemical-Mechanical Polishing) 공정으로 앞면 부위의 넘친 Cu를 제거하고 아랫면의 Ag 페이스트를 제거하여 300 μm 두께로 연마하였다.

Cu 비아가 형성되어 있는 Si 기판의 양면에 집착층의 용도로 0.1 μm 두께의 Ti를 스퍼터 증착하고 배선층의 용도로 2 μm 두께의 Cu를 스퍼터링한 후, 그 위에 0.1 μm 의 Ti를 산화방지층으로 스퍼터 증착하여 Ti/Cu/Ti 구조의 배선용 metallization을 형성하였다. Ti/Cu/Ti 층이 스퍼터 증착된 Si 시편에 Fig. 4에 모식도로 나타낸 공정을 사용하여 Au 패드와 Sn 솔더범프를 형성하였다. Si 기판의 앞면 배선라인을 형성한 후에 뒷면 배선라인 공정을 진행하였다. 이때 앞면에 형성한 배선, Au 패드 및 Sn 솔더범프를 보호하기 위해 이들을 포토레지스트로 덮은 후 뒷면 배선공정을 진행하였다. 뒷면 배선공정이 완료된 이후 앞면 배선보호용 포토레지스트를 제거하였다.

3. 결과 및 고찰

Fig. 5에 Deep RIE를 이용하여 Si 기판에 형성한 직경 200 μm , 깊이 400 μm 이며 피치 500 μm 로 형

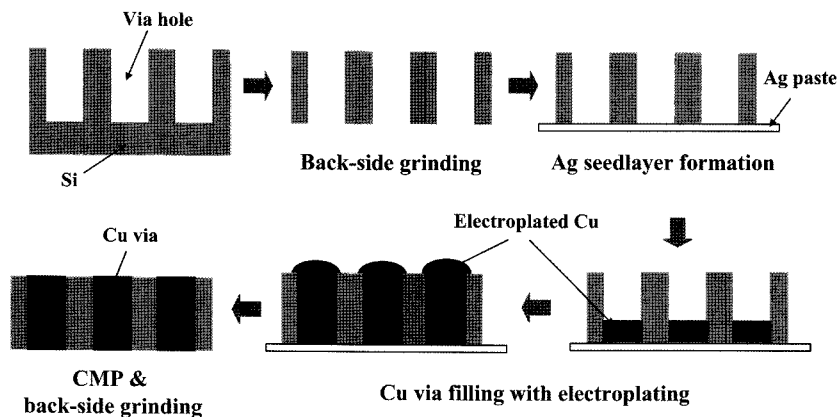


Fig. 3. Schematic illustration of Cu via formation process using Cu electrodeposition into through-via holes.

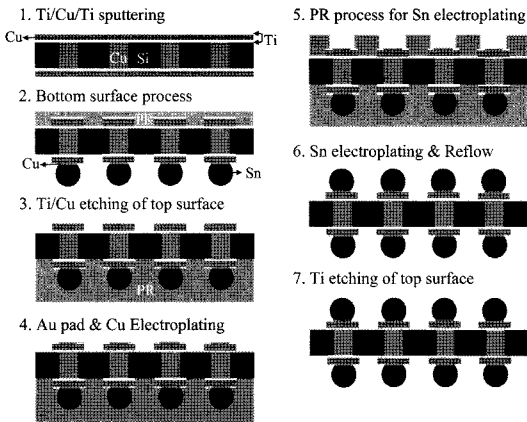


Fig. 4. Schematic illustration of metal line, pad, and bump formation processes on a Si substrate after Cu via formation.

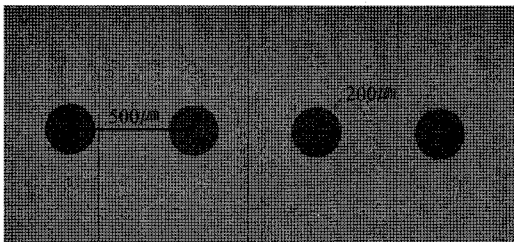


Fig. 5. SEM micrograph of via holes formed on a Si substrate.

성한 비아 홀의 주사전자현미경 사진을 나타내었다. Deep RIE로 비아홀을 형성한 4인치 Si 웨이퍼 시편에 관통 비아 홀을 형성하기 위해 아랫면을 연마하여 관찰하면 웨이퍼의 모서리 부분에 가운데 부분에 비해 Deep RIE 공정이 덜 진행되기 때문에 모서리 부분에서는 비아의 깊이가 350 μm 정도가 되었다.

Si 기판의 아랫면을 연마하여 Si 기판의 양쪽으로 관통된 비아 홀 내에 전기도금법으로 Cu를 채운 시편들의 사진을 각기 Fig. 6과 Fig. 7에 나타내었다. Fig. 6의 시편은 Ag 페이스트로 형성한 도금 씨앗층에 20mA/cm²의 DC 전류밀도를 20시간 인가하여 Cu 비아 filling한 시편들의 주사전자현미경 사진이며, Fig. 7은 20mA/cm²의 DC 전류밀도를 25시간 인가하여 형성한 Cu 비아의 형상이다. Fig. 6과 같이 20mA/cm²의 전류밀도로 20시간 Cu 전기도금한 시편에서는 Cu 비아의 중심부위가 완

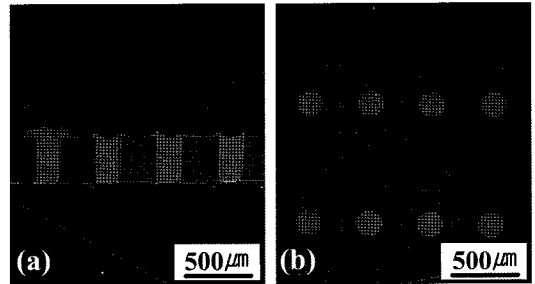


Fig. 6. SEM micrographs of Cu vias electrodeposited at a current density of 20mA/cm² for 20 hours: (a) cross-sectional view and (b) top view.

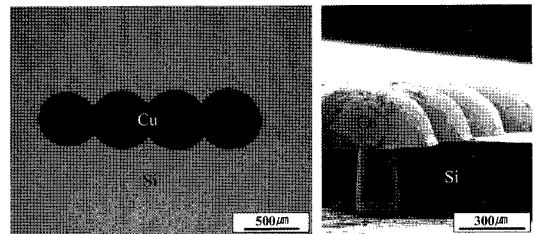


Fig. 7. SEM micrographs of Cu vias electrodeposited at a current density of 20mA/cm² for 25 hours: (a) cross-sectional view and (b) top view.

전히 차 올라오지 않은 형상을 나타내었으며, 25 시간 전기도금한 시편에서는 Fig. 7과 같이 Cu 비아 filling이 완료된 후 전기도금이 계속 이루어져 Cu 비아가 mushroom 형태가 되었다. 이와 같이 도금시간에 따라 Cu 비아의 윗 부위에서의 도금 형상이 변화하였으나, Cu 비아는 내부에 도금결함이 없이 완전한 filling이 이루어졌다.

Fig. 8과 Fig. 9에 Ag 페이스트 도금씨앗층에 직류(DC) 모드로 각기 30mA/cm²와 40mA/cm²의 전류밀도를 인가하여 각기 14시간, 9시간 동안 Cu 비아 filling한 시편들의 주사전자현미경 사진을 나타내었다. Fig. 8과 같이 30mA/cm²의 전류밀도에서 비아 filling을 실시한 경우에는 20mA/cm²로 Cu 비아를 형성한 것과 마찬가지로 도금결함이 없는 Cu 비아가 형성되었다. 반면에 Fig. 9와 같이 40 mA/cm²의 전류밀도로 비아 filling 한 시편에서는 일부 Cu 비아들에서 비아 홀의 벽면에 void가 발생하는 것이 관찰되었으며, 이는 높은 전류밀도에서 도금속도가 증가하는데 기인하는 것으로 판단된다.

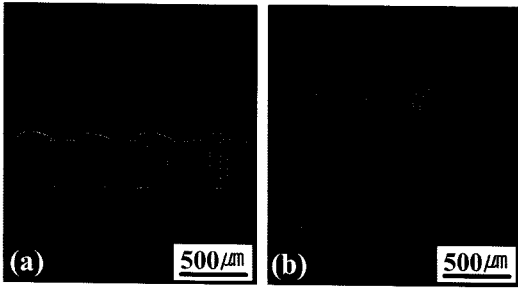


Fig. 8. SEM micrographs of Cu vias electrodeposited at a current density of $30\text{mA}/\text{cm}^2$ for 14 hours: (a) cross-sectional view and (b) top view.

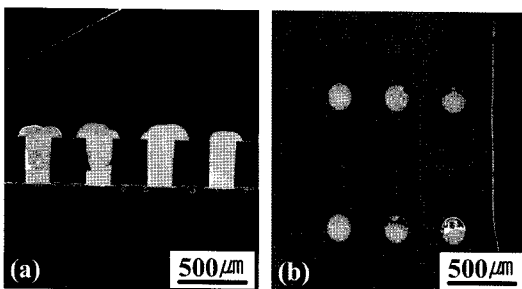


Fig. 9. SEM micrographs of Cu vias electrodeposited at a current density of $40\text{mA}/\text{cm}^2$ for 9 hours: (a) cross-sectional view and (b) top view.

막힌 비아 홀을 Cu 전기도금으로 채워서 이루어지는 기존의 Cu 비아 형성공정에서는 내부기공이 없는 건전한 Cu 비아를 형성하기 위해 펄스-역펄스 전류모드를 사용하여야 하기 때문에 Cu 도금 속도가 느리다.¹⁴⁾ 따라서 본 연구에서와 같이 직경 $200\ \mu\text{m}$, 깊이 $400\ \mu\text{m}$ 인 커다란 비아를 형성하는데 장시간이 소요되어 경제성이 떨어진다는 단점이 있게 된다. 본 연구에서 Cu filling한 비아 홀보다 훨씬 작은 직경 $75\ \mu\text{m}$, 깊이 $150\ \mu\text{m}$ 인 비아를 펄스-역펄스 전류모드로 내부결함 없이 Cu filling 하는데 20시간이 소요되었다.¹⁴⁾ 따라서 직경 $75\ \mu\text{m}$, 깊이 $150\ \mu\text{m}$ 인 비아보다 부피가 19배 정도 큰 직경 $200\ \mu\text{m}$, 깊이 $400\ \mu\text{m}$ 인 막힌 비아 홀을 Cu 전기도금으로 채우는데 16일 정도의 장시간이 필요하여 경제성이 크게 저하될 것이다. 본 연구에서는 관통 비아 홀에 대해 직류전류 모드로 Cu 전기도금 공정을 수행함으로써 Cu 비아 형성에 요구되는 시간을 크게 단축시키는 것이 가능하였다.

관통 비아 홀을 이용하여 Cu 비아를 형성하기

위한 공정으로서 Premachandran은 1) handler 웨이퍼에 도금씨앗층 형성, 2) 도금씨앗층 위에 포토레지스트 층 스펀코팅, 3) 관통 비아 홀이 형성된 Si 기판을 handler 웨이퍼의 포토레지스트 층에 접착, 4) 관통 비아 홀을 통하여 handler 웨이퍼의 포토레지스트 층을 노광하여 관통 비아 홀 부위의 포토레지스트 제거, 5) Cu 전기도금으로 관통 비아 홀을 Cu로 채움, 6) Cu 비아가 형성된 Si 기판을 handler 기판에서 분리하는 공정을 제안하였다.¹⁶⁾ 이와 같은 칩 스택 패키지에서 Cu 비아를 형성하기 위한 비아 홀의 깊이는 일반적으로 $100\ \mu\text{m}$ 이므로 Si 기판의 뒷면을 연마하여 관통 비아 홀을 형성하면 Si 기판의 두께가 $100\ \mu\text{m}$ 이하로 너무 얇아져서 쉽게 깨지는 등 취급이 어려운 문제점이 발생한다. 반면에 본 연구에서 수행하는 MEMS 패키지에서는 비아 홀의 깊이가 $400\ \mu\text{m}$ 이기 때문에 Si 기판의 뒷면을 연마하여 관통 비아 홀을 형성하더라도 Si 기판의 두께가 $300\ \mu\text{m}$ 로 충분히 두꺼워서 후공정을 진행하는데 문제가 없었다. Premachandran이 제안한 공정¹⁶⁾의 다른 문제점으로는 관통 비아 홀을 통하여 handler 웨이퍼의 포토레지스트 층을 노광하여 관통 비아 홀 부위의 포토레지스트를 제거하는 것이다. 이와 같은 경우 노광기의 광원과 포토레지스트 사이의 거리가 멀어지게 되며 또한 좁은 비아 홀을 통해서 노광이 이루어지기 때문에 노광이 비아 홀의 형상대로 균일하게 이루어지기 어려운 문제점이 있다. 본 연구에서는 Ag 페이스트 막을 유리기판에 형성하고 Ag 페이스트 막에 관통 비아 홀이 형성된 Si 기판을 접착시켜 Ag 페이스트 막을 전기도금 씨앗층으로 사용함으로써 이와 같은 문제점을 해결할 수 있었다.

Fig. 6에서 Fig. 9까지의 결과를 바탕으로 도금결함이 없는 Cu 비아를 형성하고 이를 이용하여 Si 기판의 배선공정을 진행하기 위해 전류밀도 $20\ \text{mA}/\text{cm}^2$ 에서 20시간 Cu filling을 실시하였다. 이와 같이 Cu 비아를 형성한 Si 기판의 양면을 CMP 공정으로 연마한 후, 배선공정을 진행하였다.

Si 기판에 스퍼터 증착한 배선용 Ti/Cu/Ti metallization에 대해 사진식각공정을 이용하여 맨 위의 Ti($0.1\ \mu\text{m}$) 층과 중간층의 Cu($2\ \mu\text{m}$) 층을 배선라인 패턴 부위만을 남겨두고 에칭하여 제거하였다. 이때 Ti/Cu/Ti metallization의 맨 아래 Ti 층은

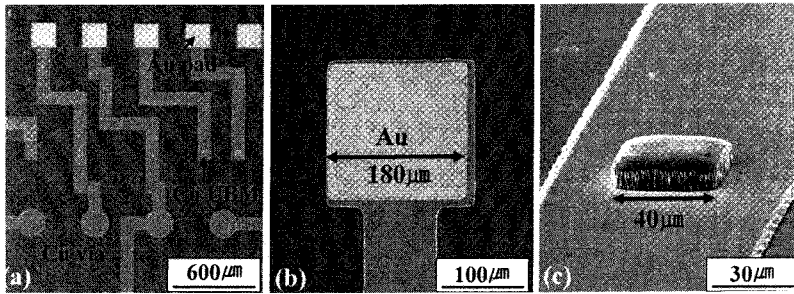


Fig. 10. SEM micrographs of a) metal line pattern, b) Au pad, and c) Cu UBM formed on top surface of a Si substrate with Cu vias.

Au 패드와 Sn 솔더범프를 전기도금법으로 형성하기 위한 전기도금 씨앗층으로 사용하기 위해 남겨 두었다. Au 패드와 Sn 솔더범프를 전기도금으로 형성한 후에 전기도금 씨앗층으로 사용한 맨 아래의 Ti 층을 에칭하여 제거하였다.

Fig. 10에 배선용 Ti/Cu/Ti metallization에서 Ti/Cu를 에칭한 후에 전기도금법으로 Au 패드 및 Sn 솔더범프 형성을 위한 Cu UBM을 도금한 Si 기판의 윗면 회로배선 형상을 주사전자현미경으로 관찰한 사진을 나타내었다. Fig. 10에서 Au 패드는 크기 $180\ \mu\text{m} \times 180\ \mu\text{m}$, 두께 $0.5\ \mu\text{m}$ 으로, AZ4620 PR을 이용하여 패턴을 형성한 후 Au 도금액에 장입하고 Ti/Cu/Ti metallization에서 도금씨앗층으로 남겨놓은 Ti 층에 $0.5\ \text{mA}/\text{cm}^2$ 의 전류밀도를 인가하여 전기도금하였다. Au 패드를 전기도금한 후에 Ti/Cu 배선라인에 $40\ \mu\text{m} \times 40\ \mu\text{m}$ 크기의 PR 패턴을 형성 후 Cu를 $10\ \mu\text{m}$ 높이로 전기도금하여 Sn 솔더범프용 Cu UBM을 형성하였다. 이와 같은 Cu UBM에 PR 패턴을 형성하고 Sn을 $30\ \mu\text{m}$ 높이로 전기도금한 후, 250°C 에서 30초 동안 가열하여 Fig. 11과 같이 직경 $70\ \mu\text{m}$ 의 Sn 솔더범프로 리플로우 하였다. Sn 솔더범프가 리플로우된 Si 기판의 윗면 회로배선의 형상을 Fig. 12에 나타내었다. 이 사진에서와 같이, Deep RIE를 이용한 비아 홀 형성공정, Si 기판의 양면으로 관통된 비아 홀을 이용한 Cu 비아 형성공정, Ti/Cu/Ti metallization 및 배선라인 형성공정, Au 패드 도금공정, Sn 솔더범프 전기도금 및 리플로우 공정을 순차적으로 진행함으로써 Cu 비아를 이용한 MEMS 센서의 스택 패키지용 interconnection 공정을 이룰 수 있었다.

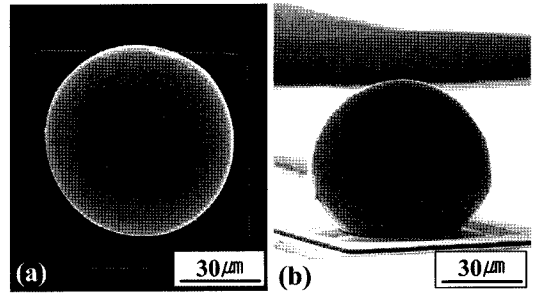


Fig. 11. SEM micrographs of a Sn solder bump electro-deposited and reflowed for 30 sec at 250°C on Cu UBM.

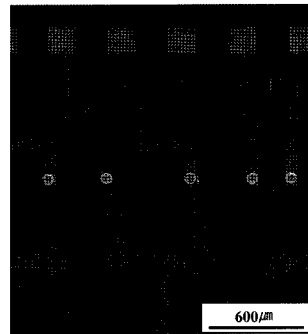


Fig. 12. SEM micrographs of top-surface line patterns of a Si substrate processed with metal line formation, Au pad formation, and Sn solder-bump formation.

4. 결 론

MEMS 집적화 기술개발의 기초 연구로서 Cu 비아를 이용한 MEMS 센서의 스택 패키지용 interconnection 공정을 연구하였다. Ag 페이스트 막을 유리기판에 형성하고 Ag 페이스트 막에 관통 비

아 홀이 형성된 Si 기판을 접착시켜 Ag 페이스트 막을 관통 Cu 비아 형성용 전기도금 씨앗층으로 사용하는 것이 가능하였다. Ag 전기도금 씨앗층에 직류전류 모드로 $20\text{mA}/\text{cm}^2$ 와 $30\text{mA}/\text{cm}^2$ 의 전류밀도를 20 시간, 14 시간 인가하여 Cu 비아 filling을 함으로써 직경 $200\ \mu\text{m}$, 깊이 $350\ \mu\text{m}$ 인 도금결함이 없는 Cu 비아를 형성하는 것이 가능하였다. $40\text{mA}/\text{cm}^2$ 의 직류전류밀도로 Cu 비아 filling 한 시편에서는 일부 Cu 비아들에서 비아 홀의 벽면에 void가 발생하는 것이 관찰되었다. 본 연구에서는 관통 비아 홀에 대해 직류전류 모드로 Cu 전기도금 공정을 수행함으로써 Cu 비아 형성에 요구되는 시간을 크게 단축시키는 것이 가능하였다. Cu 비아가 형성된 Si 기판에 Ti/Cu/Ti metallization 및 배선라인 형성공정, Au 패드 도금공정, Sn 솔더범프 전기도금 및 리플로우 공정을 순차적으로 진행함으로써 Cu 비아를 이용한 MEMS 센서의 스택 패키지용 interconnection 공정을 이룰 수 있었다.

감사의 글

본 연구는 한국전자통신연구원의 지원에 의해 이루어졌습니다.

참고문헌

1. 좌성훈, “상용화 관점에서 바라본 MEMS 산업현황”, 한국반도체연구조합 웹진, (2005).
2. 주병권, “MEMS 기술의 개요 및 전망”, 전자부품, (2001) pp.138-145.
3. A. C. Imhoff, “Packaging technologies for RFICs : current status and future trends”, 1999 IEEE Radio Frequency Integrated Circuits (RFIC) Symp., (1999) p.7
4. H. Reichl, V. Grosser, “Overview and development trends in the field of MEMS packaging”, Proc. IEEE MEMS 2001 Conf., (2001) pp.1-5.
5. C. Statter, E. Olson, and K. Farmer, “Design and fabrication of a miniature pressure sensor head using direct bonded ultra-thin silicon wafers”, J. Micro-mech. Microeng., 7 (1996) 108-110.
6. 주병권, “MEMS의 마이크로 패키징 기술 - 벌크형 및 표면형 밀봉 기술”, 전자부품, (2001) pp.130-138.
7. T. Seki, S. Sato, T. Masuda, I. Kimura, and K. Imanaka, “Low-loss RF MEMS metal-to-metal contact switch with CSP structure”, Tech. Dig. 12th Int. Conf. Solid-state Sensors, Actuators and Microsystems, Boston, MA, (2003) pp.340-341.
8. M. Sakata, Y. Komura, T. Seki, K. Kobayashi, K. Sano, and S. Horike, “Micromachined relay switch which utilizes single crystal silicon electrostatic actuator”, Proc. 12th IEEE Int. Conf. MEMS, Orlando, FL, (1999) pp.21-24.
9. R. M. Henderson and L. P. B. Katehi, “Silicon-based micromachined packages for high-frequency application”, IEEE Trans. Micro. Theory Tech., 47 (1999) 1563-1569.
10. A. Margomenos and L. P. B. Katehi, “Fabrication and accelerated hermeticity testing of and on-wafer package for RF MEMS”, IEEE Trans. Micro. Theory Tech., 52 (2004) 1626-1636.
11. Y. K. Park, H. W. Park, D. J. Lee, J. H. Park, J. S. Song, C. W. Kim, Y. H. Lee, C. J. Kim, and B. K. Ju, “A novel low-loss wafer-level packaging of the RF-MEMS devices”, Proc. 15th IEEE Int. Conf. MEMS. Las Vegas, NV, (2002) pp 681-681.
12. U. Klein, “The advent of silicon microphones in high-volume applications”, MST News, (2001).
13. Y. K. Park, Y. K. Kim, H. Kim, D. J. Lee, C. J. Kim, B. K. Ju, and J. O. Park, “A novel thin chip scale packaging of the RF-MEMS devices using ultra thin silicon”, IEEE MEMS Conf., (2003) p.73.
14. K. Y. Lee, T. S. Oh, J. H. Lee, and T. S. Oh, “Electrical characteristics of the three-dimensional interconnection structure for the chip stack package with Cu through vias”, J. Electron. Mater., 36 (2007) 123-128.
15. K. Y. Lee and T. S. Oh, “Cu via-filling characteristics with rotating-speed variation of the rotating disc electrode for chip-stack-package applications”, J. IMAPS-Korea, 14 (2007) 65-71.
16. C. S. Premachandran, R. N. S. Mohanraj, C. S. Choong, and M. K. Iyer, “A vertical wafer level packaging using through hole filled via interconnect by lift off polymer method for MEMS and 3D stacking applications”, Proc. Electron, Comp. Technol. Conf., (2005) pp.1095-1098.