

## Plasma Assisted ALD 장비를 이용한 니켈 박막 증착과 Ti 캡핑 레이어에 의한 니켈 실리사이드 형성 효과

윤상원 · 이우영 · 양충모 · 하종봉 · 나경일 · 조현익 · 남기홍\* · 서화일\*\* · 이정희†

†경북대학교 전자전기컴퓨터학부, \*경일대학교 전자정보통신공학부, \*\*한국기술교육대학교 전자공학과

## Nickel Film Deposition Using Plasma Assisted ALD Equipment and Effect of Nickel Silicide Formation with Ti Capping Layer

Sang Won Yun, Woo Young Lee, Chung Mo Yang, Jong Bong Ha, Kyoung Il Na,  
Hyun Ick Cho, Ki Hong Nam\*, Hwa Il Seo\*\* and Jung Hee Lee†

†School of Electrical Engineering and Computer Science, Kyungpook National University

\*School of Electronic Information and Communication Engineering, Kyungil University

\*\*Department of electronics, Korea university of Technology and Education

### ABSTRACT

The NiSi is very promising candidate for the metallization in 45 nm CMOS process such as FUSI (fully silicided) gate and source/drain contact because it exhibits non-size dependent resistance, low silicon consumption and mid-gap workfunction. Ni film was first deposited by using ALD (atomic layer deposition) technique with Bis-Ni precursor and H<sub>2</sub> reactant gas at 220°C with deposition rate of 1.25 Å/cycle. The as-deposited Ni film exhibited a sheet resistance of 5 Ω/□. RTP (repaid thermal process) was then performed by varying temperature from 400°C to 900°C in N<sub>2</sub> ambient for the formation of NiSi. The process temperature window for the formation of low-resistance NiSi was estimated from 600°C to 800°C and from 700°C to 800°C with and without Ti capping layer. The respective sheet resistance of the films was changed to 2.5 Ω/□ and 3 Ω/□ after silicidation. This is because Ti capping layer increases reaction between Ni and Si and suppresses the oxidation and impurity incorporation into Ni film during silicidation process. The NiSi films were treated by additional thermal stress in a resistively heated furnace for test of thermal stability, showing that the film heat-treated at 800°C was more stable than that at 700°C due to better crystallinity.

**Key Words :** Plasma Assisted ALD, Atomic Layer Deposition, NiSi, Ti, Capping Layer

### 1. 서 론

최근 CMOS 소자 크기가 축소됨에 따라 증가하는 소스/드레인과 게이트의 접촉저항을 낮추기 위해 실리사이드 공정이 사용되어 왔고 최근에는 금속 게이트의 응용으로 FUSI (fully silicide) 공정이 연구되고 있다[1-3]. 45 nm 이하의 선폭을 가지는 CMOS 소자에서 CoSi<sub>2</sub>는 큰 실리콘 소모에 의한 초미세 접합 형성의 어려움과 줄어드는 게이트 면적에 따라 저항이 상승하는 문제점

들이 보고되었다[4,5]. 이를 보완하기 위해 45 nm 이하의 선폭을 가지는 CMOS 소자의 살리사이드 (salicide) 공정과 FUSI 게이트 응용으로 니켈실리사이드가 활발하게 연구되고 있다[6-8]. 니켈실리사이드는 TiSi<sub>2</sub>와 CoSi<sub>2</sub>에 비해 낮은 실리콘 소모, 낮은 공정온도, 낮은 접촉 저항, 면적에 따른 저항의 비의존성, 한 단계의 열처리 등의 장점을 가진다.

집적 회로에서 소자의 집적도가 증가되면서 PVD (physical vapor deposition)나 CVD (chemical vapor deposition) 방법을 사용한 니켈 증착은 좋지 못한 물리적인 특성 등으로 인하여 ALD (atomic layer deposition)를 이용한 공정이 활발히 연구되고 있다. ALD로

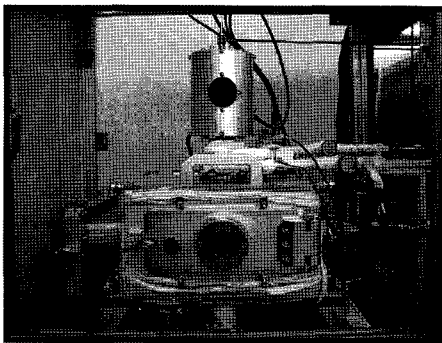
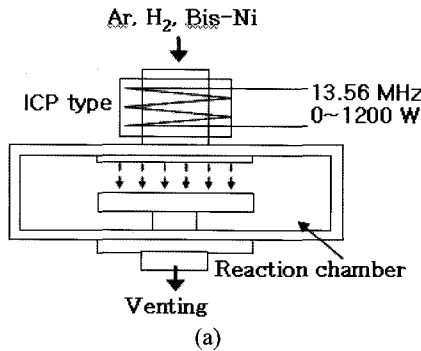
†E-mail : jlee@ee.knu.ac.kr

증착한 니켈 박막은 PVD나 CVD에 비해 45 nm technology에서 요구 되어지는 두께 조절의 용이성, 낮은 증착 온도, 높은 단차 피복성 등의 장점을 가진다[9].

본 연구에서는 개발된 plasma assisted ALD 장비를 이용하여 금속 유기 전구체인 Bis-Ni을 ALD방식으로 증착하였으며, 보다 폭 넓은 실리사이드 온도구간을 얻기 위해서 Ti 캡핑 레이어 (capping layer)를 적용하였다.

## 2. 실험 방법

본 실험에서는 Ni 및 TaN 박막 증착을 목적으로 ALD장비를 제작하였다. Fig. 1(a)는 4, 6, 8인치까지 사용 가능한 챔버 (chamber)의 개략도이다. 샤워 헤드 (shower head) 방식으로 챔버는 두 부분으로 구성되어 있다. 상부의 플라즈마 챔버와 하부의 반응 챔버로 구성되었다. 상부 플라즈마 챔버는 ICP (inductively coupled plasma) 타입으로 플라즈마에 의한 웨이퍼의 손상을 막기위해 반응 챔버와 분리되게 설계 되었으며, 플라즈마로 생성된 높은 에너지를 가진 분자들만이 반응 챔버로 들어와 반응 하도록 설계되었다. 하부의 반응 챔버에는 heater block이 있으며 여기서 반응에 필요한



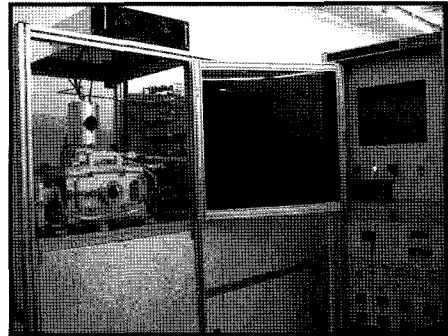
(b)

Fig. 1. (a) Schematic of PAALD chamber, (b) Fabricated PAALD chamber.

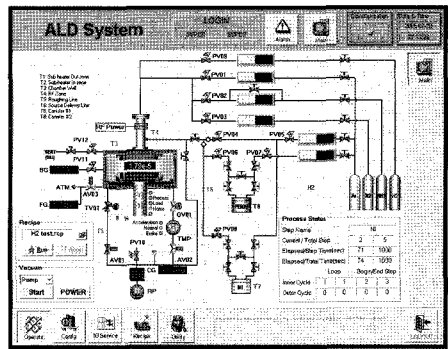
열에너지를 전달한다. Fig. 1(b)는 실제 제작된 챔버의 모습이다. Fig. 2(a)는 PAALD의 전체적인 장비 모습이며, Fig. 2(b)는 PAALD의 장비 개략도이다.

본 실험에서는 6인치 p-type Si(100) 웨이퍼를 사용하였으며, 자연 산화막은 건식방법을 이용 하여 제거하였고 Thermal ALD 방식으로 25 nm 두께의 니켈을 증착하였다. Fig. 3은 ALD 프로 세서의 한 사이클이며, Bis-Ni→purging gas (Ar)→reactant gas (H<sub>2</sub>)→purging gas (Ar)로 구성된다. 니켈 증착 이후 RTP (rapid thermal process)장비를 사용하여 질소 분위기에서 30 sec 동안 400°C에서 900°C까지 100°C씩 증가 시키며 니켈 실리사이드 형성온도 구간을 확인 하였다. 형성된 실리사이드의 열 안정성을 확인 하기 위해 퍼니스 (furnace)에서 질소 분위기로 30 min 동안 열처리 하였다.

형성된 니켈실리사이드의 전기적 특성은 4-point probe를 사용하여 확인하였다. 결정성 및 조성비는 XRD (X-Ray Diffraction)와 AES (Auger Electron Spectroscopy)로 분석하였고, 두께는 XRR (X-ray Reflectivity), Ellipsometer를 이용하여 측정하였다.



(a)



(b)

Fig. 2. (a) Fabricated PAALD equipment, (b) Schematic diagram of PAALD system.

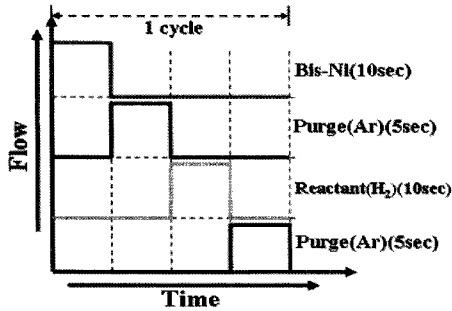
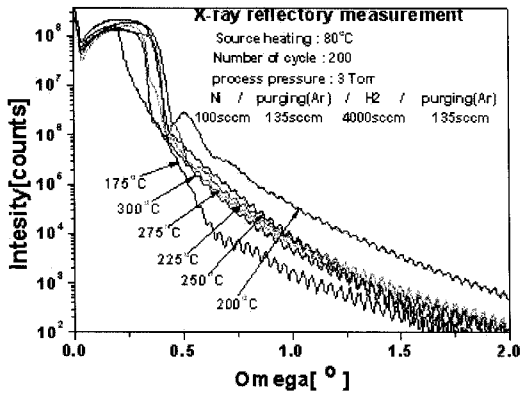
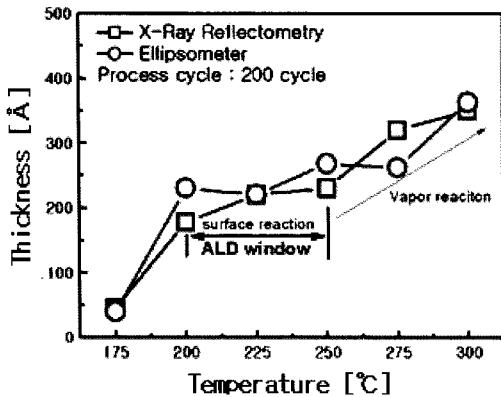


Fig. 3. Sequential injection of reactants.



(a)



(b)

Fig. 4. (a) XRR measurement of Ni thin film deposited with process temperature, (b) Thickness measurement of Ni thin film using XRR and ellipsometer for verifying the process temperature region of ALD method.

### 3. 실험결과 및 고찰

Fig. 4(a)는 ALD 증착온도 구간 확인을 위해 공정온도를 175°C부터 300°C까지 25°C씩 상승시키며 증착한

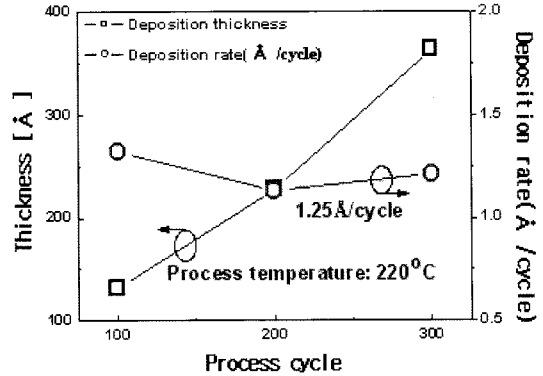


Fig. 5. Deposition rate per cycle of Ni thin film.

후, 박막의 두께를 측정하였다. 공정압력은 3 Torr이며 ALD 증착 주기는 200 사이클로 고정하였다. XRR 측정결과와 증착 온도에 따라 증착된 니켈 박막은 각 공정 온도에 영향을 받아 증착 두께가 달라짐을 알 수 있었다. Fig. 4(b)는 XRR, Ellipsometer로 각각 측정된 값의 비교 데이터이다. 250 Å 대의 얇은 박막이기 때문에 측정 상 오차를 가지므로 두 장비의 값을 비교하여 ALD 증착 온도구간을 선정하였다. Fig. 4(b)와 같이 200에서 250°C사이에서 약200 Å 두께의 박막특성을 보이는 것을 확인할 수 있다. 이러한 결과를 바탕으로 200에서 250°C사이를 ALD 공정 온도 구간으로 설정했고 실제 모든 공정은 5 Ω□의 가장 낮은 면저항 특성을 보인 220°C에서 진행하였다.

Fig. 5는 공정 사이클 변화에 따른 증착 두께의 변화를 나타낸 것이고 100, 200, 300사이클로 달리 증착 하였으며, 각각 132, 227, 363 Å를 보여 각 사이클 마다 증착율은 각각 1.32, 1.13, 1.21을 나타내었다. 사이클 변화에 따른 니켈 박막의 ALD 증착은 선형적인 특성을 보이며 평균 1.25 Å/cycle의 값을 보였다.

Fig. 6(a)는 캡핑 레이어를 사용하지 않은 시료의 열처리 온도에 따른 XRD측정 결과이다. 400에서 900°C 까지 질소분위기에서 RTP를 이용하여 열처리를 하였다. 600°C까지는 니켈실리사이드가 형성이 되지 않고, 700°C에서 니켈실리사이드가 형성되는 것을 확인하였다. 면저항 변화 또한 5 Ω□에서 3 Ω□로 낮아졌다. 이후 800°C에서 NiSi<sub>2</sub> 형태의 상 변화가 시작되고, 900°C에서 상이 뭉쳐지는 (agglomeration) 형태로 나타났다. Fig. 6(b)는 700°C RTP에서 니켈 박막 시료의 깊이 방향으로 분석한 AES 결과이다. 니켈과 실리콘이 거의 같은 비율로 존재함을 알 수 있다.

Fig. 7(a)는 니켈 박막 위에 Ti 캡핑 레이어를 200 Å 증착 후 400에서 900°C 까지 각각 니켈실리사이드를

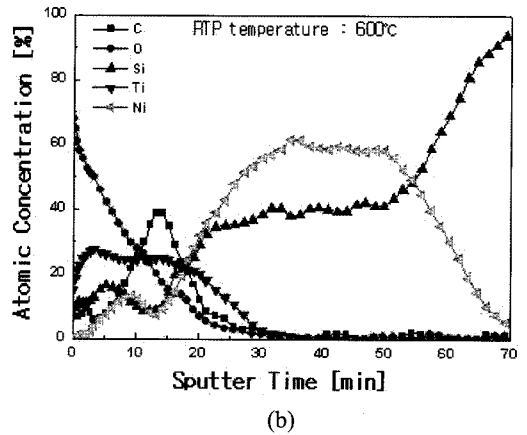
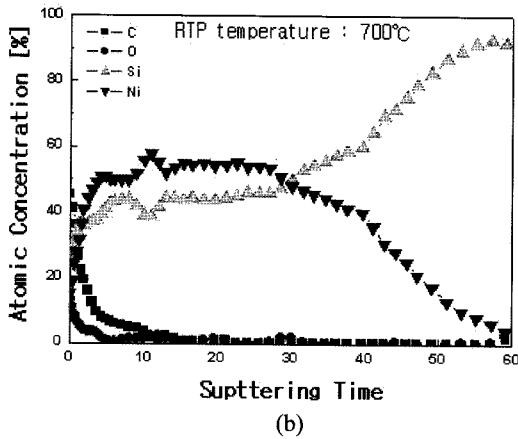
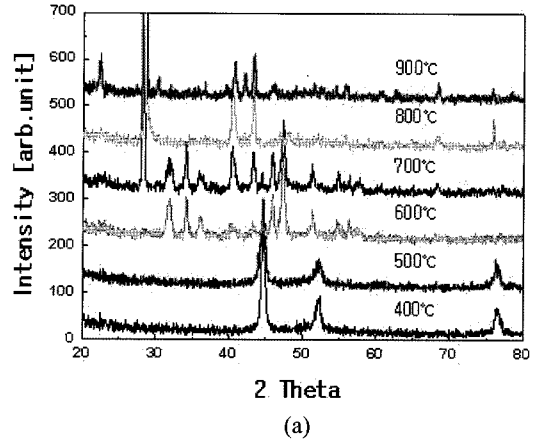
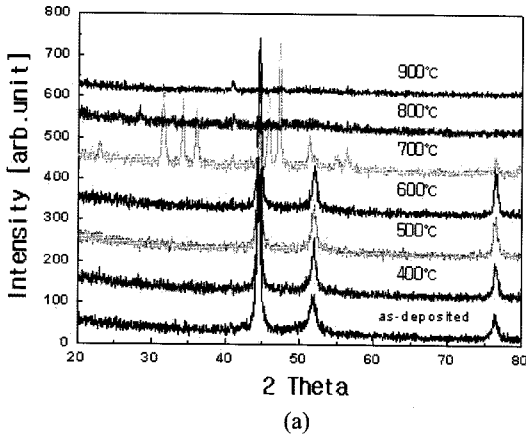


Fig. 6. (a) XRD data of NiSi without capping layer, (b) Auger depth profile after NiSi formation without capping layer.

Fig. 7. (a) XRD data of NiSi with Ti (20 nm) capping layer, (b) Auger depth profile of NiSi with Ti (20 nm) capping layer.

형성한 박막의 XRD 결과이다. 그림과 같이 400과 500°C에서는 니켈의 변화는 나타나지 않고 있지만, 600°C에서 실리사이드 피크(peak)이 나타나기 시작한다. 먼저 저항 변화 또한  $5 \Omega/\square$ 에서  $2.5 \Omega/\square$ 로 낮아졌다. Fig. 7(b)는 니켈 증착 후 Ti 캡핑 레이어 (200 Å)를 이용한 깊이 방향의 AES 결과이다. XRD결과와 같이 600°C에서 실리콘과 니켈의 농도가 거의 같은 비율로 존재함을 알 수 있다. 이처럼 열처리 과정에서 캡핑 레이어가 니켈이 외부의 산소 또는 탄소와의 반응을 억제 시켜 줌으로서 좀 더 낮은 온도에서 실리사이드가 형성되는 것으로 생각된다. 즉, Ti 캡핑 레이어가 보호막 (passivation) 역할을 한 것으로 판단된다. 따라서 Ti 캡핑 레이어를 사용함으로써 좀 더 넓은 실리사이드 형성구간을 확인하였다.

Fig. 8은 각 온도 별 니켈실리사이드 형성 후 퍼니스에서 열적 스트레스를 인가한 후의 저항 특성을 나타

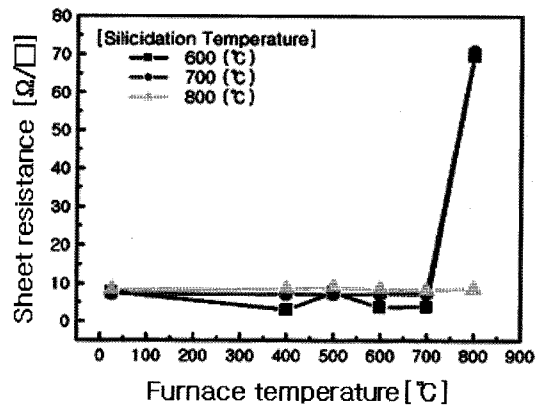


Fig. 8. Thermal stability of NiSi.

낸다. 니켈실리사이드 형성 시 처음 실리사이드 형성 온도가 후속 공정에서도 매우 중요하게 작용하는 것을 보여주고 있다. 즉 니켈실리사이드 형성온도가 낮을수

록 높은 온도에서 견뎌내지 못하고 또 다른 상으로 바뀌어 지고, 800°C에서 니켈실리사이드를 형성한 시료는 800°C에서도 상을 유지 하는 것을 알 수 있다. 그러므로 후속공정의 온도 조건에 따라서 실리사이드 형성 온도를 선택적으로 적용해야 한다.

#### 4. 결 론

나노급 소자 적용을 위한 Ni 및 TaN 박막 증착용 plasma assisted ALD 장비를 개발하였다. 본 장비를 이용하여 매우 낮은 면저항을 갖는 니켈 박막을 얻었고, 1.25 Å/cycle의 증착율을 보였다. 또한 Ti 캡핑 레이어를 적용함으로써 보다 넓은 실리사이드 형성 구간을 얻었다. 이는 캡핑 레이어의 효과적인 보호막 역할에 의한 것으로 판단된다. 또한 후속 열처리를 통해 실리사이드 결정의 열적 안정성을 확인 하였다. 이러한 결과는 향후 45 nm 이하의 CMOS 공정에서 FUSI 게이트 및 낮은 접촉 저항을 필요로 하는 소스/드레인의 니켈실리사이드 형성 공정에 큰 도움을 줄 것으로 기대 된다.

#### 감사의 글

This work is partially supported by the Korea Science and Engineering Foundation (KOSEF) through the National Research Lab. Program funded by the Ministry of Science and Technology (No. M10600000273-0650000-27310), the Brain Korea 21 (BK21), the Dream New Future (DNF).

#### 참고문헌

1. Kittl, J. A. *et al.*, "Scalability of Ni FUSI gate processes: phase and Vt control to 30nm gate lengths" VLSI Technology, 2005. Digest of Technical Papers. 2005 Symposium on 14-16 June 2005 pp. 72-73.
2. Liu, J. *et al.*, "Dual-work-function Metal Gates by Full Silicidation of Poly-Si With Co-Ni Bi-Layers" Electron Device Letters, IEEE Volume 26, Issue 4, Apr 2005, pp. 228-230.
3. Sim, J. H. *et al.*, "Dual Work Function Metal Gates Using Full Nickel Silicidation of Doped Poly-Si" Electron Device Letters, IEEE Volume 24, Issue 10, Oct. 2003 pp. 631-633.
4. Hiroshi Iwai *et al.*, "NiSi silicide technology for scaled CMOS" Microelectronic Engineering, Volume 60, Issues 1-2, January 2002, pp. 157-169.
5. Gambino, J. P. and Colgan, E. G. "Silicides and ohmic contacts" Materials Chemistry and Physics, Volume 52, Issue 2, February 1998, pp. 99-146.
6. Sim, J. H., Wen, H. C., Lu, J. P., and Kwong, D. L., Electron Device Letters, IEEE Volume 25, Issue 9, Sept. 2004 pp. 610-612.
7. Liu, J., Wen, H.-C., Lu, J.-P., and Kwong, D.-L., IEEE Transactions on Electron Devices : Accepted for future publication Volume PP, Issue 99, 2005 pp. 1-7.
8. Anil, K. G. *et al.*, "Demonstration of Fully Ni-Silicided Metal Gates on HfO<sub>2</sub> based high-k gate dielectrics as a candidate for low power applications" VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on 15-17 June 2004 pp. 190-191.
9. Kwan-Woo Do *et al.*, "Formation of Low-Resistivity Nickel Silicide with High Temperature Stability from Atomic-Layer-Deposited Nickel Thin Film" JJAP, Vol. 45, No. 4B, 2006, pp. 2975-2979.