

AVC 코덱칩 설계 기술동향

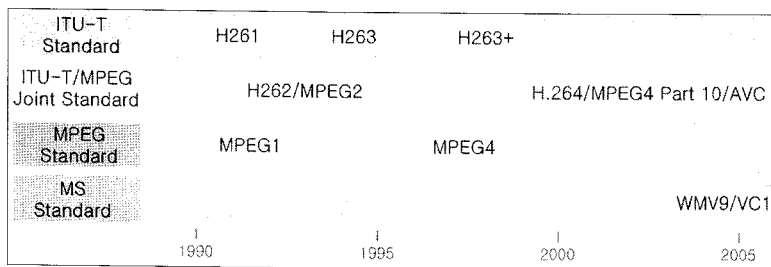
□ 홍유표 / 동국대학교 전자공학과

1. 서론

JPEG으로부터 시작된 영상 압축 표준은 방송, 가전, 통신 등 다양한 멀티미디어 관련 분야에서 폭 넓게 채용되며 발전해 왔다. 특히 동영상 압축 방식은 그림 1에 요약된 바와 같이 ITU-T와 ISO/MPEG 두 국제 표준화 위원회, 그리고 MicroSoft 등 여러 산업체간의 경쟁과 협력 속에 끊임없는 발

전을 거듭해 오고 있다.

1980년대 말 MPEG1의 CD/VCD나 가라오케에서의 채택 등 상용화 성공 사례를 시작으로 1990년대 초 MPEG2의 디지털 방송 표준 채택 등 방송 및 가전에서 동영상 디지털 압축 방식 채택은 매우 성공적으로 진행이 되어 왔다.[1] 1990년대 중반부터 모바일 응용의 보급 확대는 저비트율 동영상 코덱에 대한 필요성을 크게 증대시켰고 이에 대한 방안



<그림 1> 동영상 압축 표준의 변천

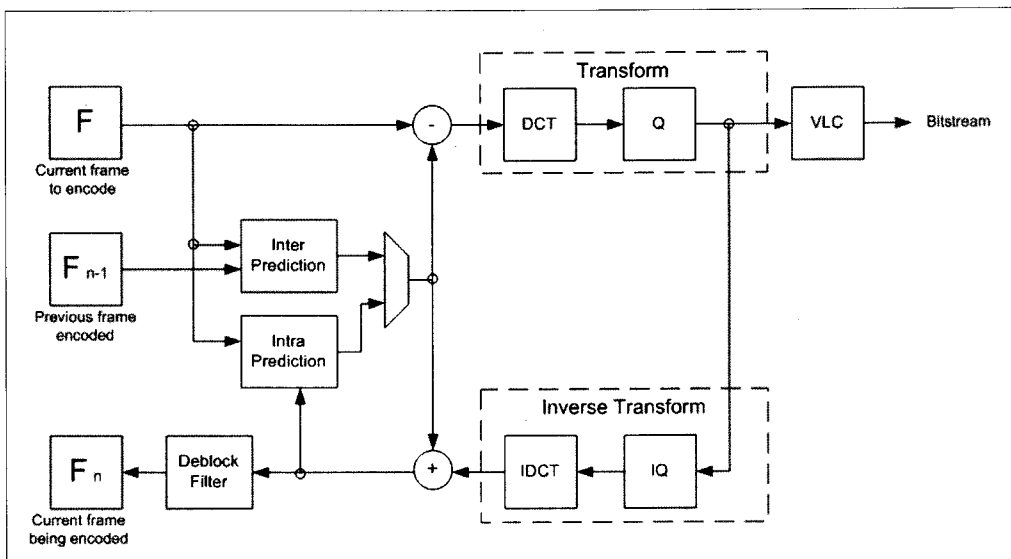
으로 MPEG4가 등장하였으나, 기본적으로 MPEG2에 바탕을 두고 몇 가지 압축 틀이 추가된 MPEG4로서는 획기적인 압축율 향상에 제약 요소가 많아 그 반향이 매우 제한적이었다. ISO와 ITU는 다시금 그간 축적된 이론과 경험을 바탕으로 공조하여 AVC표준을 내놓게 되었다. AVC는 기존 MPEG2/4 대비 2~3배 가량의 높은 압축율과 우수한 화질 때문에 사실상 2000년대 중반 이후 대부분의 차세대 방송/통신 동영상 압축 표준의 대부분을 석권하고 있다. 대표적으로 차세대 DVD포맷인 HD-DVD와 BD, DBV-H/DMB/ISDB-T, 미국의 차세대 DTV관련 표준 대부분들이 AVC를 동영상 압축 방식으로 채택하였다.

AVC는 기존 MPEG2/4와는 완전히 다른 알고리즘을 채용하였기 때문에 기존 IP의 활용 여지가 적는데다가 그 알고리즘 복잡도가 압축율 향상에 비례하여 증대하여서 AVC 코덱의 구현은 연구/개발자들에게 실로 크나 큰 도전이 아닐 수 없다.

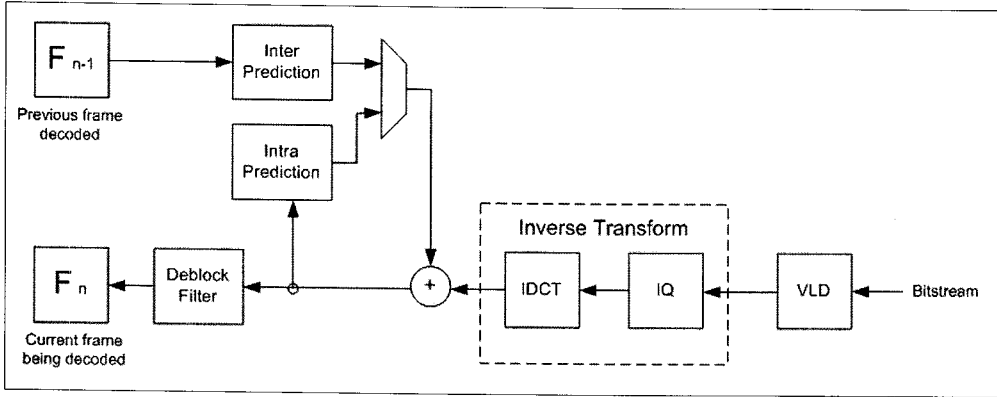
한편 AVC의 표준안 제정에 뒤이어 마이크로소프트가 자체 동영상 압축 표준안인 VC1을 내놓았는데, 그 압축율은 AVC에 비하여 다소 떨어지나 압축 복잡도를 크게 절감하여 임베디드 시스템에서 소프트웨어 기반 구현 방식을 취하는 경우에는 나름대로 큰 장점을 가질 것으로 전망되고 있으며 H-DVD나 BD 등 일부 응용의 경우에는 AVC와 VC1이 동시 채택된 바 있다. 그러나 구현 용이성보다는 압축율과 화질이 최우선적으로 고려되는 응용이 많은 데다가, 시기적으로도 DMB 등의 응용에서 그 효용성이 앞서 검증된 AVC의 독점적 위상은 크게 위협받지 않을 것으로 전망된다.

II. AVC 코덱

AVC 인코더와 디코더의 구성도가 그림2와 그림3에 도시되어 있다. 이전의 MPEG2나 MPEG4와 비



〈그림 2〉 AVC 인코더 구성도



(그림 3) AVC 디코더 구성도

교하였을 때 큰 차이점은 1) 움직임 예측 원리를 이용하는 Inter Prediction이 4*4, 4*8등 다양한 예측 단위를 지원토록 확장 2) Inter Prediction에서 1/4 정밀도 지원 3) 화면간 영상 유사도 원리를 이용한 Intra Prediction 4) 블록간 이질감을 줄이기 위한 Deblocking필터 등이 포함된 점이다.

III. 동영상 압축 코덱의 구현 방식

동영상 압축 코덱의 구현방식은 크게 완전 하드웨어형, 완전 소프트웨어형, 그리고 하이브리드형의 세가지로 구별할 수 있다.

완전 하드웨어형은 코덱의 모든 기능이 하드웨어만으로 구현되는 방식을 의미하며, 처리속도나 전력소모량 측면에서 큰 장점이 있다. 반면 일반적인 하드웨어 기반 칩들의 특징인 구현 결과의 경직성, 사양 변동에 대한 대응력 취약 등을 대표적인 단점으로 들 수 있다.

완전 소프트웨어형 코덱은 MCU나 DSP, 또는 ARM과 같은 CPU코어에서 소프트웨어적으로 코덱

을 구동하는 방식이다. 최근 DSP나 CPU코어의 성능이 크게 향상되어 MPEG4정도는 소프트웨어 방식으로도 충분히 구현이 가능하며 AVC의 경우도 CIF급의 경우는 소프트웨어형 구현이 가능하여졌다. 국내 DMB의 본 방송 개시 직후 핸드폰이나 PMP의 경우 TI의 DM이나 OMAP 계열의 칩들, 그리고 AMD와 Intel의 모바일용 CPU기반 단말들 대 다수가 이러한 소프트웨어기반 방식을 택하여 조기 시장 진입에 성공하였던 경우가 이러한 방식의 성공적 활용 사례로 볼 수 있다. 그러나 범용 코어의 연산 성능만으로는 AVC본연의 기능을 모두 실시간 구현하는 데는 원천적인 한계가 있어서 일부 기능 블록의 간소화나 생략 등 성능 측면에서의 적지 않은 절충을 해야만 하는 고충은 아직까지도 불가피한 수준으로 알려져 있다.

하이브리드형은 연산량이 많고 타겟 응용에 따른 사양 변동 가능성이 희박한 기능 블록은 하드웨어로 구현을 하고, 그 이외 연산량이나 메모리 대역폭이 적은 기능 블록, 코덱 전반의 제어, 블록간의 인터페이스부 등은 소프트웨어로 구현하여 하드웨어와 소프트웨어를 접목시켜 코덱을 구성하는 방식이다.

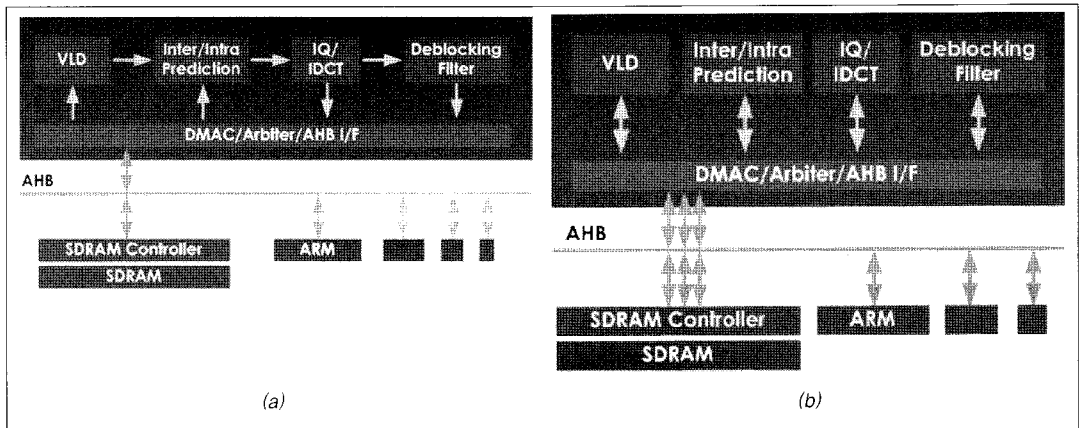
ARM 등의 임베디드 코어는 이러한 형태의 SOC구성이 용이하도록 버스 정의나 여타 보조회로(Peripheral)가 잘 구비되어 있어 설계 시간 및 검증 측면에서 많은 장점이 있으며, 사실상 이러한 방식이 SOC설계 방식의 대표적인 전형이라고도 볼 수 있다. 특히, 각각의 기능블럭 설계가 독립적으로 진행될 수 있기 때문에 신속한 설계 측면에서 큰 장점이 있다. 그러나 AVC와 같이 메모리 대역폭이 치명적인 성능 장애요소가 되는 경우에, 이러한 하이브리드 방식은 각 모듈이 외부 메모리와의 데이터 교신량이 증가되는 치명적인 단점이 있다. 그림2는 AVC 디코더의 경우 완전 하드웨어방식과 하이브리드 방식의 메모리 대역폭 측면에서 부하 차이를 도식적으로 보여주고 있다. 이러한 이유 때문에, MPEG4에서 각광받던 하이브리드 방식이 AVC에서는 다소 퇴조하고 완전 하드웨어형 방식으로 회귀하는 경향이 많다.

전술된 방식 이외에 소위 재구성가능 프로세서(Reconfigurable Processor)방식이 있는데, 이는 프로세서나 DSP계열이기는 하나 그 하드웨어가 고정된 것이 아니라 대상 응용에 최적화된 하드웨어를 재구성하는 방식이다. 이때의 하드웨어는 프로

그램에 의하여 구동되는 프로세서나 DSP이기 때문에 실질적으로는 그 하드웨어에서 구동되는 명령어(Instruction)가 효과적으로 규정되고 전용 컴파일러가 그 명령어를 최적화된 기계어로 변환하는 것이 중요하다. 대표적인 재구성 가능 프로세서로는 DMB향 AVC SOC등에서 성공 사례를 남긴 Tensillica를 들 수 있다. 이러한 재구성가능 프로세서 기반 SOC의 성능은 기존 구현 사례를 근거로 판단할 때 완전 하드웨어와 완전 소프트웨어의 중간 정도로 볼 수 있다.

멀티미디어 SOC의 경우 코덱의 구현 복잡도, 응용제품의 특성, DSP 및 CPU코어의 성능, 설계 공정, 사용 외부메모리 종류 및 특성, 코덱 이외의 기능 블럭과의 연관성 등에 따라 적절한 설계 방식을 취하는 것은 최종 결과물의 성패에 있어 치명적인 요인이 된다.

가령 MPEG2가 주류를 이루던 1990년대에는 MPEG2가 코덱 부문에서 사실상 독주하는 상황이었고 당시의 DSP코어 성능이 다소 부족한 상황이어서 완전 하드웨어 기반의 코덱 설계가 주류를 이루었다. 그러나 1990년대 중반 MPEG4가 부상하고



〈그림 4〉 (a) 완전 하드웨어형 AVC 디코더 (b) 하이브리드형 AVC 디코더

DSP코어의 성능이 크게 향상되고, SOC방식의 설계가 많이 보급되면서 하이브리드형 또는 완전 소프트웨어형 구현 방식이 주류를 이루게 되었다. 핸드폰과 같이 켈컴 등의 모뎀칩이 단말기 전체의 제어 기능 상당부분을 전담할 수 있던 구성에서는 간단한 기능의 코어 역할과 코텍이 포함된 SOC가 상당한 잇점이 있었으며 다양한 비디오 코텍에 대한 대응이 필요한 현 시점에서는 하이브리드형 멀티코텍이 상당한 잇점을 제공하고 있다. 그러나 사용자들의 고화질에 대한 욕구가 증대함에 따라 코텍의 성능 향상도 절실해지고 이 때문에 다시금 완전 하드웨어 기반형 AVC코텍에 대한 필요성이 증대되고 있는 추세이다.

IV. AVC 디코더의 하드웨어 구현 이슈들

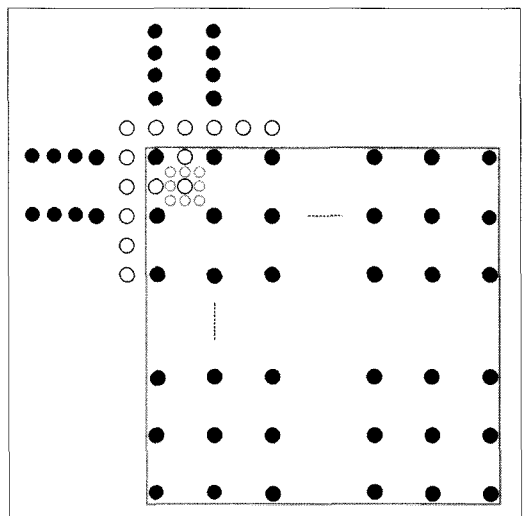
전통적으로 동영상 코텍의 하드웨어 구현에서 가장 중요하게 취급되던 부분은 개별 연산 기능 블록의 효과적 구현이었다. 가령 JPEG부터 사용되어 온 DCT는 기본적으로 부동소수점 연산을 기반으로 하였고 8*8 행렬을 기본 처리단위로 하였기 때문에 최대한 정확도를 덜 희생하면서 하드웨어적으로는 간소하게 구현하는 것이 매우 중요한 설계 이슈였다. 그래서 1980년대부터 1990년에 걸쳐 영상 코텍 분야에서 효과적인 DCT구현은 학계와 산업계 모두로부터 매우 각광받는 연구 주제였다.

AVC 디코더에서는 이러한 설계 이슈의 축이 특정 연산블럭의 구현으로부터 외부 메모리 대역폭의 최적화로 이동하게 되었으며 가장 대표적인 예가 움직임 보상과 디블러킹 필터의 구현이다.

움직임 보상 연산의 경우 반화소, 1/4화소 움직임

보상 기능이 구현상 많은 어려움을 주는데, 반화소와 1/4화소 데이터를 생성할 때 단순한 산술 평균이 아닌 필터를 사용하도록 규정되어 있고 이러한 필터의 입력으로 대상 블럭 외곽의 4화소 데이터가 포함되어야 한다. 이 때문에 사실상 필터 연산 자체보다는 이러한 주변 데이터의 액세스가 큰 부담이 되는데, 그 이유는 주변 데이터는 주로 외부 메모리, 즉 SDRAM에 존재하기 때문에 한 개의 반화소 픽셀 계산마다 4개의 외부 화소 데이터의 읽기 동작이 필요하게 된다. 이는 막대한 량의 외부 메모리 액세스를 의미하게 된다.

이러한 메모리 대역폭 문제는 디블러킹 필터에도 비슷한 양상으로 존재한다. 디블러킹 필터는 블록 경계주변에 있는 화소에 대하여 그 인접 픽셀 데이터까지 함께 고려하여 블록간 화질의 이질성을 줄여주는 원리이며, 이 때에도 블록간 인접 화소들이 외부 메모리로부터 읽혀져야 하기 때문에 많은 메모리 대역폭을 필요로 한다. 특히 움직임 보상 단위가 4*4로 된 경우는 각각의 4*4블럭 움직임 보상



〈그림 5〉 움직임 보상을 위한 반화소 및 1/4화소

때마다 막대한 량의 주변 데이터를 필요로 하기 때문에 메모리 액세스량은 더욱 증가하게 되고, 고비트율 압축 스트림의 경우는 영상의 정밀도가 높아 4*4 움직임 보상 경우가 많기 때문에 어려움은 더욱 증대된다. 이 때문에 AVC 디코더의 설계에서는 메모리 대역폭 문제가 가장 부담이 큰 부분이 된다. 전용 하드웨어가 아니기 때문에 프로그래머가 메모리 대역폭 관련 상당한 제약을 받는 소프트웨어 구현 방식의 경우 더블클럭 필터의 연산을 아예 생략하는 경우가 많은 것도 여기에 원인이 있다.

이러한 메모리 대역폭 문제 해결을 위해서 영상 데이터의 효과적인 메모리 배치, Temporal 또는 Spatial Locality를 이용한 캐시의 효과적 활용 등 다양한 방법이 동원되고 있다.

V. AVC 인코더의 하드웨어 구현 이슈들

디코더와 달리 인코더는 설계자의 창의성과 설계 기술력에 따라 압축율과 화질 등의 성능이 크게 차별화되며 특히 움직임 예측과 모드 선택이 그러한 부분에 해당이 된다.

움직임 예측은 인코딩 대상 프레임 개별 블록에 대하여 시간적으로 인접한 주변 프레임의 공간적 유사성이 높은 블록을 찾아 두 블록간 차분치 데이터로 원본 데이터를 대치하는 원리인데, 공간적 유사성의 판별을 위한 완벽한 기준이 없는데다 공간적 유사성이 높다고 하여 항상 압축에 유리한 방향으로만 기여하는 것이 아니기 때문에 차분치 계산 대상 블록의 선정에는 다양한 선택의 여지가 있으며 이러한 선택의 문제는 인트라 예측에서도 유사하게 존재한다. 이러한 선택을 모드 결정 (Mode Decision)이

라 칭하며, 이러한 모드 결정의 우수성은 인코더의 압축/화질 성능에 지대한 영향을 미친다. 모드 결정 원칙은 알고리즘적인 부분에 해당이 되지만, 그 알고리즘의 하드웨어적 타이밍이나 자원 제한 요소를 반영하여 절충을 하는 것은 결국 하드웨어 설계자의 몫으로 남게 되며 주변 블록의 움직임 예측 결과 등을 반영하는 대목 등이 이에 해당될 것이다.

움직임 예측에 있어 모드 결정 이외에 압축성능에 영향을 미치는 요소로 탐색 영역, 탐색 방식, 참조 프레임 수 등을 들 수 있다. 탐색 영역은 주변 프레임의 어떠한 영역에 대하여 탐색을 할 것인가, 탐색 방식은 그러한 탐색 영역에서 참조 블록을 탐색하는 방식, 참조 프레임 수는 주변 프레임 중 몇 개의 어느 프레임을 참조할 것인가에 관한 결정 방식이다. 움직임 예측은 동영상 압축에 있어서는 매우 고전적인 기능이어서 1980년대부터 매우 다양한 이론적 연구 결과가 축적되어 있기는 하나 실시간 실행의 경우 치명적인 메모리 액세스 이슈나 소요 자원 측면이 간과된 경우가 많기 때문에 하드웨어 구현자들은 여러 제약요소를 감안하여 최선의 절충 분기점을 도출하여야 한다.

이러한 압축 성능과는 별개로 AVC인코더의 구현에서 매우 까다로운 부분으로는 인트라 예측과 트랜스폼이 궤환루프를 형성하는 대목을 들 수 있다. 인트라 예측은 매크로 블록 내 각 서브 블록 압축시 주변 서브블록과의 유사성을 활용하는 원리인데, 이를 위해서는 주변 서브블록들의 인트라 예측 결과가 필요하고, 인트라 예측 결과는 트랜스폼 결과를 필요로 하기 때문에, 이러한 일련의 연산이 화면 크기와 프레임율에 따른 제한 시간내에 완료가 되어야 한다는 처리 속도상의 제약이 있다. 이 때문에 인트라 예측 기능 블록이나 트랜스폼의 경우 한 매크로블록에 대하여 몇 사이클이 소요되느냐가 중요

한 지표가 된다.

VII. AVC 코덱 국내외 개발 동향

현재 AVC는 DMB/(DVB-H/ISDB-T)형 디코더, 해외 케이블/위성방송 셋탑용 디코더, DVR용 코덱 등에서 주로 사용이 되고 있다. DMB형 디코더는 국내에서 이미 10여종이 출시되어 활용되고 있으며 씨엔에스테크놀러지의 웹툰을 시작으로 LG, 텔레칩스, 코아로직, 엠텍비전, 넥실리온, 엠엠칩스 등이 뒤이어 다양한 SOC/ASSP를 출시하였다.

해외에서는 이미 케이블이나 위성 방송 등이 상당 부분 MPEG2로부터 AVC 로 선회함에 따라 다양한 종류의 AVC 디코더 내장 AV 디코더들이 출시되었으며 Conexant의 CX2418x, Broadcom의 BCM74xx 시리즈 등이 이에 속한다. 이러한 DTV계열 칩들의 특징은 HD급 화면 처리를 위해 막대한 연산량과 메모리 대역폭을 필요로 함에 따라 외부메모리는 32~64비트 DDR을 사용하고 SOC내 코어의 구동 속도도 300~400 MHz 대를 사용하고 있다.

인코더의 경우는 미국의 Qpixel이나 MobilyGen 이 칩을 출시했으며 DVR용 제품을 중심으로 다수의 코덱칩이 2008년 초 출시될 것으로 예상된다.

VII. 결론

AVC코덱은 복잡도와 구현 난이도, 그리고 다양한 응용에서의 폭발적 수요 증가에 의해 학계와 산업계의 집중적인 연구 개발 대상이다. 기존 ASIC 칩들이 연산 위주의 최적화 대상이었던데 반해 AVC에서는 개별 연산 블록의 성능 극대화, 모듈간 연동 효율 극대화, 메모리 대역폭 최적화 등 코덱 전체의 구성에서 고려해야 할 이슈들의 비중이 상대적으로 매우 크게 증가했다는 점을 주목할 필요가 있다.

참고 문헌

- [1] 그림으로 보는 최신 MPEG, 후지와라 히로시 저, 정제창 역.
- [2] Advanced Video Codec Decoder IC Technology Solution for HDTV Broadcast Services, Conexant White Paper, January 2005

필자 소개



홍 유 표

- 1998년 : University of Southern California 컴퓨터공학과 졸업
- 1999년 : Synopsys, Senior Engineer
- 1999년 ~ 현재 : 동국대학교 전자공학과 부교수
- 주관심분야 : 멀티미디어 SOC 설계