

UWB Chaotic-OOK 통신을 위한 Chaotic 신호 발생 회로 설계

Design of Quasi Chaotic Signal Generation Circuit for UWB Chaotic-OOK Communications

정 무 일 · 이 창 석

Moo-Il Jeong · Chang-Suk Lee

요 약

LDR(Low Data Rate) UWB(Ultra Wide Band) 시스템에서 chaotic 신호를 이용한 OOK(On Off Keying) 통신 방법이 선택적 사항으로 채택되어 있다. 이 시스템에서 중요 회로 중에 하나인 chaotic 신호 발생 회로는 현재 대부분 아날로그 형태의 피드백 구조를 이용하고 있으나, 아날로그 형태의 피드백 구조는 공정 변화에 대한 취약점이 있어 양산성에 어려움이 있다. 이를 해결하기 위해 본 논문에서는 0.18 um CMOS 공정을 이용하여 디지털 구조의 PN-sequence를 응용하여 중심 주파수 4 GHz에서 2 GHz의 대역폭을 갖는 Quasi-chaotic 신호 발생 회로를 설계 및 검증하였다.

Abstract

Chaotic OOK(On-Off Keying) modulation method can be used in LDR(Low Data Rate) UWB systems. The chaotic generator in one of the most important circuit in this system. The traditional chaotic generator circuits using analog feedback technique have low yield characteristic due to the process variation.

A novel quasi-chaotic signal generator using digital PN-sequence is proposed in this paper and verified in 0.18um CMOS technology.

Key words : LDR, UWB, OOK, Chaotic, PN-Sequence, VCO, CML, TSPC

I. 서 론

2002년 4월 미국 연방통신위원회(Federal Communications Commission: FCC)가 상업화를 승인한 이후, 초고속 W-PAN용 UWB(Ultra Wide Band) 표준화를 담당하는 IEEE 802.15.3a Task Group 및 무선 측위(wireless position location) 기능까지 수반하는 저속, 저 전력의 W-PAN을 위한 Task Group인 IEEE 802.15.4a를 중심으로 유수 업체들이 UWB 연구 개발에 적극 참여하고 있다^[1].

IEEE 802.15.4a인 LDR(Low Data Rate) UWB 시스

템에서는 pulse 신호를 이용한 OOK(On Off Keying) 통신 방법이 채택되었고, 또한 chaotic 신호를 이용한 OOK 통신 방법은 선택적 사항으로 채택되어 있다. 현재 chaotic 신호를 이용한 OOK 통신 방법은 안정적인 chaotic 신호 발생기가 중요 회로 중에 하나이다. 이 시스템에서 중요 회로 중에 하나인 chaotic 신호 발생 회로는 현재 대부분 아날로그 피드백 구조를 이용하고 있으나^{[2][3]}, 아날로그 형태의 피드백 구조는 공정 변화에 대한 취약점이 있어 양산성에 어려움이 있다. 이를 해결하기 위해 본 논문에서는 0.18 um CMOS 공정을 이용하여 디지털 구조의 PN-

「이 연구는 2006학년도 삼성종합기술원 및 삼성전기 연구의 지원으로 연구되었음.」

「본 논문은 2단계 BK21사업의 지원에 의하여 연구되었음.」

한밭대학교 전파공학과(Department of Radio Science & Engineering, Hanbat University)

· 논문 번호 : 20061219-156

· 수정완료일자 : 2007년 1월 10일

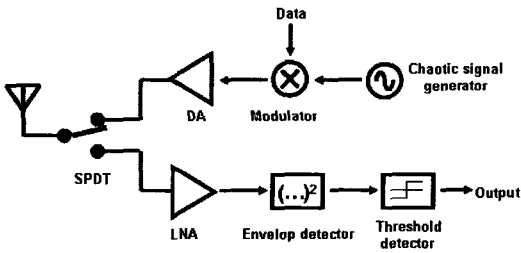


그림 1. Chaotic 신호를 이용한 일반적인 LDR UWB 시스템 블록 다이어그램

Fig. 1. Block diagram of the general LDR UWB system using chaotic signal.

sequence를 응용하여 중심 주파수 4 GHz에서 2 GHz의 대역폭을 갖는 Quasi-chaotic 신호 발생 회로를 설계 및 제작하여 성능을 검증하였다.

II. 회로 설계

그림 1은 일반적인 LDR UWB 시스템에서 chaotic 신호를 이용한 OOK 통신 방법을 나타내었다. 시스템 블록을 보면 크게 송신부와 수신부로 나눌 수 있는데 송신부에는 chaotic 신호 발생기와 변조기 그리고 증폭기로 구성되어 있으며 수신부에서는 증폭기와 포락선 검파기 그리고 threshold detector로 구성되어 있다.

송신부에서 chaotic 신호 발생기에서 발생된 신호가 data에 따라 “On”, “Off”하여 변조된다. 변조된 신호는 증폭기를 통해 증폭 후 안테나로 출력된다. 수신부에서는 안테나로 들어온 신호는 증폭 후 envelop detection을 통해 고주파 성분을 제거하여 복조한다. 복조된 신호는 threshold detector를 통해 “0”, “1”의 data로 복원된다.

LDR UWB 시스템에서 chaotic 신호를 이용한 OOK 통신 방법에서 chaotic 신호 발생기는 안정적인 동작이 중요하다. 그림 2는 제안한 chaotic 신호 발생 회로 블록도이다. VCO(Voltage Control Oscillator)에서는 4 GHz의 신호를 발생시켜서 나누기 4를 하여 1 GHz 신호를 만든다. 만들어진 1 GHz 신호를 이용하여 PN-sequence를 동작시키면 ~1 GHz의 random 신호가 발생되고 이 신호와 VCO의 4 GHz 신호를 Up_mixer를 통해 mixing 하면 3~5 GHz의 대역을 갖는 quasi-chaotic 신호가 발생된다.

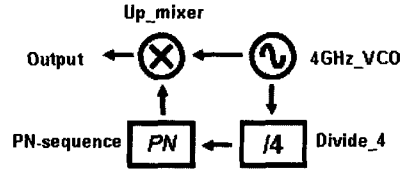


그림 2. Quasi-chaotic 신호 발생기 블록 다이어그램
Fig. 2. Block diagram of the quasi-chaotic signal generator.

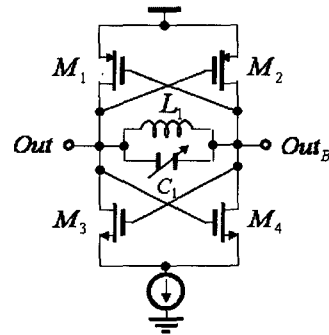


그림 3. VCO 회로도
Fig. 3. Circuit schematic of the VCO.

그림 3은 VCO 회로도를 나타내었다. Chaotic 신호 발생을 위한 VCO는 phase noise 특성보다 낮은 전력소모로 큰 출력이 요구되기 때문에 PMOS M_1 과 M_2 그리고 NMOS M_3 와 M_4 을 이용하는 상호 결합 구조와 NMOS 전류원을 이용하여 저 전력으로 큰 전압 스윙을 얻도록 하였다^[4]. 4 GHz에 발진하도록 코일 L_1 과 버랙터 C_1 을 이용하여 LC 공진회로를 구성하였으며 공정 변화에 따른 주파수 편차를 보정하기 위하여 큰 사이즈의 버랙터를 사용하였다.

그림 4(a)는 divide-by-2 블록 다이어그램을 나타내었다. 2개의 D-latch가 상호 결합 구조로 연결되어 있으며, 하나의 D-latch는 master로 다른 하나는 slave로 동작한다. 그림 4(b)는 divide-by-2의 D-latch의 회로도를 나타내었다. Clock 신호가 “0”에서 “1”로 바뀌면 NMOS M_7 이 “ON”이 되면서 M_3 와 M_4 에 각각 D 와 D_B 신호를 받아들여 상태를 유지하고 있다가 clock 신호가 반전되면 M_7 은 “Off” 되고 M_8 이 “On”이 된다. M_8 이 “On”이 되면 상호 결합 구조의 negative gm cell인 M_5 와 M_6 에서 현 상태를 유지하고 있어 D-latch 동작을 하게 된다. 이러한 동작을 하는 두 개의 D-latch를 상호 결합 구조로 연결하여 하나의 D-flip

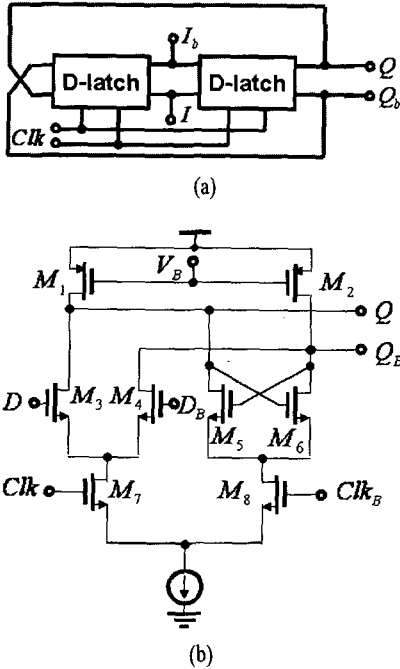


그림 4. (a) Divide-by-2 블록 다이어그램, (b) D-latch 회로도
 Fig. 4. (a) Block diagram of the divide-by-2 circuit, (b) Circuit schematic of the D-latch.

flop으로 동작하여 divide-by-2를 설계하였다. 또한 PMOS M_1 과 M_2 는 gate에 bias를 가해 낮은 전압 드롭으로 큰 저항 효과를 얻을 수 있도록 하여 출력 전압을 크게 하였고, 또한 적은 전력으로 높은 주파수에서 동작하게 하였다^[5]. 그림 2에 나온 divide-y-4는 두 개의 divide-by-2를 직렬로 연결하여 나누기 4를 수행하였다.

그림 5(a)는 15 bit PN-sequence 블록 다이어그램을 나타내었다. UWB(Ultra Wide Band)의 송신 규격은 spectrum analyzer의 resolution bandwidth 1 MHz에 출력 power가 -42 dBm이다. 따라서 최대 PN-sequence 주기가 20,000 이상 되어야 한다.

식 (1)은 PN-sequence 최대 주기 T_{MAX} 를 나타내었다.

$$T_{MAX} = 2^m - 1 \quad (1)$$

식 (1)에서 m 은 PN-generator에서 사용되는 쉬프트 레지스터의 길이이다. PN-sequence 주기가 2000 이상 되어야 하므로 $m = 11$ 이상 되어야 하므로 마진을 고려하여 $m = 15$ 인 PN-generator를 설계하였다. 식

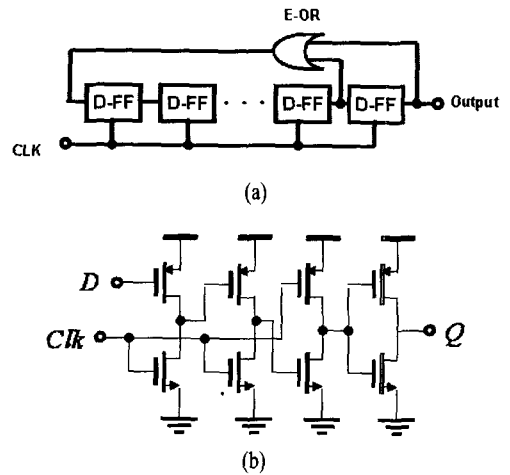


그림 5. (a) 15 bit PN-sequence 블록 다이어그램, (b) TSPC 구조의 D-flip flop 회로도
 Fig. 5. (a) Block diagram of the 15 bit PN-sequence, (b) Circuit schematic of the TSPC D-flip flop.

(2)는 $m = 15$ 인 생성 다항식을 나타내었다.

$$p(x) = x^{15} + x^{14} + 1 \quad (2)$$

식 (2)에서 x^{15} 와 x^{14} 을 E-OR하여 피드백 하는 구조로 15 bit PN-generator를 구성하였으며 그림 5(a)에 나타냈다. 그림 5(b)는 PN-generator의 D-flip flop의 회로도로서 TSPC(True Single Phase Clock) 구조를 사용하고 있다. CML(Current Mode Logic)은 높은 주파수에 동작하는 구조로서 소비 전력이 크고 회로가 복잡한 단점이 있어 이를 개선하기 위해 간단한 구조에 전력 소비가 적은 TSPC(True Single Phase Clock) 구조의 D-flip flop으로 설계하였다^[6].

그림 6은 주파수 상향 변환기 회로도를 나타내었다. Double balance 구조의 mixer로서 출력에 LO 신호와 입력 신호를 억제하였다. 입력에 차동 신호가 입력되면 NMOS M_5 와 M_6 에 의해 증폭되며 스위칭 코어인 NMOS $M_1 \sim M_4$ 는 M_5 와 M_6 에서 증폭된 신호와 LO를 mixing하여 load 저항 R_1 과 R_2 에 각각 출력하는 구조를 사용했다.

III. 측정 결과

본 논문에서는 TSMC 0.18um CMOS 공정을 이용하여 quasi-chaotic 신호 발생 회로를 설계 및 제작하였다. 측정은 PCB(Printed Circuit Board)를 제작하여

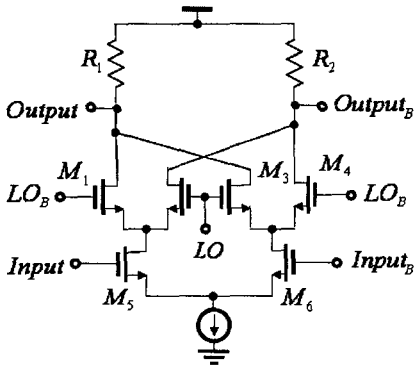


그림 6. 주파수 상향 변환기 회로도
Fig. 6. Circuit schematic of the up-mixer.

CoB(Chip on Board)로 측정하여 성능을 검증하였다.

그림 7은 $V_{ctrl}=1.17$ V에서의 출력 주파수를 spectrum analyzer로 측정한 결과를 나타내었다. 원하는 주파수 4 GHz에서 출력되고 있음을 알 수 있다.

그림 8은 VCO 제어 전압에 따른 주파수 변화를 나타내었다. 시뮬레이션은 RF model의 트랜지스터를 이용하여 트랜지스터의 기생 성분은 고려하여 설계하였으며 설계된 VCO의 발진 주파수는 3.85~4.25 GHz이다. 그러나 측정은 layout 상의 기생 커패시터의 영향으로 3.75~4.1 GHz에서 발진하였다. 이 결과 VCO의 발진 주파수 측정치가 시뮬레이션 결과보다 0.1 GHz 낮아짐을 알 수 있다.

그림 9는 VCO에서 출력되는 4 GHz의 신호를 divide_by_4한 출력을 나타내었다. 4 GHz 신호가 나누기 4가 되어 1 GHz 신호가 출력되고 있다.

그림 10은 divide_by_4의 출력인 1 GHz의 신호로

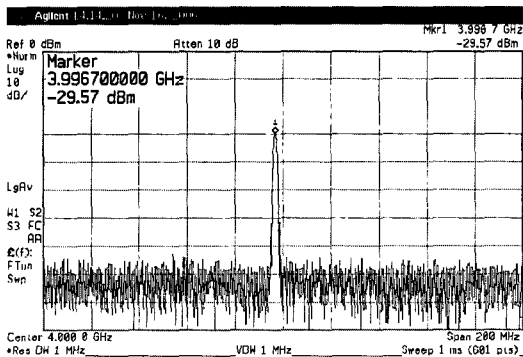


그림 7. VCO 출력
Fig. 7. Measured the VCO.

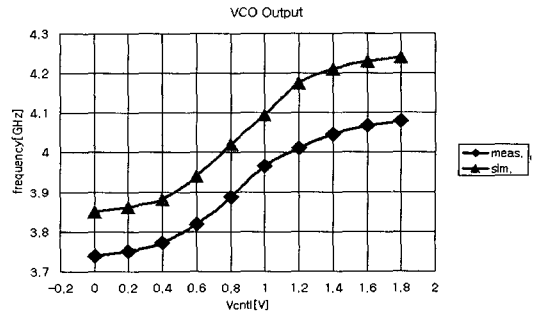


그림 8. 제어 전압에 따른 출력 주파수
Fig. 8. Measured the output frequency Vs control voltage.

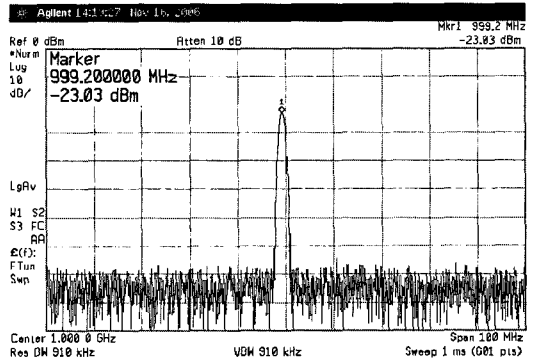


그림 9. Divide_by_4 출력
Fig. 9. Measured the divide_by_4.

PN-sequence를 동작시킨 출력을 나타내었다. 1 GHz 까지 수도 랜덤 신호가 나타나는 것을 알 수 있다. 그림 11에 quasi-chaotic 신호 발생기의 출력을 나타냈다. VCO의 4 GHz 신호와 PN_sequence 출력을 up-

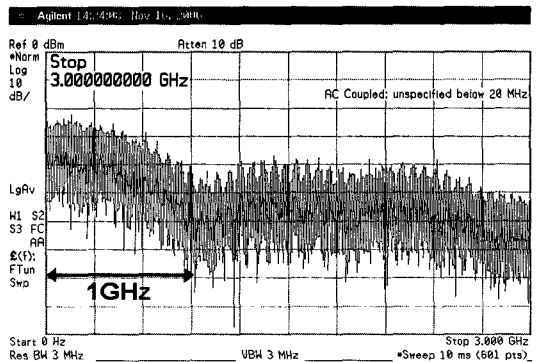


그림 10. PN-sequence 출력
Fig. 10. Measured the PN-sequence.

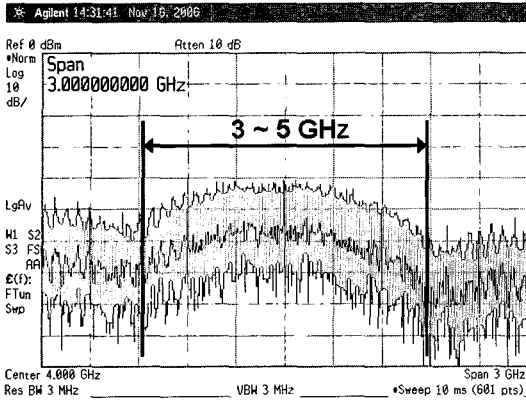


그림 11. Chaotic 신호 발생기 출력
Fig. 11. Measured the chaotic signal generator.

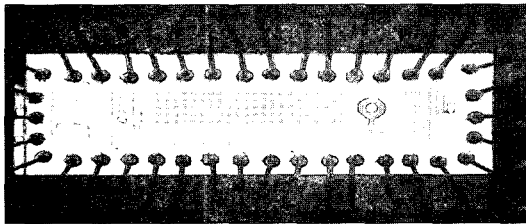


그림 12. 제작된 칩 사진
Fig. 12. Microphotograph of the manufactured chip.

mixing 하여 3~5 GHz까지 수도 랜덤 신호가 나타나고 있다. 그림 12는 제작된 칩 사진으로 크기는 $2.4 \times 0.9 \text{ mm}^2$ 이다.

IV. 결 론

최근 UWB chaotic-OOK 시스템에 대한 연구가 많이 진행되고 있다. Chaotic 신호를 이용한 통신 시스템에서 안정적인 chaotic 신호 발생기가 중요 회로 중에 하나이다. 이 시스템에서 중요 회로 중에 하나인 chaotic 신호 발생 회로는 현재 대부분 아날로그 피드백 구조를 이용하고 있어 공정 변화에 대량 생

산에 문제점이 있다. 이를 해결하기 위해 본 논문에서는 디지털 구조에 PN-sequence를 이용하는 quasi-chaotic 신호 발생기를 제안하였다. 제안된 quasi-chaotic 신호 발생기를 검증하기 위해 0.18 um CMOS 공정을 이용하여 설계 및 제작하였다. 제작된 칩은 CoB를 통해 측정하였으며 디지털 구조를 이용하여 공정 변화에 둔감한 회로로서 UWB chaotic-OOK 시스템에 응용이 가능할 것이다.

참 고 문 헌

- [1] A. Batra et al., "Multi-band OFDM physical layer proposal", *IEEE 802.15. Task Group 3a*, Jul. 2003.
- [2] T. Stojanovski, L. Kocarev, "Chaos-based random number generators-Part I: Analysis", *IEEE Trans. Circuits and System I*, vol. 48, pp. 281-288, Mar. 2001.
- [3] H. J. Song, K. D. Kwack, "CMOS circuit design and implementation of the discrete time chaotic chip", *Proc. IEEE Int Symp. Circuit and System*, vol. 3, pp. 73-76, May. 2002.
- [4] Eng-Ting Hsu, Chung-Yu Chiang, and Ting-Yueh Chih, "Design of low power with low phase noise of VCO by CMOS process", in *Proc. APMC. 2005*, vol. 2, p. 4, Dec. 2005.
- [5] Rana Ram Singh, "A high speed high divide-by-value dual-modulus CMOS prescaler", *IEEE Trans. Circuits and System II*, pp. 1-4, 2005.
- [6] Sangho Shin, Kwyro Lee, and Sung-Mo Kang, "3.48 mW 2.4 GHz range frequency synthesizer architecture with two-point channel control for fast settling performance", in *Proc. IEEE International SOC Conference*, pp. 1-6, Sep. 2005.

정 무 일



2000년 2월: 한밭대학교 정보통신 공학과 (공학사)
2002년 2월: 한밭대학교 정보통신 공학과 (공학석사)
2006년 7월~현재: 한밭대학교 전 파공학과 박사과정
[주 관심분야] 집적회로 설계, RF

시스템 설계

이 창 석



1984년 2월: 경북대학교 전자공학과 (공학사)
1986년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1986년 2월~1998년 3월: 한국전자 통신연구원 책임연구원

1998년 4월~현재: 한밭대학교 정보통신컴퓨터공학부 부 교수

[주 관심분야] 고주파 집적회로(MMIC) 설계