

| 프로브카드 제조기술 동향 및 신경망을 이용한 지능형 프로브 탐침 설계기술

1. 서론

일반적으로, 반도체 칩의 제작을 위해서는 그림 1에 나타난 바와 같이 전 제조공정(Front End Process)을 통해 웨이퍼에 형성된 다수의 IC들은 먼저 웨이퍼상(Wafer Level)에서 EDS(Electrical Die Sorting) 테스트를 거치게 된다. EDS 테스트의 목적은 반도체 공정 중 웨이퍼 상태에서 IC를 검사함으로써 초기 단계에서 불량품을 선별하여 불필요한 패키징 비용을 절감하는 것은 경제적인 측면에서 대단히 중요하다. EDS 테스트를 위해서는 그림 2에 나타난 바와 같이 프로버(Prober), 프로브 스테이션(Probe Station) 및 프로브카드(Probe Card)로 구성된 EDS 테스트 장비를 필요로 한다. 프로브 스테이션은 테스트 할 IC에게 전기적인 신호를 보내고 테스트된 신호를 측정하는 역할을 하며, 프로버는 프로버의 척(Chuck) 위에 웨이퍼를 로딩(Loading)하고 스테이지를 이동시키며 IC의 패드와 프로브카드의 탐침을 접촉시켜주는 역할을 한다. 그리고 프로브카드는 웨이퍼 상태에 있는 IC를 검사하기 위하여 검사장치(프로버와 프로브 스테이션)와 기계적 접촉으로 전기 신호를 연결해주는 역할을 한다. 즉, 제작된 다

김태선 조교수
(가톨릭대학교 정보통신전자공학부)
민철홍 석사과정
(가톨릭대 대학원 컴퓨터공학과)

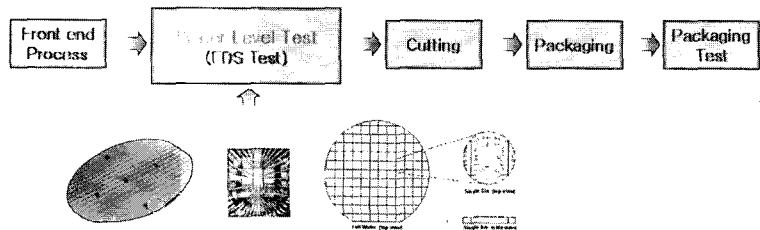


그림 1. EDS(Electrical Die Sorting) 테스트.

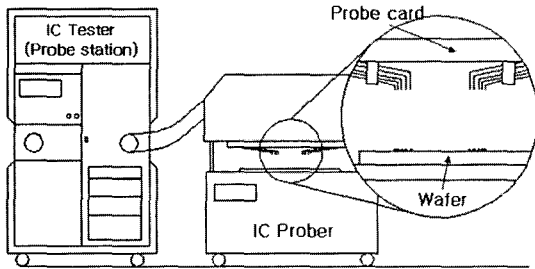


그림 2. EDS 테스트 장비.

수의 칩들을 동시에 테스트하기 위해 PCB(Printed Circuit Board) 위에 미세탐침(프로브 탐침)을 고정시키고, 이를 테스트하고자하는 칩의 본딩패드(Bonding Pad)에 접촉시킨 후 프로브 스테이션의 전기적 신호를 받아 칩으로 전해주는 검사장비로 EDS 테스트의 핵심장비이다.

이러한 프로브카드는 탐침의 모양과 구조에 따라 수평형 타입의 프로브카드와 수직형 타입의 프로브카드, 그리고 MEMS 타입의 프로브카드로 나뉜다.

2. 프로브카드 개발동향

반도체 칩의 테스트 시간은 디바이스마다 차이가 있으나 수분에서 수십 분까지 소요된다. 따라서 한번에 많은 칩을 동시에 테스트 하면 할수록 제조시간 및 비용의 관점에서 효율적이다. 현재 128 DUT(Device Under Test) 수준의 프로브카드가 개발되었으나, 이 경우 칩 당 I/O 패드 수가 상대적으로 적은 디바이스에 제한되며, 일반적으로 현재 널리 사용되고 있는 수평형 프로브카드의 테스트 수준은 64 DUT 정도이다.

2.1 수직형 프로브카드

수평형 프로브카드는 텅스텐 와이어(직경 약 150 ~ 250 μm)를 바늘처럼 미세하게 연마하여 만든 프로

브 탐침들을 그림 3과 그림 4와 같이 칩 패드의 위치에 맞게 수평으로 수천 개씩 적층하고 배열하는 구조를 갖으며, 현재 보편적으로 사용되고 있는 형태의 프로브카드이다[1]. 수평형 프로브카드는 수천 개의 프로브 탐침을 적층해야 하는 구조적 한계 때문에 테스트할 패드의 수와 칩의 수가 증가할 경우 프로브 탐침의 간격이 너무 가까운 나머지 탐침간의 단락(Short)이 발생하거나 미세누설전류(Leakage Current)가 흘러 테스트의 신뢰도를 떨어트릴 수 있어 테스트 오류의 가능성이 높다. 또한 프로브 탐침들 간의 간섭으로 인해 고주파 테스트도 어려운 실정이다.

현재 일부 고주파 테스트를 하는 수평형 프로브카드가 개발된 사례가 있으나 이는 핀 수와 테스트할 수 있는 칩의 수가 매우 제한적인 경우에만 가능하였다[3][4]. 최근에는 수평형 프로브카드를 이용해 동작속도가 빠른 메모리 테스트용 프로브카드가 개발[4]되고 있으나 그림 5와 같이 고주파 테스트를 위해 크기가 큰 고주파 전용 프로브 탐침을 사용하고 있어 멀티테스트 및 고밀도의 칩패드 간격을 갖는 칩 테스트에 적합하지 못하다.

2.2 수직형 프로브카드

기존 수평형 프로브 카드는 프로브 탐침을 수평으로 적층하는 방법을 이용하였다. 그에 따른 문제점을 극복하고자 프로브 탐침을 수직으로 세워 프로

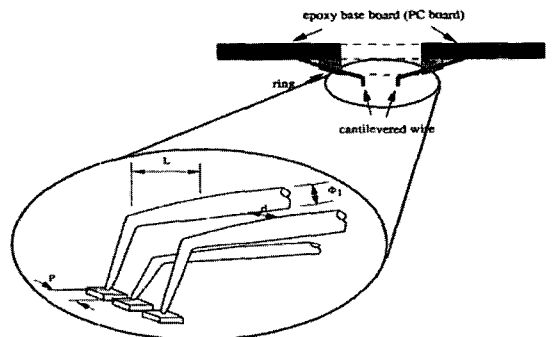
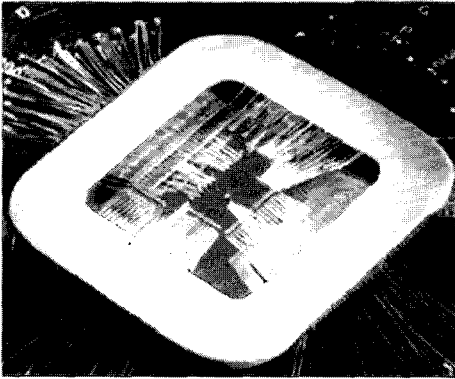
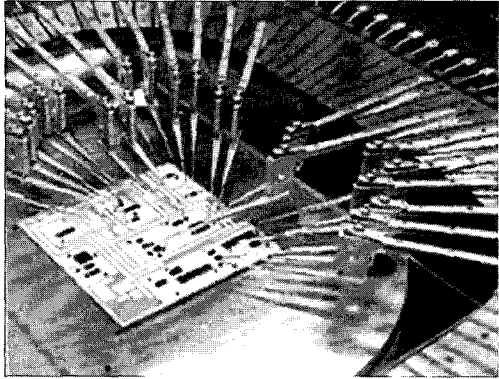


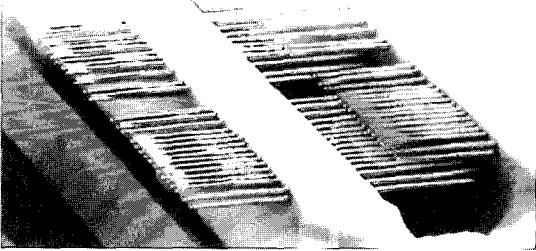
그림 3. Mitsubishi Electric의 수평형 프로브 카드[1].



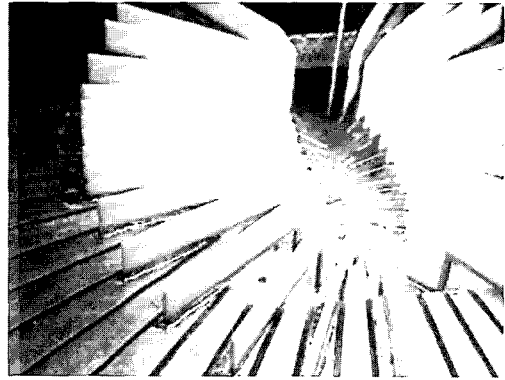
(a)



(a)



(b)



(b)

그림 4. 수평형 프로브 카드의 프로브 모듈(sv Probe社)[2].

그림 5. 고주파 테스트용 프로브 탐침(Accuprobe社)[5].

브 탐침간의 간섭을 최소화 하려는 목적으로 수직형 프로브카드가 개발 되었다[6]. 수직형 프로브카드의 초기 형태는 그림 6과 같이 텅스텐 프로브 니들에 밴딩(Bending)을 주어 프로브 니들이 스프링 구동을 하계끔 설계 되었으며, 그 후 밴딩 모양과 재질이 바뀌며 여러 형태로 진화 하였다.

현재 가장 많이 사용되고 있는 수직형 프로브카드는 일본의 JEM (Japan Electronic Materials)社와 독일의 KNS (Kulicke & Soffa)社 그리고 미국의 Wentworthlabs 등이 있다. 그림 7은 일본 JEM의 수직형 프로브카드로서, 그림 6의 AKM(Asahi Kasei Microsystems)社의 프로브카드와 비슷한 구조를 가

지고 있으나, 프로브 탐침의 밴딩 모양과 위치가 조금씩 차이가 있다. JEM社의 프로브카드 경우에 테스트 패드의 수가 증가하고 고밀도 테스트를 위해 프로브 니들의 간격이 축소될 경우 칩 테스트를 하면서 수직으로 세운 텅스텐 와이어의 버클링(Buckling)현상으로 인해 밴딩된 부분에서 뒤틀림이 발생하여 인접 프로브 탐침과의 쇼트를 유발하는 경우도 있으며, 에폭시(Epoxy)로 프로브 탐침들을 몰딩하기 때문에 핀들의 수리가 불가능하다는 단점을 가지고 있다.

그림 8은 독일 KNS社와 미국 Wentworth Labs.에

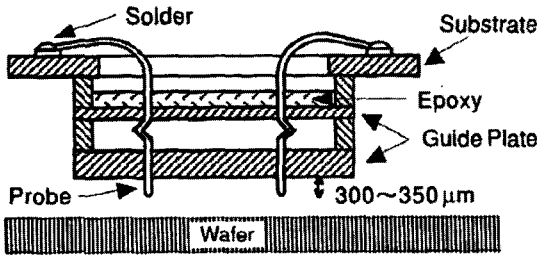


그림 6. Asahi Kasei Microsystems의 수직형 프로브 카드[6].

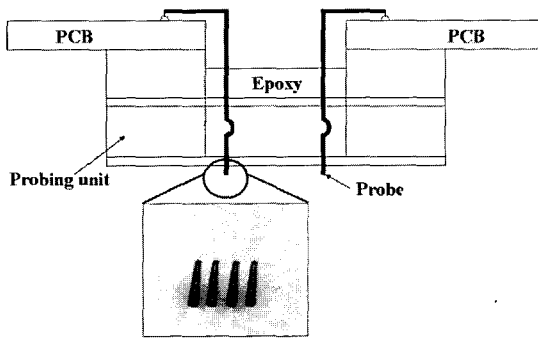


그림 7. JEM社의 수직형 프로브 카드 [7][8].

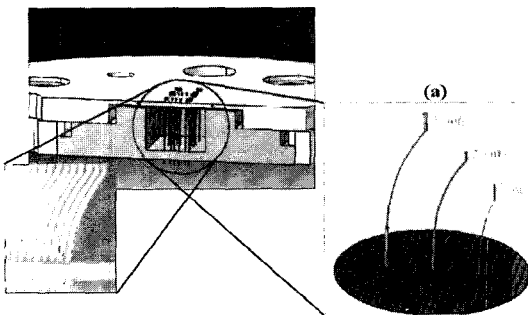


그림 8. 코브라 타입의 수직형 프로브 카드(KNS社)[9][10].

서 제작하고 있는 수직형 프로브카드이다. 코브라 타입이라고도 불리는 프로브카드는 그림 8의 (a)와 같이 슬로프(Slope)를 갖는 얇은 판을 가공하여 프로브 탐침을 만들어 모듈 안에서 스프링 구동을 유도하는 구조이다. 코브라 타입의 프로브카드는 기존 수직형 프로브카드와 다르게 프로브 탐침에 밴딩된 부분이 없기 때문에 버클링 현상으로 인한 쇼트를 방지할 수 있는 장점이 있다. 그러나 작은 크기의 프로브 탐침을 가공하기가 힘들기 때문에 고밀도 프로브 테스트에는 한계가 있다.

2.3 MEMS 프로브카드

상기 기술한 수평형 및 수직형 프로브카드의 한계를 극복하고 고밀도의 프로브 테스트를 실현하기 위해 그림 9와 같은 구조의 Membrane 프로브카드가 미국 IBM社에 의해 최초로 개발되었다 [11][12][13]. Membrane 타입의 프로브카드는 프로브 탐침 대신 Flexible 기판위에 반도체 공정을 이용하여 수십 μm의 메탈 범프(Bump)를 형성시켜 사용하였기 때문에 탐침간의 간섭이 없고 메인 기판과 프로브 탐침간의 임피던스매칭이 필요 없이 Flexible 기판위의 선폭으로 임피던스를 맞출 수 있는 장점을 갖고 있었다.

그러나 Membrane 타입의 프로브카드는 프로브 탐침 역할을 하는 각각의 범프에 Tension이 없이 모듈전체가 움직이며 평탄도를 잡는 구조 때문에 프로브 테스트를 시행할 경우 일부 특정 범프들의 접촉 저항이 줄지 않고 심지어는 "Open Fail"이 발생할 수 있으며, 또한 장시간 Touch Down시 범프가 쉽게 마모되고 조개지는 단점으로 인해 현재는 사용되지 않고 있다.

그 뒤 MEMS 공정을 이용한 많은 타입의 프로브카드가 개발되었다. 일본 NEC社의 경우 MEMS 공정을 이용하여 텅스텐을 Cantilever 끝단에 형성시키고 그 밑단을 시각공정을 이용하여 함몰시킨 방법의 Cantilever 타입을 개발[14]하였으나 이 역시 Cantilever 윗단의 Metal Film과 형성된 텅스텐 탐침이 장시간의 Touch Down시에 역시 조개짐 현상이 일어나는 단점이 있어 상용화에 실패하였다. 2004년 일본 도쿄대학의 Kataoka은 그림 10과 같이 마이크

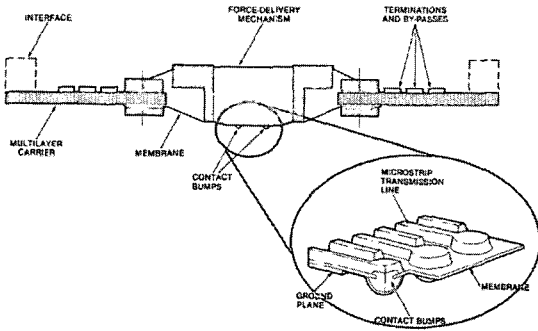
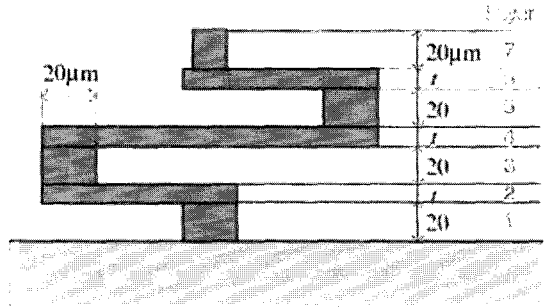


그림 9. Membrane 타입의 프로브 카드[13].

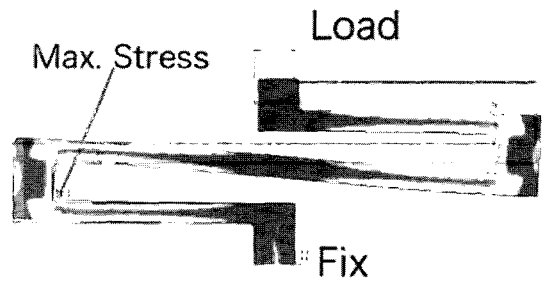


(a)

로 스프링 구조의 MEMS 프로브카드구조를 제안했다. 이 방법은 PCB세라믹 기판위에 PR(Photoresist)을 올려 니켈 도금하고 이를 반복적으로 실행하여 구조물을 적층시키는 방법으로 마이크로 스프링을 제작하였다[15][16]. 일반적인 칩 테스트의 경우 첫번째 프로브 탐침이 패드에 접촉하고 나머지 프로브 탐침들이 전부 접촉되는 거리(Over Drive, 이하 : O.D)가 최대 60 μ m ~ 120 μ m까지 된다. 그러나 그림 10의 마이크로 스프링은 최대 구동거리가 40 μ m 정도로 짧고 도금의 반복으로 마이크로 스프링을 제작하여 그 부분의 내구성이 약한 단점을 가지고 있다.

현재 MEMS 프로브카드 중 가장 유명한 업체는 미국의 폼팩터(Fromfactor)사이다. 1993년에 설립된 폼팩터사는 와이어 본더를 이용하여 그림 11과 같이 마이크로 스프링을 제작하는 방법으로 MEMS 프로브카드를 업계최초로 상용화 하였다[17][18].

Micro Spring™ 프로브카드(폼팩터사)의 제작공정은 와이어 본더를 이용하여 마이크로 스프링 모양을 만들고 전해도금을 통해 마이크로 스프링의 Tension강도를 높인다. 그 다음 끝단을 절단하고 절단된 마이크로 스프링위에 희생층이라고 하는 프로브 탐침층을 가열하여 마이크로 스프링에 접합시켜 프로브 탐침을 제작한다. 그러나 프로브 탐침층과 마이크로 스프링을 접합시키기 위해서는 탐침층을 400~500℃까지 가열하는 공정을 거치게 되는데 그로인해 탐침층에 열 변형이 생겨 마이크로 스프링의



(b)

그림 10. 일본 도쿄대 마이크로 스프링의 구조[15][16].

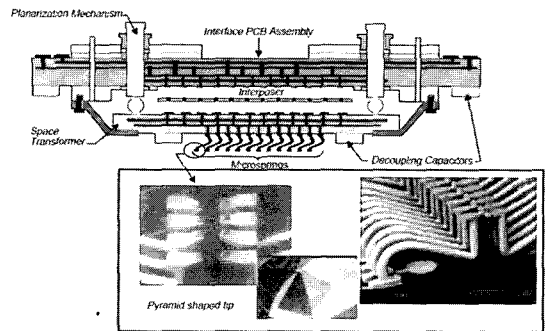


그림 11. 폼팩터(Fromfactor)사의 MEMS 프로브 카드 [7][19].

탐침 위치가 틀어지는 Align 문제가 발생하기도 한다. 또한 제작공정이 복잡하고 제작기간이 길어 제작비용이 높다는 단점을 가지고 있다.

3. 신경회로망을 이용한 프로브 탐침의 지능형 예측모델 설계

수백에서 수천 개가 되는 프로브카드의 탐침을 IC 패드 위에 일치시키는 것은 대단히 어려운 일이다. 또한 장시간 프로브 테스트를 진행하면 프로브 탐침의 위치가 조금씩 변하기 때문에 기존 수평형 프로브카드는 재조정작업을 수시로 해주어야 했다. 그리고 프로브 탐침들의 평탄도가 안 좋으면 모든 프로브 탐침들의 접촉 저항을 균일하게 하기 위하여 O.D양을 증가시켜 일정한 접촉저항을 유지해 준다. 이 때 프로브 탐침의 끝이 칩 패드 위에서 밀리는 Scrubbing 현상이 일어나는데, 정상적인 Scrubbing 현상은 웨이퍼 가공공정의 최종단계에서 입혀지는 SiO₂의 보호 피막이나 알루미늄 패드(Al Pad)상에 형성된 산화피막(Al₂O₃)을 제거시켜 접촉저항을 낮추는 역할을 하기도 한다. 그러나 이 현상이 과도하면 패드를 손상시켜 와이어 본딩(Wire Bonding)이 되지 않으며 프로브 탐침이 패드를 벗어나 칩 자체에 손상을 입힐 수 있다. 그리고 Scrubbing으로 생성되는 칩 패드의 알루미늄 조각들은 전기적신호에 잡음을 유발하여 정확한 프로빙 테스트를 방해할 수 있다. 이 같은 문제점들을 해결하기 위한 방법 중 하나가 프로브 탐침들의 균일한 장력유지이다. 즉 테스트 칩 디바이스에 따라 서로 다른 프로브 탐침의 장력 컨트롤이 필요하다. 그러나 모든 경우에 대해 프로브 탐침의 장력을 측정하여 적용하는 것은 비용과 시간적으로 비효율적이기 때문에 프로브카드의 제조에 직접 적용할 수 있는 프로브 탐침의 장력 모델링 기법이 필요하다.

3.1 프로브 탐침의 장력 측정

대부분의 프로브카드 제조업체는 자신들의 스펙에 한해서 프로브 탐침의 장력데이터를 가지고 있다. 프로브카드의 장력은 PRVX(프로브카드 테스트



그림 12. Applied Precision社의 PRVX 장비[20].

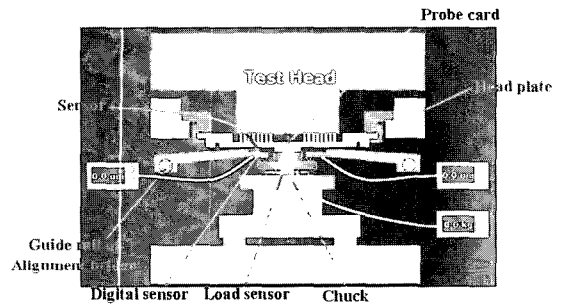
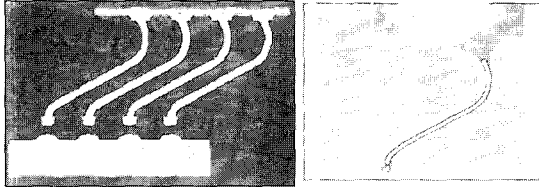


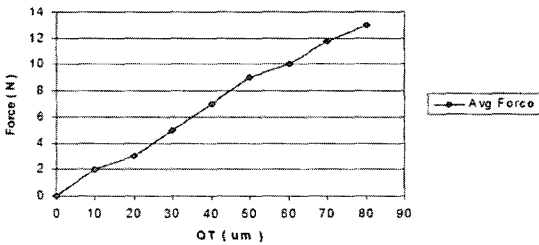
그림 13. TEL社의 PCMS 장비(폼팩터社 제공)[7][19].

장비)나 PCMS(Probe Card Characteristics Measurement System)을 통해 측정하며 그림 12는 Applied Precision社의 PRVX 장비이고 그림 13은 TEL社의 PCMS 장비 개략도이다.

그림 14의 (a)는 폼팩터社의 마이크로 스프링 구조이며 (b)는 TEL社의 PCMS 장비로 측정된 폼팩터社의 마이크로 스프링 장력데이터이다. 이와 같은 경우, 칩 디바이스의 스펙이 변경되면 새로운 마이크로 스프링 구조를 설계해야 하고 또 다시 마이크로 스프링의 장력을 측정해야 하는 번거로움이 생기게 된다. 이러한 번거로움을 줄이고 시간과 비용을 절약하기 위해서 프로브 탐침의 장력 모델링이 필요하다.



(a)



(b)

그림 14. 폼팩터(Fromfactor)사의 MEMS 프로브 카드 [7][19].

3.2 신경회로망 알고리즘

프로브 탐침의 특성예측모델로 사용한 오류역전파 알고리즘(Error Backpropagation Algorithm)은 그림 15와 같이 입력층, 은닉층, 출력층으로 구성되어 있다. 프로브 탐침에서 조작할 수 있는 장력특성의 변수(프로브 탐침의 두께, 길이, 높이, OD값 등) 값을 신경회로망(오류역전파 알고리즘)의 입력 값으로 하며, 입력층에서 출력된 값과 입력층과 은닉층 사이의 연결가중치를 곱하여 식(1)과 같이 은닉층의 입력(net_j)으로 한다. 만약, 문턱값(θ_j)이 존재하는 경우 은닉층의 입력에 더해준다.

$$net_j = \sum_i w_{ji} o_i + \theta_j \quad (1)$$

은닉층의 입력을 활성화함수($f(net_j)$)에 취하여 출력값으로 하며, 식(2)는 프로브 탐침의 장력 모델링에

사용한 시그모이드 함수식이다.

$$o_i = f(\neq t_j) = \frac{1}{1 + e^{-net_j}} \quad (2)$$

여기서 w_{ji} 는 뉴런 i 와 뉴런 j 의 입력이며 net_j 는 뉴런 j 의 입력, $f(net_j)$ 는 j 뉴런의 입력에 대한 활성화함수, θ_j 는 j 뉴런의 문턱값, o_i 는 뉴런 i 의 출력값이다.

은닉층에서 출력된 값과 은닉층과 출력층 사이의 연결가중치를 곱하여 출력층의 입력으로 한다. 이 경우에도 문턱값이 존재하는 경우 더하여 주며, 출력층의 입력을 활성화함수에 취하여 최종 출력값을 계산하며 목적패턴과 최종 출력값을 비교하여 오차를 계산한다. 만약 오차가 적절하지 못하면 역전파를 수행하며 오차가 적절하면 최종값을 출력한다.

3.3 프로브 탐침의 특성예측 모델링 결과

그림 16은 특성예측모델링을 위한 수직형 프로브 카드의 구조이며, 프로브 탐침의 장력 변수는 표 1과 같이 높이(H), 쉬프트 양(S), 두께(D), OD양이다. 일부 프로브 탐침의 장력변수에 대해 장력을 측정하고 그 결과를 신경회로망의 학습데이터로 사용하여 스프링의 장력 특성을 모델링 할 수 있다. 각각의 조건에서 O.D값은 10~250 μm 까지 10 μm 단위로 측정 한 스프링의 장력 데이터 25개씩 총 350개의 데이터를 입력으로 학습을 시켰으며 나머지 데이터는 테스트 샘플로 사용하였다.

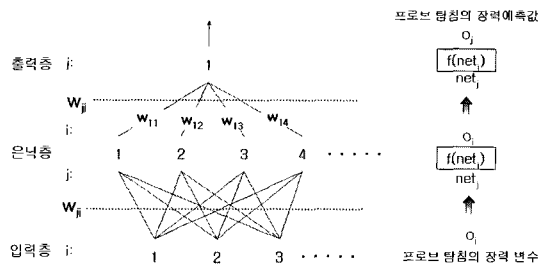


그림 15. 프로브 탐침의 예측모델 알고리즘 구조[21].

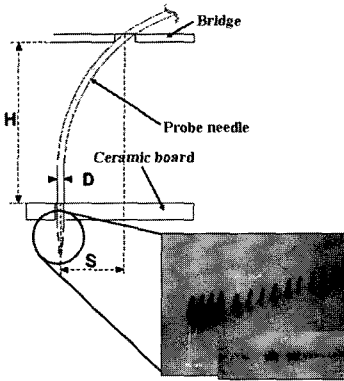


그림 16. 수직형 프로브 카드의 구조.

신경회로망을 이용한 프로브 탐침의 장력예측모델은 다중회귀분석의 통계방법과 비교하였으며 성능 평가는 RMSE(Root Mean Squared Error)을 사용하였다. RMSE(σ)의 계산은 식(3)과 같다.

$$\sigma = \sqrt{\frac{1}{(n-1)} \sum_{i=1}^n (y_i - \hat{y}_i)^2} \quad (3)$$

여기서, n은 테스트 데이터 값이며, y_i 는 측정된 프로브 탐침의 장력데이터 값이고, \hat{y}_i 은 신경회로망의 예측모델로부터 예측된 프로브 탐침의 장력값이다. 표 2.는 신경회로망 예측모델과 다중회귀분석의 RMSE값 비교표이다. 그 결과 제안된 신경회로망의 RMSE값은 1.36 g으로 다중회귀분석의 RMSE값은 6.25 g 보다 78.2 %의 개선된 예측모델 결과를 얻을 수 있었다. 그림 17은 신경회로망과 다중회귀분석의 장력예측결과 산점도이다.

표 1. 모델링 입력 파라미터의 변수와 입력범위.

Parameter	Range	Units
Height (H)	8~12	mm
Shift (S)	5~7	mm
Diameter (D)	80~100	m
Overdrive (OD)	10~250	m

표 2. 예측 모델의 RMSE 비교.

	Proposed model	Multiple Regressions	% Improvement
RMSE	1.36 g	6.25 g	78.2 %

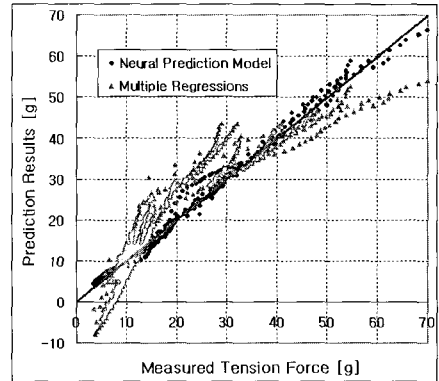


그림 17. 신경회로망과 다중회귀분석의 예측결과 비교.

4. 프로브카드의 향후 전망

현재 300 mm 반도체 웨이퍼의 양산과 더불어 반도체 칩의 I/O 패드간격(Pad Pitch)은 계속 축소되고 있으며, SoC(System on Chip) 및 SiP(System in Package) 기술의 발전에 따라 기존 수평형 및 수직형 프로브카드는 프로빙 밀도의 한계에 다다름에 따라 그 복잡성을 극복할 수 있는 차세대 MEMS 프로브카드 기술이 요구되고 있다. 그러기 위해서는 고밀도의 I/O 패드간격, 낮은 접촉저항 및 신뢰성을 확보한 새로운 형태의 프로브 탐침 구조를 갖는 MEMS 프로브카드가 필요한데, 기존 수평형 프로브카드나 수직형 프로브카드로는 고밀도의 프로브 테스트의 한계가 있다. 따라서 많은 프로브카드 제조업체들은 반도체 공정을 이용한 MEMS 프로브카드 개발에 집중하고 있으나 기술적인 문제점과 시설확보에 따른 부담으로 인해 개발의 진척이 늦어지고 있다. 또한 상용화된 기존 MEMS 프로브카드들은 공정이 복잡하고 제작기간이 길어 제품의 가격이 비싼 단점을 가지고 있으나 상기 기술한 프로브 탐침

의 장력예측 모델링기법 등의 지능형 제조방법을 이용하면 제조단가와 제작기간을 줄일 수 있을 것으로 기대한다.

참고 문헌

- [1] Tada, T.; Takagi, R.; Nakao, S.; Hyozo, M.; Arakawa, T.; Sawada, K.; Ueda, M., "A fine pitch probe technology for VLSI wafer testing", Test Conference, pp.900 - 906, 1990
- [2] <http://www.svprobe.com>
- [3] Pandey, R.; Higgins, D., "P4 probe card a solution for at-speed, high density, wafer probing", Test Conference, pp.836 - 842, 1998.
- [4] Iwai, H.; Nakayama, A.; Itoga, N.; Omata, K., "Cantilever type probe card for at-speed memory test on wafer", VLSI Test Symposium, 23rd IEEE, pp.85 - 89, 2005.
- [5] <http://www.accuprobe.com>
- [6] Sasho, S.; Sakata, T., "Four multi probing test for 16 bit DAC with vertical contact probe card", Test Conference, pp.86 - 91, 1996
- [7] <http://www.swtest.org>
- [8] <http://www.jemam.com>
- [9] <http://www.kns.com/SendFile.asp?TID=13&FID=2225>
- [10] <http://www.wentworthlabs.com/product/cobra.htm>
- [11] Leslie, B.; Matta, F., "Membrane probe card technology", Test Conference, New Frontiers in Testing, pp.601 - 607, 1988.
- [12] Leung, J.; Zargari, M.; Wooley, B.A.; Wong, S.S., "Active substrate membrane probe card", Electron Devices Meeting, pp.709 - 712, 1995.
- [13] T.H. Dill and R.J. Rosalli. "Film Supported Probe for the AC Pulse Testing of Integrated Circuits", J. Vol.10, No.10, 1968.
- [14] Soejima, K.; Kimura, M.; Shimada, Y.; Aoyama, S., "New probe microstructure for full-wafer, contact-probe cards", Electronic Components and Technology Conference, pp.1175 - 1180, 1999.
- [15] Kataoka, K.; Itoh, T.; Suga, T.; Inoue, K., "Contact properties of Ni micro-springs for MEMS probe card", Proceedings of the 50th IEEE, pp.231 - 235, 2004
- [16] Kataoka, K.; Itoh, T.; Inoue, K.; Suga, T., "Multi-layer electroplated micro-spring array for MEMS

probe card" Micro Electro Mechanical Systems(MEMS), pp.733 - 736, 2004.

- [17] Formfactor, Inc. U.S. Pat. 5,601,740, "Method and apparatus for wirebonding, for severing bond wires, and for forming balls on the ends of bond wires"
- [18] Formfactor, Inc. U.S. Pat. 5,773,780, "Method of severing bond wires and forming balls at their ends"
- [19] <http://www.formfactor.com>
- [20] <http://www.api.com>
- [21] 오선권, "프로그래밍에 의한 컴퓨터지능", 내하출판사, 2002.

저자약력



성명 : 김태선

- ◆ 학력
- 1991년
인하대 전기공학과 공학사
 - 1993년
인하대 전기공학과 공학석사
 - 1998년
Georgia Institute of Technology, 전기 및 컴퓨터 공학박사

- ◆ 경력
- 1999년 - 1999년
(美)Packaging Research Center, Georgia Institute of Technology, Postdoctoral Research Associate,
 - 1999년 - 2001년
삼성전자 반도체 책임연구원
 - 2001년 - 현재
가톨릭대 정보통신전자공학부 조교수



성명 : 민철홍

- ◆ 학력
- 2005년
가톨릭대 반도체시스템 공학사
 - 현재
가톨릭대 대학원 컴퓨터공학과 석사과정

- ◆ 경력
- 1999년 - 2002년
(주)람소닉 개발부