

EEPROM 셀에서 폴리실리콘 플로팅 게이트의 도핑 농도가 프로그래밍 문턱전압에 미치는 영향

Effects of Doping Concentration in Polysilicon Floating Gate on Programming Threshold Voltage of EEPROM Cell

장성근^{1,a}, 김윤장²

(Sung-Keun Chang^{1,a} and Youn-Jang Kim²)

Abstract

We have investigated the effects of doping concentration in polysilicon floating gate on the endurance characteristics of the EEPROM cell having the structure of spacer select transistor. Several samples were prepared with different implantation conditions of phosphorus for the floating gate. Results show the dependence of doping concentration in polysilicon floating gate on performance of EEPROM cell from the floating gate engineering point of view. All of the samples were endured up to half million programming/erasing cycle. However, the best program- ΔV_T characteristic was obtained in the cell doped at the dose of $1 \times 10^{15} / \text{cm}^2$.

Key Words : EEPROM, Select transistor, Endurance, Floating gate, Program- V_T

1. 서 론

스마트카드, 마이크로 컨트롤러, RF 태그등과 같은 여러 가지 임베디드 시스템 응용분야에서 정보를 전기적으로 지우거나 프로그래밍 할 수 있는 메모리 (EEPROM: Electrically Erasable and Programmable Read Only Memory)에 대한 관심이 증가하고 있다[1,2]. 미래의 스마트카드는 정보 처리 기능이 있고 보안기능이 보다 우수한 것을 요구하고 있기 때문에 발전가능성이 높은 분야이다[3]. 특히 다기능을 요구하는 스마트카드는 메모리 용량과 고성능의 마이크로 컨트롤러 처리 능력에 따라 급속하게 확산될 수 있고, 이들 칩 개발은 반도체 및 부품 기술에 의존한다. EEPROM이 스마트카드 칩에 내장될 때 가장 중요한 요소는 셀

의 크기와 잦은 전기적 프로그래밍과 이레이징에 견딜 수 있는 고 내구성이다. EEPROM 셀의 가장 큰 장점은 각 셀마다 선택 게이트(select gate)가 있어 선택되지 않은 셀을 보호하기 때문에 플래시 셀(flash cell)보다 내구성이 우수하다. 하지만 EEPROM 셀의 면적을 증가시키는 요인이 되기도 한다. 미래의 스마트카드에서 요구되는 고 집적도 때문에 콤팩트한 EEPROM 셀을 개발하는 것은 필수적이다. 최근에 여러 가지 형태의 EEPROM 셀에 대한 논문이 발표되고 있다[4-6]. 이러한 EEPROM 셀 제작에서 매우 어려운 공정중의 하나는 플로팅 게이트의 터널 산화막과 컨트롤 게이트의 게이트 산화막 및 플로팅 게이트와 컨트롤 게이트 사이의 ONO (Oxide-Nitride-Oxide)층 등 여러 가지 절연막을 형성시키는 것이다. 이들 산화막을 만들기 위해 고온 산화공정이 필요하며 소자의 크기가 작아지면서 터널 산화막 가장자리 부위의 산화막 두께는 고온 산화막 생성 공정 때문에 플로팅 게이트의 도핑 방법 및 농도에 따라 산화막 성장 특성 및 poly-depletion 특성에 많은 영향을 받는다. 본 논문에서는 플로팅 게이트 이온 농도와

1. 청운대학교 디지털방송공학과

(충남 홍성군 홍성읍 남장리 산29)

2. 매그나칩 반도체

a. Corresponding Author : skchang@chungwoon.ac.kr

접수일자 : 2006. 11. 29

1차 심사 : 2006. 12. 27

심사완료 : 2007. 1. 22

중수소 어닐링 공정 추가에 따른 셀의 프로그래밍 문턱전압 및 내구성 특성의 최적화 조건을 찾기 위해 여러 가지 플로팅 게이트 이온 주입 농도를 가진 시료를 제작하여 그 특성을 평가하였다.

2. 실험

본 연구에서 사용된 시료는 8인치 p-형 기판 위에 아래와 같은 CMOS (CMOS: Complementary Metal Oxide Semiconductor) 공정으로 제작되었다. STI (Shallow Trench Isolation)공정을 적용하여 소자를 절연시키고, 고전압 우물을 형성 한 후, 85 Å의 터널 게이트 산화막을 800 °C에서 습식 산화법으로 성장시켰다. 350 nm의 폴리실리콘과 100 nm의 산화막을 LPCVD (LPCVD: Low Pressure Chemical Vapor Deposition) 방법으로 순차적으로 증착한 후 플로팅 게이트 (floating gate) 전극을 형성하였다. 산화막 증착전 폴리실리콘은 이온주입 방법에 의해 n-형 불순물로 인(P)을 도핑 했다. 산화막의 역할은 컨트롤 게이트와 플로팅 게이트의 단락을 방지하고 하드 마스크로 사용된다. 이때 플로팅 게이트의 n-형 폴리실리콘 내의 이온주입 농도에 따른 EEPROM 셀의 프로그램 문턱전압, 이레이즈 문턱전압, 내구성 특성을 조사하기위해 이온주입 농도를 달리 하였다. 그 후 산화막/질화막/산화막(ONO) 3층 구조의 바닥 산화막은 열 산화법으로, 질화막은 LPCVD에 의해 증착되었다. 질화막은 건식 식각으로 마스크 작업 없이 행하여 실리콘 표면에 있는 질화막은 모두 제거되었다. 로직 우물은 마스크 작업과 고 에너지 이온주입에 의해 형성하였으며, 프로그래밍 및 이레이징 (P/E : Programming/Erasing)을 하는 동안 고 전압을 견딜 수 있는 컨트롤 게이트를 위한 두꺼운 산화막을 다시 성장시킨 후, 폴리실리콘을 증착하고 게이트 패턴을 형성하여 컨트롤 게이트를 생성하고 금속화 공정을 완료하였다. 그림 1은 스페이서 선택 트랜지스터를 가진 EEPROM 셀의 단면을 나타낸 것이며 플로팅 게이트 폴리실리콘의 도핑농도 및 중수소 어닐링(100 % 중수소(H₃), 400 °C, 450 torr, 30 분) 적용여부에 따른 EEPROM 셀의 내구성 특성에 미치는 영향을 조사하기위하여 표 1과 같이 여러 가지 조건으로 시료를 제작하였다.

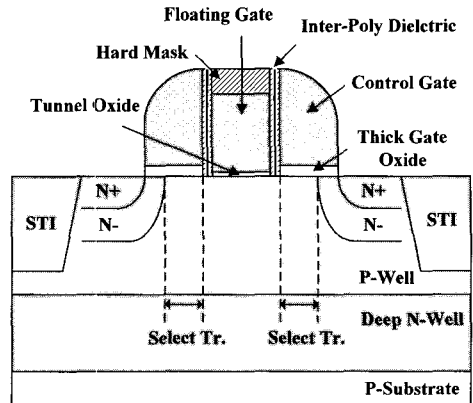


그림 1. EEPROM 메모리 셀의 단면구조.

Fig. 1. Schematic cross-sectional view of EEPROM memory cell.

표 1. 플로팅 게이트의 이온 주입 조건.

Table 1. The ion implantation conditions of floating gate.

시료	이온 주입 조건
A	P, 60 KeV, $5.0 \times 10^{15} / \text{cm}^2$
B	P, 60 KeV, $1.0 \times 10^{15} / \text{cm}^2$
C	P, 60 KeV, $5.0 \times 10^{14} / \text{cm}^2$
D	P, 60 KeV, $5.0 \times 10^{15} / \text{cm}^2$, D ₂ 어닐링

3. 결과 및 토의

셀의 프로그래밍과 이레이징은 FN (Fowler-Nordheim) 터널링에 의해 이루어진다. 자세한 단위 셀의 동작은 다른 참고문헌에 있다[7]. 프로그램 문턱전압 측정은 상온에서 64 K 비트 셀 어레이 패턴에서 행하였다. 초기 이레이징 후 모든 셀은 프로그래밍과 이레이징을 10 사이클 반복하였다. 그 후 선택된 셀은 드레인과 기판을 접지시키고, 소스는 플로팅된 상태에서 컨트롤 게이트에 16 V 를 인가하여 프로그래밍 되었고, 컨트롤 게이트를 접지하고 드레인과 기판에 14 V 를 인가하여 이레이징 하였다. 소스와 우물 (Well)은 접지시키고 드레인 전압은 1 V 인가 한 상태에서 컨트롤 게이트 전압을 0 V부터 5 V까지 변화시키면서 프로그램 문턱전압(프로그래밍 V_T)을 측정하였다.

EEPROM 셀의 내구성은 스마트카드 응용에 매

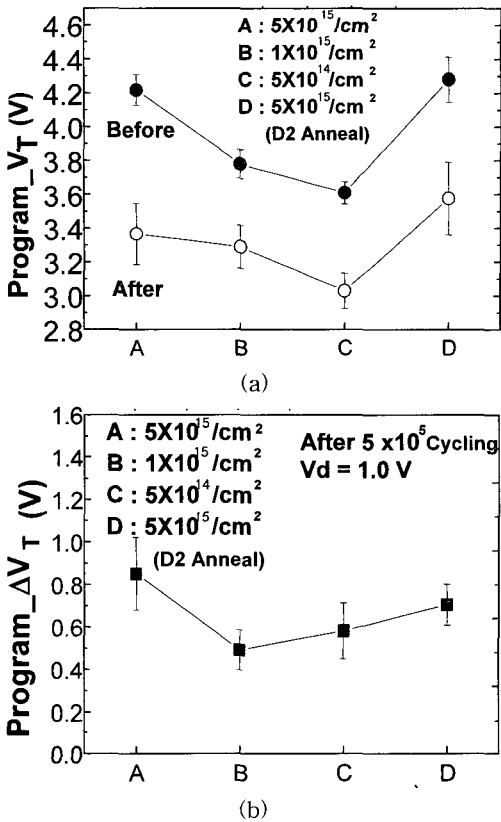


그림 2. (a) 플로팅 게이트의 이온 주입 농도 변화에 따른 5×10^5 P/E 사이클 전·후의 프로그램 문턱전압 값 및 (b) 프로그램 문턱전압 값의 변화량(ΔV_T).

Fig. 2. The program V_T (a) and the difference of program V_T (ΔV_T) (b) before and after 5×10^5 P/E cycle with varying the dose for floating gate.

우 중요한 파라미터이다. 그림 2(a)는 플로팅 게이트 폴리실리콘의 이온주입 조건 및 중수소 어닐링 적용여부에 따른 프로그래밍과 이레이징 5×10^5 사이클 반복 전·후의 프로그램 V_T 특성을 나타내고 있다. 채워진 원은 프로그래밍과 이레이징을 하기 전 상태의 프로그램 V_T , 빈 원은 내구성 특성을 조사하기 위해 프로그래밍과 이레이징 5×10^5 사이클 반복한 후의 프로그램 V_T 를 나타낸다. 그림 2에 나타나 있는 바와 같이 플로팅 게이트 폴리실리콘의 도핑농도가 감소할 때 프로그래밍과 이레이징을 하기 전 상태의 프로그램 V_T 가 감소하는 것을 볼 수 있으며 이는 플로팅 게이트내의 도핑

농도 감소에 따라 플로팅 게이트 내에서 poly-depletion 현상이 발생하고 그에 따른 프로그래밍 및 이레이징 효율의 변화에 기인한 것으로 보인다. 초기 프로그램 V_T 는 이온 주입 농도가 감소하면 같이 감소하나 프로그래밍과 이레이징 5×10^5 사이클 반복 전·후의 프로그램 V_T 차이인 프로그램 ΔV_T 측면에서 보면 모든 시료에서 내구성 특성저하가 나타나고 있으며 플로팅 게이트의 이온 주입 농도 변화에 따른 차이와 프로그램 ΔV_T 값이 이온 주입 농도 변화에 선형적으로 변하지 않고 변곡점이 존재함을 볼 수 있으며, B 시료가 상대적으로 우수한 특성을 보였다[8,9]. 또한 중수소 어닐링 영향을 확인하기 위한 시료 A와 D를 비교해보면 시료 D에서 프로그램 ΔV_T 특성이 개선됨을 알 수 있다. 이는 중수소 어닐링에 의한 Si-SiO₂ 계면 특성 개선에 기인한 것으로 판단된다[10]. 그림 3은 프로그래밍과 이레이징 5×10^5 사이클 반복 전·후의 이레이즈 V_T 를 플로팅 게이트 이온주입 농도에 따른 변화를 나타낸 것이며, 그림 2의 프로그램 V_T 특성과 상이한 특성을 보이고 있으며 프로그램 ΔV_T 값에 비해 미치는 영향이 다소 작게 나타났다.

그 이유는 프로그래밍 동작에서는 플로팅 게이트에 걸리는 높은 양 전압이 인가되면서 이온주입 농도 감소에 따라 나타나는 poly-depletion 현상에 따른 영향을 많이 받지만 이레이징 시에는 음 전압이 인가되면서 accumulation 상태가 되어 그 영향이 감소한 것으로 판단된다. 여기서 주목할 점은 중수소 어닐링 처리한 시료 D의 경우에서 보는 바와 같이 이레이즈 ΔV_T 가 감소한다는 점이다. 즉, 중수소 어닐링 처리에 따라 Si-SiO₂ 계면의 dangling bond가 안정화 되면서 계면상태에 민감한 이레이즈 ΔV_T 값이 가장 우수한 특성을 보여 주고 있다.

그림 4는 프로그래밍과 이레이징 5×10^5 사이클 반복 전·후의 단위 셀 당 이레이즈 온 전류(I_{ON})를 플로팅 게이트 이온주입 농도에 따른 변화를 나타낸 것이다. 프로그래밍과 이레이징 5×10^5 사이클 반복 전의 이레이즈 온 전류 값은 그림 4(a)에서 보는 것과 같이 이온주입 농도 변화에 따른 차이가 $1 \mu\text{A}/\text{cell}$ 로 매우 작으며, 특이한 점은 중수소 어닐링 처리한 시료 D의 경우 컨트롤 게이트 전압 (V_{cg})에 둔감하다는 점이다. 또한 초기 이레이즈 온 전류 값이 $15 \mu\text{A}/\text{cell}$ 로 상대적으로 낮은 값을 보이고 있으나, 초기 V_T 가 1.05 V로 비교적 높은 점을 감안할 때 공정 최적화를 통해 이 값을

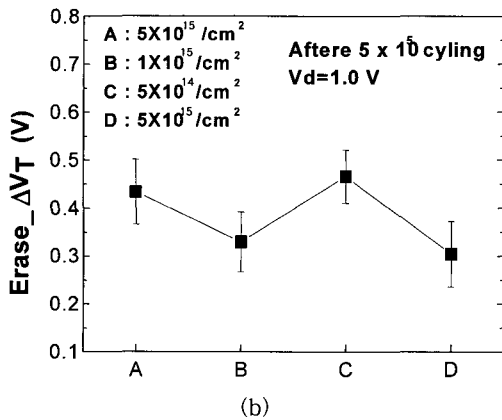
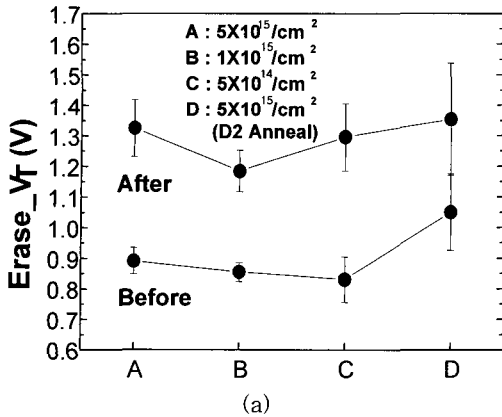


그림 3. 플로팅 게이트의 이온 주입 농도 변화에 따른 5×10^5 P/E 사이클 전·후의 (a) 이레이즈 문턱전압 값 및 (b) 이레이즈 문턱전압 값의 변화량(ΔV_T).

Fig. 3. The erase V_T (a) and the difference of erase V_T (ΔV_T) (b) before and after 5×10^5 P/E cycle as a function of implanting dose for floating gate.

낮추면 더욱 개선된 이레이즈 온 전류 특성을 보일 것으로 판단된다. 또한 현재 사용되고 있는 센스 앰프의 감지 능력이 $6 \mu\text{A}/\text{cell}$ 정도임을 감안하면 본 논문에서 측정된 값은 충분한 수준이라 할 수 있다. 그림 4(b)는 프로그래밍과 이레이징 5×10^5 사이클 후의 I_{ON} 값을 보인 것이며 농도 변화에 선형적으로 변하지 않고 변곡점이 존재함을 볼 수 있으며, B 시료에서 $I_{ON} = 14 \mu\text{A}/\text{cell}$ 로 가장 양호한 특성을 보였다. 이러한 현상은 이레이징 V_T 의 변화 경향과 일치한다.

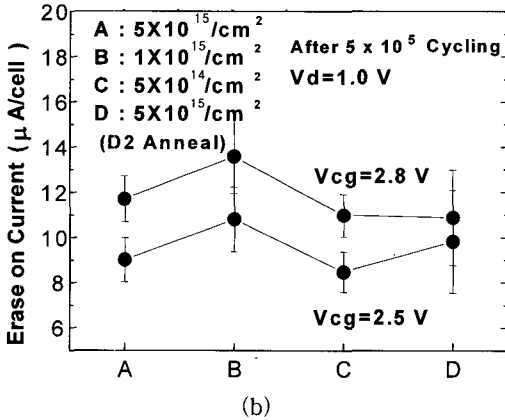
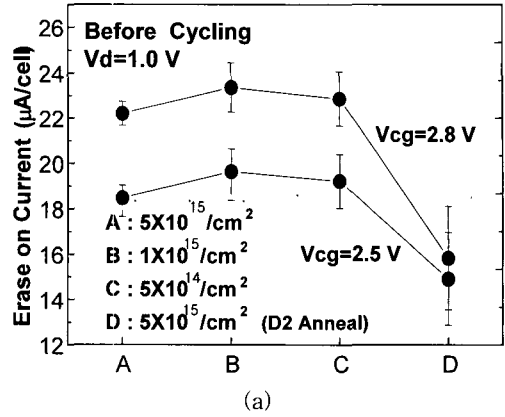


그림 4. 플로팅 게이트의 이온 주입 농도 변화에 따른 단위 셀 당 이레이즈 온 전류(I_{ON}): (a) 피로 시험 전, (b) 5×10^5 P/E 사이클 후.

Fig. 4. The erase on current (I_{ON}) per cell measured at different level of control gate voltage as a function of implanting dose for floating gate: (a) before fatigue cycle, (b) after 5×10^5 P/E cycle.

4. 결론

우리는 스마트카드에서 가장 중요한 특성인 EEPROM 셀의 내구성 특성을 개선하기 위해 플로팅 게이트 이온주입 조건과 중수소 어닐링에 대한 여러 가지 영향을 평가하였다. 스페이서 선택 트랜지스터를 가진 EEPROM 셀에서 프로그래밍과 이레이징 5×10^5 사이클 반복 전·후의 프로그래밍 V_T , 이레이징 V_T , 이레이징 온 전류 값을 각각 측정하였으며 프로그래밍과 이레이징 5×10^5 사이클

반복 전·후 값의 차이를 통해 모든 종류의 시료에서 셀의 내구성 특성이 저하됨을 보았다. 그러나 이들 특성은 이온주입 농도 변화에 선형적으로 변하지 않고 변곡점이 존재함을 볼 수 있으며, B 시료(P, 60 KeV, $1.0 \times 10^{15} / \text{cm}^2$)가 상대적으로 우수한 특성을 보였다. 또한 중수소 어닐링에 의한 Si-SiO₂ 계면 특성 개선에 의해 프로그래밍 ΔV_T 특성이 개선됨을 알 수 있었다.

감사의 글

본 논문 연구에 필요한 시료 제작과 측정 장비 사용을 허락해 주신 매그나칩 반도체와 포항공과대학교 AND Lab.에 감사드립니다. 또한 본 논문은 2006년도 청운대학교 학술연구조성비 지원에 의하여 연구되었습니다.

참고문헌

[1] J. M. Daga, C. Papaix, M. Merandat, S. Richard, G. Medulla, J. Guichaoua, and D. Auvergne, "Design techniques for EEPROM's embedded in portable system on chips", IEEE Des. Test Comput., Vol. 20, No. 1, p. 68, 2003.

[2] U. Karthaus and M. Fisher, "Fully integrated passive UHF RF ID transponder IC with 16.7 mW minimum RF input power", IEEE J. Solid State Circuits, Vol. 38, No. 11, p. 1602, 2003.

[3] L. Baldi, L. Sourgen, and P. Gravez, "An advanced smart card family for public key algorithm", Proc. ICECS IEEE Int. conf., p. 558, 1996.

[4] J. Caywood, C. J. Huang, and Y. J. Chang, "A novel nonvolatile cell suitable for both flash and byte-writable applications", IEEE Trans. Electron Devices, Vol. 49, No. 10, p. 802, 2002.

[5] K. H. Lee and Y. C. King, "New single-poly EEPROM with cell size down to 8F2 for high density embedded nonvolatile memory applications", VLSI Tech. digest paper, p. 93, 2003.

[6] D. M. Carthy, R. Duane, M. O'Shea, R. Duffy, K. M. Carthy, A. M. Kelliher, A. Concannon, and A. Mathewson, "A novel CMOS compatible top-floating-gate EEPROM cell for embedded application", IEEE Trans. Electron Devices, Vol. 50, No. 11, p. 1708, 2003.

[7] J. H. Lee and M. K. Ko, "A novel EEPROM cell for smart card application", Microelectron. Eng., Vol. 71, p. 283, 2004.

[8] H. W. Tsai, P. Y. Chiang, S. S. Chung, D. S. Kuo, and M. S. Liang, "The performance and reliability enhancement of ETOX p-channel flash EEPROM cell with p-doped floating-gate", VLSI Tech. digest paper, p. 36, 2003.

[9] K. F. Schuegraf, C. C. King, and C. Hu, "Impact of Polysilicon Depletion in Thin Oxide MOS Technology", VLSI Tech. System and Applications, p. 86, 1993.

[10] J. Lee, Y. Epstein, A. C. Berti, J. Huber, K. Hess, and J. W. Lyding, "The effect of deuterium passivation at different steps of CMOS processing on lifetime improvements of CMOS transistors", IEEE Trans. Electron Devices, Vol. 46, No. 8, p. 1812, 1999.