

CuPc 두께 변화 및 채널 길이 변화에 따른 전계 효과 트랜지스터의 전기적 특성 연구

Electrical Properties with Varying CuPc Thickness and Channel Length of the Field-effect Transistor

이호식^{1,a}
(Ho Shik Lee^{1,a})

Abstract

Organic field-effect transistors (OFETs) are of interest for use in widely area electronic applications. We fabricated a copper phthalocyanine (CuPc) based field-effect transistor with varying channel length. The CuPc FET device was made a top-contact type and the channel length was a 100 μm , 50 μm , 40 μm , and 30 μm and the channel width was a fixed at 3 mm. We observed a typical current-voltage (I-V) characteristics in CuPc FET with varying channel length (L) and we calculated the effective mobility. Also, we measured a capacitance-voltage (C-V) by applied bias voltage with varying frequency at 43, 100, 1000 Hz.

Key Words : Organic field-effect transistor (OFET) CuPc, Capacitance-voltage (C-V)

1. 서 론

최근 유기물을 이용한 박막 트랜지스터(Thin film transistor; TFT)와 발광 다이오드 소자(Light-emitting diode)에 대한 연구가 매우 활발하게 진행되고 있다. 유기물을 이용한 소자제작은 무기물에 비하여 공정이 간단하고, 또한 저온에서의 소자 제작이 가능하기 때문에 무기물 반도체 소자에 비하여 많은 장점들을 가지고 있다[1].

또한 최근에 많은 연구 주제로 부각되고 있는 유연성 (flexibility)이 있고 가벼운 플라스틱 기판(plastic substrate)의 사용이 가능해지고, 간단한 공정으로 소자를 제작할 수 있어서, 소자를 제작하는 비용의 절감 효과가 극대화 되고 있다.

이러한 유기물을 이용한 연구들은 상당히 많은 진전을 보이고 있으며, 특히 pentacene을 이용한 유기 박막트랜지스터 (Organic thin-film transistor;

OTFT) 혹은 유기전계효과트랜지스터 (Organic thin-film transistor; OTFT) 혹은 유기전계효과트랜지스터 (Organic field-effect transistor; OFET)의 경우는 이동도가 2 cm^2/Vs 정도까지 보고되고 있다. Pentacene을 이용한 연구가 활발하게 진행되어 온 이유는 pentacene 물질이 비정질 실리콘(amorphous silicon)과 비슷한 운반체 이동도를 가질 수 있는 물질로 알려져 있기 때문이다. Pentacene 이외에 많은 유기물들이 또한 OFET 연구에 사용되어 오고 있다[2,3].

본 연구에서는 copper phthalocyanine (CuPc) 물질을 이용하여 FET 소자를 제작하고 이에 대한 전기적 특성을 알아보고자 한다. 본 연구에 사용한 CuPc는 유기 발광 소자 (Organic Light-emitting diode; OLED)의 정공 주입층, 태양광 소자 (Solar cell)의 정공 주입층 등에 널리 사용되고 있는 물질 중의 하나로 알려져 있다.

특히 전계효과트랜지스터 (Field Effect transistor; FET)에서는 금속 (Metal)과 절연층 (Insulator) 그리고 반도체 (Semiconductor)로 이루어진 MIS 캐패시터가 그 중요한 기본 구조로 되어있다. 이 MIS는 절연층을 사이에 두고 금속전극 (게이트 전

1. 동경공업대학 전자물리공학과
(日本, 東京都 目黒區 大岡山 2-12-1)
a. Corresponding Author : ghslee@nate.com
접수일자 : 2006. 10. 31
심사완료 : 2006. 12. 5

극)에 양 전압을 인가하면 반대쪽의 반도체에 음 전하 (전자) 혹은 음전압을 인가하여 양 전하 (정공)를 절연체와 반도체 계면에 끌어당겨 전하 층을 만들 수 있고, 또한 전하량도 전압의 크기로 조절이 가능한 소자로 알려져 있다. 또한 FET 소자의 특성 개선을 위한 중요한 인자중의 하나는 소스 전극 (Source electrode)과 드레인 전극 (Drain electrode) 사이에 형성되는 채널 (Channel)의 길이, 즉 채널 길이 (Channel length; L)와 채널 폭 (Channel width; W)의 적절한 값이다. 이 두개의 중요한 인자 즉, 채널 길이와 채널 폭의 값을 적절히 변화해 가면서 FET 소자로서의 특성을 살피는 것도 매우 중요한 연구 중의 하나이다[4].

따라서, 본 연구에서는 CuPc 유기물의 활성층 두께 변화 및 CuPc FET 소자의 채널 길이의 변화에 따른 I-V, 그리고, 주파수 변화에 따른 C-V 특성을 연구하고자 한다.

2. 사용 물질과 실험장치

그림 1은 본 연구에서 사용한 물질의 구조 및 OFET 소자의 구조를 나타낸 것이다.

본 연구에 사용한 소자는 top-contact 형태의 구조를 가지고 있으며, 절연층으로는 Si-wafer위에 열 증착법으로 형성된 SiO₂를 500 nm의 두께로 사용하였다. 또한 게이트 전극, 소스 전극, 그리고 드레인 전극은 모두 금 (Au)을 열 증착 방법을 이용하여 형성하였다. 활성층으로 사용한 CuPc 물질은 TCI (Tokyo Kasei Kogyo Co.)로부터 구입을 하였으며, 역시 열 증착 방법을 이용하여 박막을 형성하였다.

박막 형성시의 진공도는 약 10⁻⁶ torr였으며, 증착 속도는 0.5 Å/s의 속도를 유지하면서 증착하였으며, CuPc의 두께는 80, 40, 20, 10, 5 nm로 다양하게 증착하였다. 또한 기판으로 사용한 Si-wafer는 CuPc 물질을 증착하기 전에 기판의 세척을 위하여 30분 동안 UV/ozone 처리를 하여 사용하였다.

또한 OFET의 전기적 특성 측정은 Keithley type-2400을 이용하여 SMU (Source measure unit) 방법으로 측정을 하였으며, 캐패시턴스-전압 특성 측정은 LCR 메타 (Hioki type-3522-50)을 이용하여 측정을 하였다. 또한 유기 활성층의 표면의 특성은 AFM (Atomic force microscopy) 방법으로 측정하였다.

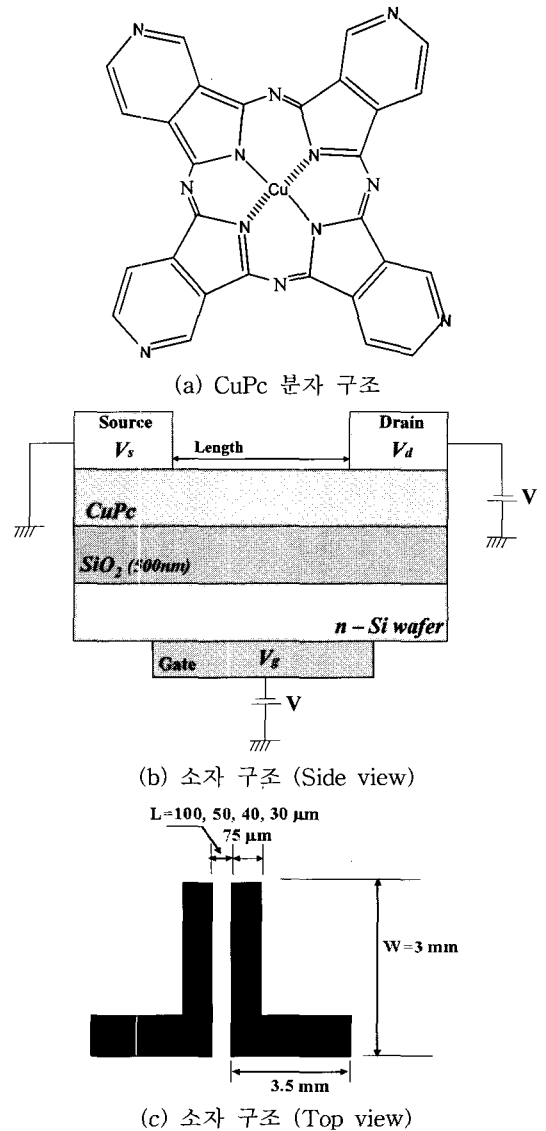
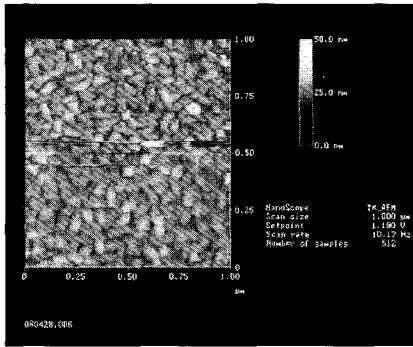


그림 1. CuPc 분자 구조 및 OFET 소자 구조.
Fig. 1. Structure of (a) CuPc Molecular and OFET with (b) Top view and (c) Side view.

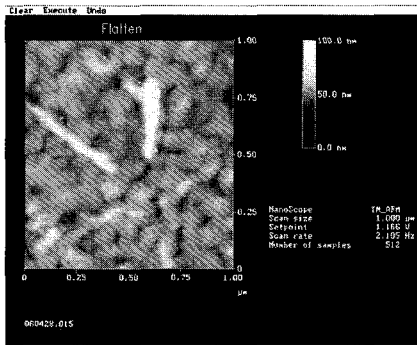
3. 실험 결과 및 검토

3.1 CuPc 박막의 AFM 측정

그림 2는 CuPc 물질의 표면 특성을 알아보기 위하여 AFM 측정을 하였다. AFM 측정은 기판의 온도를 상온과 150 °C로 하여 CuPc 물질을 성막하였을 때를 비교하여 측정하였다.



(a) 80 nm CuPc @ 상온 기판



(b) 80 nm CuPc @ 150 °C 기판

그림 2. CuPc 박막의 AFM 측정(a) 상온 기판 (b) 150 °C 기판.

Fig. 2. AFM images of CuPc thin film (a) room temperature and (b) 150 °C substrate.

상온 기판에서의 AFM 이미지를 보면 CuPc 분자들이 거의 기판에 평행하게 누워 있는 것으로 보이며, 또한 CuPc 입자들을 확실하게 볼 수 있다. 기판의 온도를 150 °C으로 하여 CuPc 물질을 성막 하였을 때의 이미지를 보면 여전히 기판에 평행하게 누워 있는 것으로 볼 수 있으며, 또한 선 섬유 (line-fiber) 조직들이 보이고 있다. 이는 CuPc 물질을 기판에 성막 할 때 기판의 온도를 변화 시키면, 나노 섬유 (nano-fiber)를 얻을 수 있다는 것을 알 수 있다. 또한 이러한 현상은 참고 문헌에 의하며, 기판의 열처리에 의한 CuPc 물질의 상변화도 해석하고 하고 있다[5,6].

3.2 CuPc 두께에 따른 I-V 특성

그림 3은 활성층으로 사용한 CuPc 물질의 두께를 80, 40, 20, 10, 5 nm로 변화해 가면서 전압-전류 특성을 측정하였다.

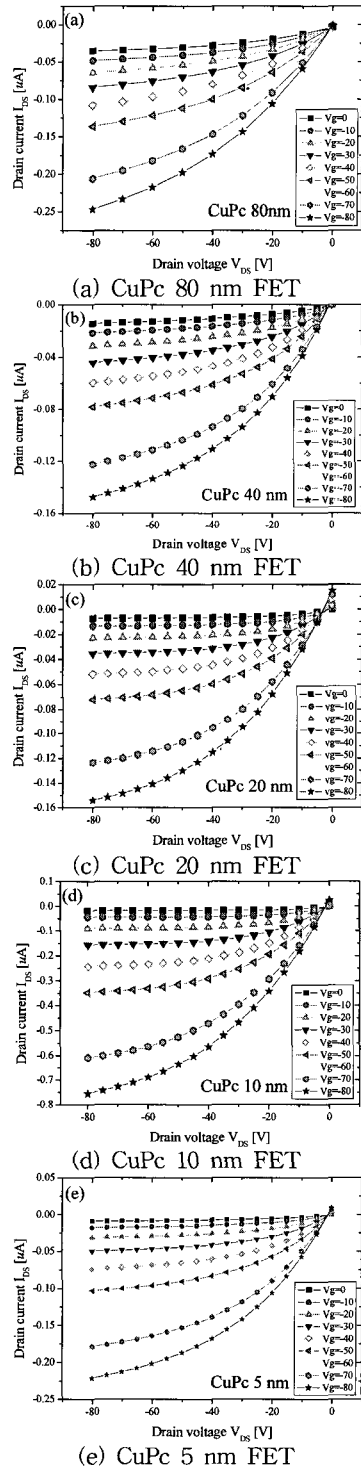


그림 3. CuPc 두께 변화에 따른 전압-전류 특성. Fig. 3. Current-voltage characteristics with varying CuPc thickness of the CuPc FET.

그림 3은 활성층으로 사용한 CuPc의 두께를 변화해 가면서 전압-전류 특성을 측정한 것이며, 이때의 채널 길이는 50 μm 이고, 채널 폭은 3 mm로 고정하여 측정을 하였다. 전압-전류 측정 결과, 전형적인 FET 특성을 나타내고 있음을 알 수 있으며, 또한 활성층으로 사용한 CuPc 물질의 두께에 크게 의존하지 않는 것으로 보이고 있다. 그림에서 보면, 특히 CuPc 물질을 10 nm를 사용하여 제작한 FET의 경우에 가장 큰 값의 드레인 전류 값을 보이고 있다.

이러한 관계는 다음의 FET의 특성식으로 부터 이해할 수 있다. 이상적인 전압-전류 관계식을 비포화 영역과 포화 영역에서 살펴보면 다음과 같다. 우선, 포화 영역에서의 전압-전류 관계식은

$$I_D = \frac{W\mu C_{OX}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (1)$$

이고, 그리고 포화 영역에서의 관계식은

$$I_D = \frac{W\mu C_{OX}}{2L} (V_{GS} - V_T)^2 \quad (2)$$

이다.

여기서, W는 채널 폭, μ 는 이동도, C_{OX} 는 절연층의 캐패시턴스, L은 채널 길이, V_{GS} 는 게이트 전압, 그리고 V_T 는 문턱 전압이다. 또한 I_D 는 포화 영역에서의 드레인 전류값을 나타낸다.

위의 관계식(1), (2)에서 보면, 절연층의 관한 인자는 존재하고 있으나, 활성층의 두께에 관한 인자는 존재하지 않는 것을 알 수 있다. 이는 활성층의 두께는 FET 특성에 크게 관여하지 않는 것으로 확인할 수 있다. 특히 위의 관계식을 통하여 알 수 있는 것은 FET 소자의 특성에 관계하는 중요한 인자로는 FET 소자의 채널 길이인 것을 알 수가 있다. 또한 게이트 전압과 문턱 전압도 상당히 중요한 인자로서 작용하는 것을 알 수 있다.

따라서, 위의 관계식 (2)를 이용하여 본 연구에서 제작한 다양한 활성층 두께의 CuPc FET 소자의 전계효과 이동도를 계산하였고, 이를 그림 5에 나타내었다. 이동도 계산에 의하면, CuPc 10 nm일 때의 CuPc FET의 이동도 값이 $5.04 \times 10^{-4} \text{ cm}^2/\text{Vs}$ 정도로 가장 높은 값을 나타내고 있다. 물론 이 값은 다른 활성층 물질을 사용한 OFET의 소자보다는 현저하게 낮은 이동도 값을 보이고 있다[7].

그림 4는 CuPc 두께 변화에 따른 전압-전류 특성 곡선에서 게이트 전압 $V_g = -80 \text{ V}$ 일 때의 드레인 전류 값을 비교하여 나타낸 것이다. 그림에서

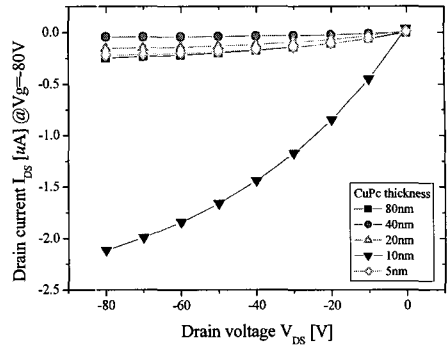


그림 4. CuPc 두께 변화에 따른 드레인 전류 비교 특성.

Fig. 4. Characteristics of drain current with varying CuPc thickness of the CuPc FET.

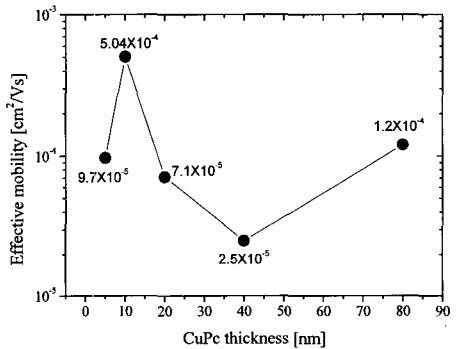


그림 5. CuPc 두께 변화에 따른 전하 이동도 비교.

Fig. 5. Compare of carrier mobility with varying CuPc thickness of the CuPc FET.

보면, CuPc 활성층의 두께가 10 nm일 때에 가장 많은 드레인 전류 값을 보이고 있다.

3.3 채널 길이 변화에 따른 I-V 특성

CuPc 두께에 따른 전압-전류 특성을 측정한 결과, CuPc 두께가 10 nm일 때 가장 좋은 FET 특성을 보였다. 따라서, 채널 길이 변화에 따른 전기적 특성 측정은 CuPc 10 nm FET를 이용하여 특성 측정을 하였다.

그림 6은 CuPc 10 nm FET의 채널 길이를 100, 50, 40, 30 μm 로 변화시키고, 채널 폭은 3 mm로 고정하여 전압-전류 특성을 측정한 결과를 보이고 있다.

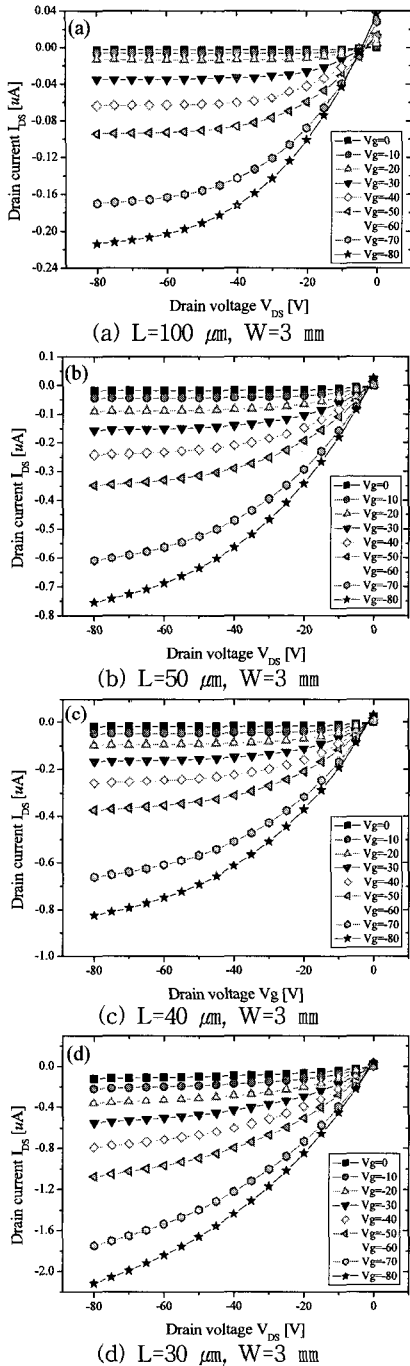


그림 6. CuPc 10 nm FET에서의 채널 길이 변화에 따른 I-V 특성.
 Fig. 6. Compare of I-V characteristics of the 10 nm CuPc FET with varying channel length.

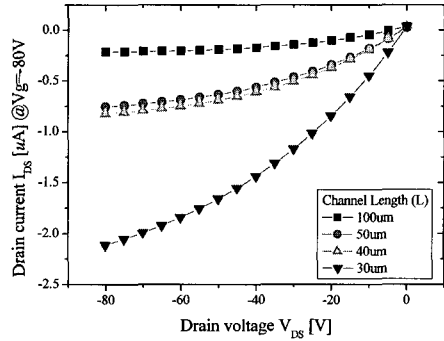


그림 7. CuPc 10 nm FET에서의 채널 길이 변화에 따른 드레인 전류 비교 @ Vg=-80 V.
 Fig. 7. Compare of drain current of the CuPc 10 nm FET with varying channel length @ Vg=-80 V.

그림 6에서 보면, 채널 길이가 점 점 작아질수록 드레인 전류값이 커지는 것을 알 수 있으며, 특히 채널 길이가 100 μm 인 FET와 30 μm 인 FET의 드레인 값의 차이가 현저하게 변화하는 것을 볼 수 있다. 이는 앞의 전압-전류 관계식에서 알 수 있듯이, 채널 길이는 FET 특성 특히, 이동도에 많은 영향을 미치는 인자인 것을 알 수 있다.

CuPc 10 nm FET 소자의 채널 변화에 따른 드레인 값을 비교하기 위하여 게이트 전압 -80 V일 때를 그림 7에 다시 나타내었다. 그림 7에서 보면, 채널 길이 100 μm 일 때의 드레인 전류값은 -0.213 μA 인 반면에, 채널 길이가 30 μm 일 때의 드레인 전류값은 -2.114 μA 으로, 약 10 배 정도의 차이를 보이고 있다.

이러한 결과는 OFET를 제작하는데 있어서, 채널 길이와 채널 폭의 디자인이 매우 중요한 요소인 것을 알 수 있다.

3.4 주파수 변화에 따른 C-V 특성

FET 소자에서의 커패시턴스-전압 (C-V) 특성은 소자의 산화막-반도체 계면에 대한 정보를 얻을 수 있는 특성 중의 하나이다. 특히 MOS 커패시터에서 관심의 대상이 되는 것은 축적, 공핍 그리고 반전이다. 만약에 계면 상태가 존재한다면, 전하의 이동의 양과 방향은 게이트 전압을 점진적으로 변화시키에 따라 변한다. 왜냐하면 계면에 포획된 전하의 양과 부호가 변하기 때문이다. 이러한 이유로 C-V 특성 측정은 또한 반도체 소자 공정을 제어하는 분석도구로서 이용할 수 있다.

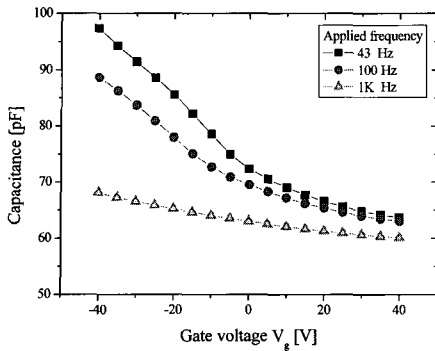


그림 8. CuPc 10 nm FET에서의 주파수 변화에 따른 C-V 특성.

Fig. 8. C-V characteristics of the CuPc 10 nm FET with varying frequency.

그림 8은 CuPc 10 nm FET에서의 주파수 변화에 따른 C-V 특성 측정을 보이고 있다. 인가 주파수는 43, 100, 1000 Hz이고, 인가 게이트 전압 범위는 -40 ~40 V이다.

게이트 전압이 -40 V일 때 가장 많은 양의 전하가 SiO₂ 층과 CuPc 층의 계면에 축적되는 것을 볼 수 있다. 또한, 게이트 전압이 약 -10 V에서부터 축적되는 전하가 급속히 증가하는 것을 알 수 있다. 그러나, 양의 게이트 전압구간에서는 거의 전하의 축적이 되지 않는 것을 볼 수 있다.

특히, C-V 특성은 고주파와 저주파 범위에서 측정이 되는데, 일반적으로 5 ~100 Hz의 범위는 저주파 영역으로, 그리고 그이상의 주파수 영역은 고주파 영역으로 구분된다. 본 연구에서는 저주파 영역인 43 Hz와 100 Hz의 낮은 주파수를 인가했을 때와 고주파 영역인 1K Hz의 영역에서 측정을 하였다. 측정 결과, 저주파 영역에서 더 많은 양의 전하가 계면에 축적되는 것을 볼 수 있다. 인가 주파수가 증가 할수록 축적되는 전하의 양이 급격히 감소하는 것도 확인할 수 있다. 이러한 결과는, 인가되는 주파수에 따라, 전하의 변화는 금속과 반도체 내의 공간 전하폭에서 이러한 현상이 일어나는 것으로 판단된다.

4. 결 론

본 연구에서는 CuPc를 활성층으로 사용한 FET 소자를 제작하였고, 특히 활성층인 CuPc 물질의 두께를 다양하게 변화해 가면서, 소자를 제작하고

그에 대한 전압-전류 특성을 측정하였다. 그 결과 CuPc 물질의 두께가 10 nm일 때 가장 좋은 이동도 특성을 보이고 있다. 또한 CuPc FET의 소자에서 채널 길이를 변화해 가면서 전압-전류 특성을 측정한 결과 채널의 길이가 작아질수록 드레인 전류 값이 증가하는 것을 볼 수 있는데, 이는 FET 특성식과 일치하는 결과를 얻을 수 있었다. 그리고 FET 소자의 계면에 관한 특성을 연구하기 위하여 C-V 특성을 측정한 결과, 저주파 영역에서 많은 양의 전하가 유기물인 CuPc와 절연층인 SiO₂ 계면에서 축적되는 것을 확인할 수 있었다. 이는 반도체 소자 공정을 제어하는 분석도구로써 이용할 수 있을 것으로 판단된다.

참 고 문 헌

- [1] 장성근, “쌍극 폴리-급속 게이트를 적용한 CMOS 트랜지스터의 특성”, 전기전자재료학회논문지, 15권, 3호, p. 233, 2002.
- [2] 황한욱, 황성수, 김용상, “LDD 구조의 다결정 실리콘 박막 트랜지스터의 특성”, 전기전자재료학회논문지, 11권, 7호, p. 522, 1998.
- [3] 김윤명, 표상우, 김준호, 심재훈, 김영관, 김정수, “Photoacryl을 게이트 절연층으로 사용한 유기 박막트랜지스터의 전기적 특성에 관한 연구”, 전기전자재료학회논문지, 15권, 2호, p. 233, 2002.
- [4] 송정근, “유기박막트랜지스터; 유기전자공학의 핵심소자”, 물리학과 첨단기술, 14권, 7/8호, 2005.
- [5] J. Y. E, S. M. Kim, E. J. Lim, K. J. Lee, D. J. Cha, and Barry Friedman, “Effects of substrate temperature on copper(II) phthalocyanine thin film”, Applied Surface Science, Vol. 205, p. 274, 2003.
- [6] M. H. Park, H. J. Yoo, S. I. Yun, E. J. Lim, K. J. Lee, C. H. Chang, M. K. Joo, I. J. Lee, J. Y. Kim, and Barry Friedman, “Studies of surface resistance of copper(II) phthalocyanine thin films by using a near-field scanning microwave microscope”, Applied Surface Science, Vol. 233, p. 213, 2004.
- [7] Cherie R. Kagan and Paul Andry, Thin-Film Transistor, Marcel Dekker, Inc, New York, 2003.