

# 능동형 유기 발광 다이오드(AMOLED)에서 발생하는 수소화된 비정질 실리콘 박막 트랜지스터 (Hydrogenated Amorphous Silicon Thin Film Transistor)의 이력 (Hysteresis) 현상

論 文
56-1-16

## Hysteresis Phenomenon of Hydrogenated Amorphous Silicon Thin Film Transistors for an Active Matrix Organic Light Emitting Diode

崔成煥<sup>†</sup> · 李在訓<sup>\*</sup> · 申光燮<sup>\*\*</sup> · 朴重炫<sup>\*\*\*</sup> · 申熙善<sup>§</sup> · 韓民九<sup>§§</sup>  
(Sung-Hwan Choi · Jae-Hoon Lee · Kwang-Sub Shin ·  
Joong-Hyun Park · Hee-Sun Shin · Min-Koo Han)

**Abstract** - We have investigated the hysteresis phenomenon of a hydrogenated amorphous silicon thin film transistor (a-Si:H TFT) and analyzed the effect of hysteresis phenomenon when a-Si:H TFT is a pixel element of active matrix organic light emitting diode (AMOLED). When a-Si:H TFT is addressed to different starting gate voltages, such as 10V and 5V, the measured transfer characteristics with 1 $\mu$ A at  $V_{DS} = 10V$  shows that the gate voltage shift of 0.15V is occurred due to the different quantities of trapped charge. When the step gate-voltage in the transfer curve is decreased from 0.5V to 0.05V, the gate-voltage shift is decreased from 0.78V to 0.39V due to the change of charge de-trapping rate. The measured OLED current in the widely used 2-TFT pixel show that a gate-voltage of TFT in the previous frame can influence OLED current in the present frame by 35% due to the change of interface trap density induced by different starting gate voltages.

**Key Words** : a-Si:H TFT, OLED, Hysteresis Phenomenon

### 1. 서 론

높은 밝기, 넓은 시야각 등과 같은 우수한 특성을 가지는 능동형 유기 발광 다이오드(Active-Matrix Organic Light Emitting Diode)는 단위 화소 구동 소자로 박막 트랜지스터(Thin Film Transistor: TFT)를 사용하고 있으며 최근 들어서는 차세대 디스플레이로서 관심을 끌고 있다[1-3]. 유기 발광 다이오드가 가지는 전자 광학적 성능은 화소 구동 소자인 TFT의 특성에 의하여 크게 좌우된다. OLED는 기본적으로 전류 구동 방식 소자이기 때문에 OLED의 전류값의 작은 변화가 디스플레이 전체 화질에 큰 영향을 줄 수 있다[2]. 이러한 상황에서 낮은 생산 원가라도 대면적하에서 높은 균일성을 가지는 수소화된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)가 AMOLED에서의 단위 화소 소자로서 근래에 들어 상당한 주목을 받고 있다[3-4].

하지만 전기적인 바이어스 스트레스 조건하에서 수소화된

비정질 실리콘 박막 트랜지스터의 문턱 전압(Threshold Voltage) 특성이 쉽게 열화된다는 점(긴 시간동안 스트레소 조건을 가하였을 때 발생하는)은 충분히 우려할 만한 요소이다[3-4]. 이와 함께 a-Si:H TFT이 가지는 이력 현상(Hysteresis Phenomenon)도 AMOLED 화소 소자로 응용되는 과정에서 충분히 제한 사항으로 작용할 수 있다. 다결정 실리콘 TFT(Poly Si TFT) 및 일반 MOSFET에서처럼, a-Si:H TFT 역시 이력 현상으로(짧은 시간동안 소자에 스트레소 조건을 인가하였을 때 발생하는) 인하여 소자 특성 측면에서 상당한 제약점을 가지게 된다[5]. 따라서 a-Si:H TFT 기반의 고품질 디스플레이(High-Quality Displays)를 구현하기 위해서는 a-Si:H TFT 소자의 이력 현상으로 인한 OLED 전류 오차 현상에 대하여 자세히 논의해 볼 필요가 있다.

이러한 관점에서 수소화된 비정질 실리콘 박막 트랜지스터의  $V_{GS}$ - $I_D$  특성을 분석하여 이력 현상(Hysteresis Phenomenon)이 발생하는 원인을 고찰하는 것이 본 연구의 목적이다. 이를 위하여 2개의 TFT 소자와 1개의 캐패시터(Capacitor) 구조의 기본적인 화소 구동 회로를 가지고 OLED 전류 오류값을 측정하였으며, 측정된 전류값을 분석한 결과 이전 프레임에서의 TFT 소자의 게이트 전압값( $V_{GS}$ )이 이력 현상으로 인하여 현재 프레임의 OLED 전류값에도 충분한 영향을 줄 수 있다는 점을 확인하였다.

<sup>†</sup> 교신저자, 正會員 : 서울대학교 電氣工學部 工學碩士課程  
E-mail : cshero@emlab.snu.ac.kr

\* 正會員 : 서울대학교 電氣工學部 工學博士課程

\*\* 學生會員 : 서울대학교 電氣工學部 工學碩士

\*\*\* 學生會員 : 서울대학교 電氣工學部 工學博士課程

§ 正會員 : 서울대학교 電氣工學部 工學博士課程

§§ 正會員 : 서울대학교 電氣工學部 教授.工學博士

接受日字 : 2006年 10月 10日

最終完了 : 2006年 12月 5日

2. 본 론

2.1 소자 제작 과정 및 특성 분석

역스태거드(Inverted Staggered) Bottom 게이트(Gate) 구조의 수소화된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)를 표준 공정을 통하여 제작하였다. 게이트 전극은 DC 스퍼터링(Sputtering)으로 코닝 1737 유리 기판에 Mo/AlNd 이중층을 증착함으로써 형성하였다. 그리고 PECVD (Plasma-Enhanced Chemical Vapor Deposition) 장비로 게이트 위에 SiNx (4500Å), a-Si:H (2000Å), n+ a-Si:H (500Å)로 구성된 세 개의 층을 다시 증착하였다.

제작된 소자의 특성은 인가하는 전압을 변화시켜 가면서, HP 4156 장비로 V<sub>GS</sub>-I<sub>D</sub> 결과값을 얻어내어 관찰하였다. 모든 측정 과정은 실내 온도(Room Temperature)에서 이루어졌다.

2.2 측정 결과

인가하는 게이트 전압의 범위에 따라 동일한 드레인 전압 바이어스 조건에서(10V) 드레인 전류값의 차이가 발생하는 점을 아래의 그림 1에서 확인할 수 있다. TFT소자의 너비와 길이는 각각 200μm, 4μm이며, 최근 들어서 OLED 최대 전류량값이 약 2-3μA 정도가 되도록 OLED 효율성이 상당 부분 개선되고 있다. OLED에서 구동되는 실제 전류 범위가 0A(검은 색)에서 5-6V에 이르는 V<sub>GS</sub> 값을 필요로 하는 2-3 μA(흰 색)까지이므로, 이력 현상(Hysteresis Phenomenon)을 관찰하는 과정에서 인가하는 V<sub>GS</sub>의 범위를 0V에서 6V로 설정하였다. 아래의 그림 1을 통하여 실제 AMOLED 디스플레이를 구동하기 위한 V<sub>GS</sub> 측정 범위 내에서 전류 차이가 발생하는 사실을 확인해 볼 수 있다.

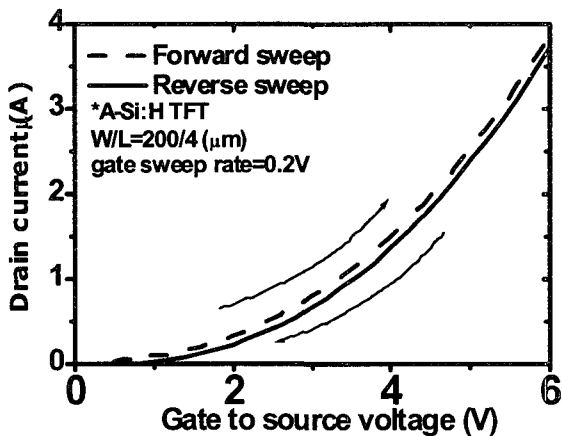


그림 1 V<sub>GS</sub>를 0V와 6V 사이 범위에서 순방향과 역방향으로 각각 게이트 전압 인가 방향을 달리하였을 때, 발생하는 이력 현상(Hysteresis phenomenon)

Fig. 1 Hysteresis phenomenon with gate voltage sweep direction, such as a forward direction (from a negative voltage to positive voltage) and reverse direction (from a positive voltage to negative voltage), between V<sub>GS</sub>=0V and 6V

이력 현상(Hysteresis Phenomenon)의 원인을 규명하기 위하여, 아래의 그림 2 (a)와 같이 게이트 시작 전압을 바꾸어 V<sub>GS</sub>-I<sub>D</sub> 특성 결과를 관찰한 결과, 게이트 시작 전압이 5V에서 시작한 V<sub>GS</sub>-I<sub>D</sub> 곡선이 10V에서 시작한 V<sub>GS</sub>-I<sub>D</sub> 곡선에 비해 왼쪽으로 0.15V 이동하였다. 이는 서로 다른 V<sub>G</sub> 값을 가해준 상태에서 트랩된 전하량의 차이로 인하여 발생한 것이다[5]. 즉, 그림 2 (b)에서 표현되어 있는 것처럼 초기에 인가하는 V<sub>G</sub>에서의 페르미 준위(Fermi Level)의 차이가 이력 현상에 의한 V<sub>GS</sub>-I<sub>D</sub> 곡선에서의 0.15V 만큼의 이동을 야기한다.

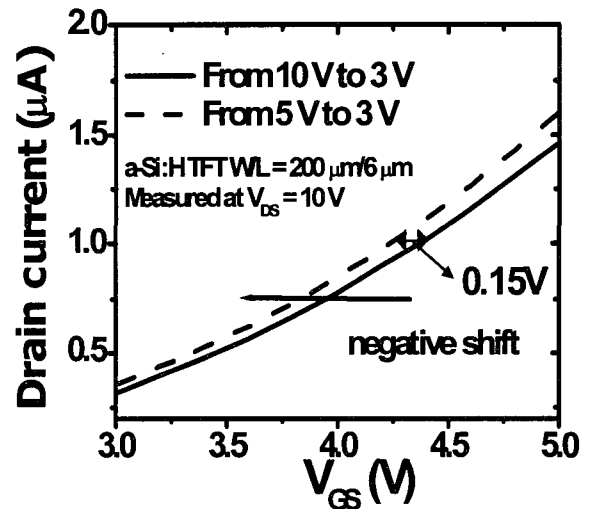


그림 2 (a) 서로 다른 게이트 시작 전압 값에서의 역방향 전압 인가시, V<sub>GS</sub>-I<sub>D</sub> 특성

Fig. 2 (a) The transfer characteristics for reverse-voltage sweeps with the different starting positive gate voltages

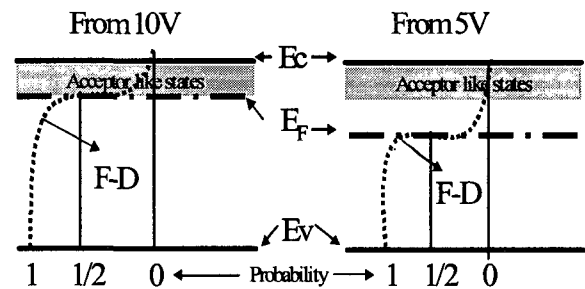


그림 2 (b) 계면(Interface)에서 전자가 가지는 Fermi-Dirac 분포(Distribution). 위 그림에서 전도대(Conduction Band), 가전자대(Valence Band) 에너지는 각각 E<sub>c</sub>, E<sub>v</sub>로 표기하였으며, 페르미 에너지 준위(Fermi Energy Level)은 E<sub>F</sub>로 나타내었다.

Fig. 2 (b) The Fermi-Dirac distribution for electron in the interface. The conduction and valence band energy are denoted as E<sub>c</sub> and E<sub>v</sub>, respectively. And Fermi-level energy is also denoted as E<sub>F</sub>.

이와 함께 전하 디트래핑 비율(Charge De-trapping Rate)도 이력 현상에 영향을 끼치는 주요한 요소이다. 인가하는 게이트 전압 간격을 0.5V에서 0.05V로 감소시켰을 때 전하 디트래핑 비율의 변화(Charge De-trapping Rate)로 인하여, 이력 현상으로 인한 단위 소자에서의 문턱전압의 변화가 0.78V에서 0.39V로 감소함을 그림 3에서 확인하였다. 즉, 소자에 인가하는  $V_G$  값의 변화폭을 줄일 경우 이력 현상(Hysteresis Phenomenon)의 발생 정도가 감소하였다. 이는 이력 현상(같은  $V_G$  출력 전류값이 달라지는 특성) 자체의 발생 크기(동일  $V_G$  값 인가시 서로 다른 출력 전류 간의 차이)를 줄이기 위하여, 수소화된 비정질 박막 트랜지스터(a-Si:H TFT) 구동 시간이 경과하는 동안 초기 트랩된 전하(Trapped Charge)가 채널 영역(Channel Region)으로 추출(Extract)되었기 때문이다.

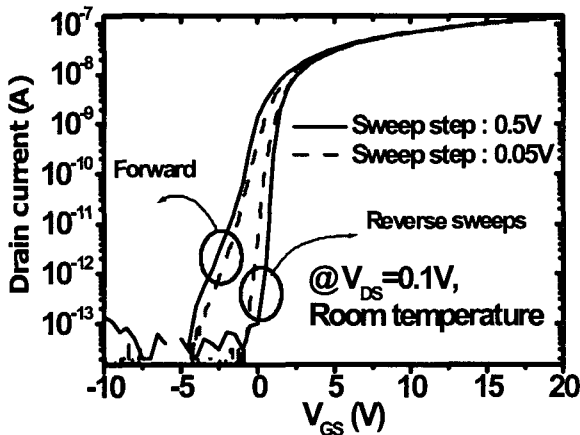


그림 3 인가하는 게이트 전압 범위에 따른  $V_{GS}$ -ID 특성  
 Fig. 3 The transfer characteristics with the gate voltage sweep intervals

다음으로 이력 현상과 OLED 전류 오차 사이의 관계를 알아보기 위하여 OLED 소자와 2개의 TFT로 구성된 화소 회로 각각에 서로 다른  $V_G$  값을 인가하여 발생하는 전류값을 측정하였다. 0V에서 8V까지 서로 다른  $V_G$  값을 가해준 상태에서 (디스플레이에서는 이전 프레임의  $V_G$  에 해당하는) 발생하는 출력 전류값을 그림 4 (a)에서 확인할 수 있다. 이 결과를 통해서 이력 현상 때문에 동일한  $V_{GS}=4V$ ,  $V_{DS}=10V$  조건하에서도, 각기 다른 이전 프레임의  $V_G$  값에 따라 출력 전류( $I_D$ )가 달라짐을 관찰할 수 있었다.

이와 더불어, 이력 현상에 의한 OLED 전류 편차를 확인해보기 위하여 2개의 TFT로 구성된 화소 회로를 제작하여 출력 전류를 측정된 결과가 그림 4 (b)에 제시되어 있다. 이 결과를 살펴보면 이전 프레임(Previous Frame)에서 표시된 흰 색, 검은 색 그리고 회색이 현재 프레임에서 회색으로 전환되는 과정에서 발생하는 OLED 전류의 편차가 약  $\pm 35\%$ 에 이르는 것을 확인해 볼 수 있다.

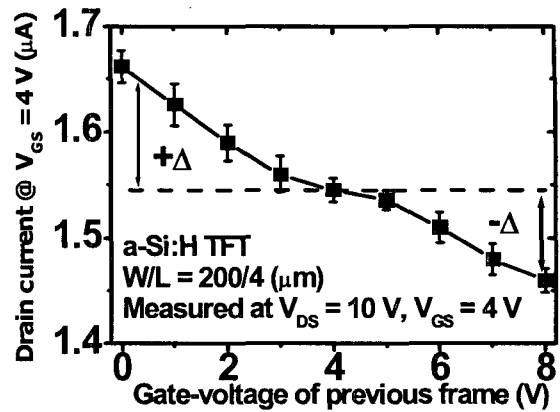


그림 4 (a) 이전 프레임(Previous Frame)의 게이트 시작 전압이 인가된 상태에서,  $V_{GS}=4V$ ,  $V_{DS}=10V$ 일 때의  $I_D$  측정 결과

Fig. 4 (a) Experimental results of the drain current at the  $V_{GS}=4V$ ,  $V_{DS}=10V$ , with the previous gate starting voltages

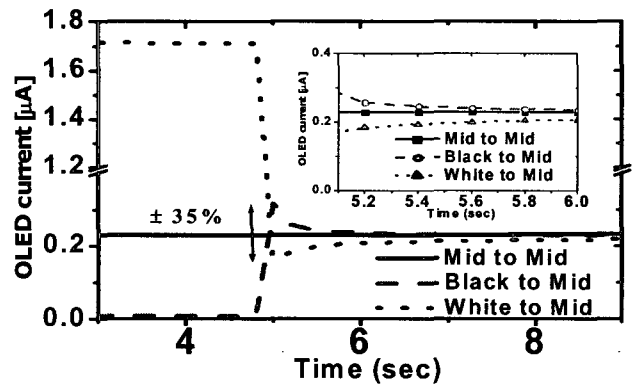


그림 4 (b) 제작된 기존의 2-TFT 화소 회로에서의 OLED 소자의 측정 전류값

Fig. 4 (b) Experimental results of the OLED current at the fabricated conventional 2-TFT pixel circuit

### 2.3 토의

앞에서 논의한 이력 현상(Hysteresis Phenomenon)은 초기 트랩된 전하(Trapped Charge)와 디트래핑 비율(De-Trapping Rate)과 깊은 연관성을 가지고 있다는 점을 그림 2와 그림 3을 통해서 확인하였다. 비정질 실리콘 박막 트랜지스터(a-Si:H TFT) 이동도 갭(Mobility Gap)에서의 국부화된 상태(Localized State)의 분포는 유사 억셉터 상태(Acceptor-like State)와 유사 도너 상태(Donor-like State)로 모델화시킬 수 있다[6]. 가전자대 경계 (Valence Band Edge) 부근에 위치하는 이동도 갭(Mobility Gap) 하반부(Lower Half)의 국부화된 상태(Localized State)는 유사 도너 상태(Donor-like State)와 같은 역할을 하며, 이와 반대로 전도대 경계(Conduction Band Edge) 부근에 위치하는 이동도 갭 상반부(Upper Half)의 국부화된 상태는 유사 억셉터 상태(Acceptor-like State)와 유사하게 작용한다.

이와 관련하여 전하 균형(Charge Balance) 방정식

$Q_G+Q_I+Q_S=0$ 에서 ( $Q_G$ : Gate Charge,  $Q_I$ : Insulator Charge,  $Q_S$ : Silicon Charge)  $Q_I$ 가 실질적으로  $Q_I=Q_f+Q_{it}$  ( $Q_f$ : Fixed Insulator Charges,  $Q_{it}$ : Interface Charges) 와 같이 실리콘과 절연막 사이에 계면 트랩 전하  $Q_{it}$  를 포함하는 점을 생각해 볼 필요가 있다[7]. 먼저 고정 산화막 전하  $Q_f$  는 절연체의 깊은 상태(Deep State)에 위치하기 때문에 짧은 시간 동안의 작용으로는 이 요소가 실제로 이력 현상(Hysteresis Phenomenon)과 관련되어 있다고 말하기 어렵다. 실질적으로는 절연체 전하  $Q_I$  중 계면 전하  $Q_{it}$  가 이력 현상을 야기하는 주된 원인이다. 이러한 관점에서 역방향으로 게이트 전압을 차례로 인가하였을 때  $V_{GS}-I_D$  곡선에서의 0.15V 만큼의 이동이 발생하는 현상( $\Delta Q_G < 0$ )은 그림 2 (b)에서 표시된 바와 같이, 전도대로부터 페르미 에너지 준위(Fermi Energy Level)가 멀리 떨어져 있기 때문에 해당되는 에너지 상태를 차지하는 억셉터 트랩(Acceptor Traps)의 개수가 감소하는 것으로 설명할 수 있다. ( $\Delta Q_I > 0$ )

다음으로 그림 3에서 역방향으로 인가하는 게이트 전압 간격을 감소시켰을 때, 채널 영역으로 추출되는 전자의 개수가 증가하고, 소자에서 요구되는  $I_D$  값을 위한  $V_G$  가 감소함에 따라 디트래핑(De-trapping) 비율이 감소하게 된다. 이로 인하여  $V_{GS}-I_D$  곡선에서 0.15V 만큼 왼쪽 방향으로의 이동(Shift)이 발생하는 점은 이미 관찰한 바 있다. 이와 유사하게 순방향으로 인가하는 게이트 전압 간격을 감소시켰을 때에도 채널 영역으로 추출되는 홀(Hole)의 개수가 증가하고  $I_D$  를 만족시켜주기 위한  $V_G$  가 증가함에 따라,  $V_{GS}-I_D$  곡선에서 이전 측정 결과와는 달리 오른쪽 방향으로 이동하는 결과를 얻을 수 있었다. 이 두 결과를 통하여, 인가하는  $V_G$  값의 간격을 줄일 경우 전하 디트래핑 비율의 증가하게 되면서  $V_{GS}-I_D$  곡선에서의 이동(Shift) 정도가 감소한다는 사실을 확인할 수 있다.

마지막으로 잔상(Residual) 이미지(중간 회색에서)가 발생하는 모습을 나타낸 그림 4에서는 이전 프레임(Frame)의  $V_G$  값에 따라  $I_D$  값의 편차가 발생하고, 이는 계면에서 일어나는 전자 트래핑 현상(Electron Trapping) 과 깊은 관련이 있음을 보여준다. 즉 이전 프레임에서의  $V_G$  값이 증가할 경우에는 계면에서의 전자 트래핑(Electron Trapping) 현상으로 인해 OLED 전류가 감소하게 된다.

### 3. 결 론

본 논문에서는 수소화된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT) 에서 발생하는 이력(Hysteresis) 현상의 원인을 분석하고, 이력 현상으로 인하여 OLED 전류 편차가 발생하는 것을 측정을 통해 확인하였다. 수소화된 비정질 실리콘 박막 트랜지스터에 게이트 시작 전압을 바꾸어  $V_{GS}-I_D$  특성을 측정할 경우, 게이트 시작 전압이 5V에서 시작한  $V_{GS}-I_D$  곡선이 10V에서 시작한  $V_{GS}-I_D$  곡선에 비해 왼쪽으로 0.15V 이동하였다. 이러한 결과는 게이트 시작 전압의 차이에 의해 발생한 트랩된 전하량(Trapped Charge) 변화로 설명할 수 있다.

또한, 인가하는 게이트 전압 간격을 0.5V에서 0.05V로 줄였을 때 전하 디트래핑 비율의 변화(Charge De-trapping Rate)로 인하여, 이력 현상으로 인한 단위 소자에서의 게이

트 문턱 전압의 변화값이 0.78V에서 0.39V로 감소함을 관찰하였다. 2개의 TFT과 1개의 캐패시터(Capacitor)로 이루어진 AMOLED 화소 회로에서 이전 프레임에서의 게이트 전압값( $V_G$ )이 현재 프레임에서의 OLED 전류에 35%의 전류 오차를 야기할 수 있는 점을 측정하였다. 이러한 결과는 서로 다른 게이트 전압( $V_G$ )을 인가함에 따라 발생하는, 계면 트랩 분포 밀도(Interface Trap Density)의 변화 때문으로 분석된다. 따라서 수소화된 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)를 화소 구동 소자로 사용하는 AMOLED 디스플레이에서는 위에서 언급한 a-Si:H TFT의 계면 트랩 분포 밀도를 줄여야 함을 본 연구의 실험 결과를 통해 확인하였다.

### 참 고 문 헌

- [1] R.M.A. Dawson, Z. Shen, D. A. Furst, S. Connor, J. Hsu, M. G. Kane, R.G. Stewart, A. Ipri, C. N. King, P.J. Green, R.T. Flegal, S. Pearson, W.A. Barrow, E. Dickey, K. Ping, S. Robinson, C.W. Tang, S. Van Slyke, F. Chen, J. Shi, M. H. Lu, and J.C. Sturm, "The Impact of the Transient Response of Organic Light Emitting Diodes on the Design of Active Matrix OLED Displays", IEEE International Electron Device Meeting, pp. 875-878, 1998.
- [2] Y.M. Ha, D.H. Oh, J.W. Chang, C.H. Jeon, S.H. Jeong, S.K. Hong, C.H. Lee, B.K. Lee, S.Y. Cha, "Characteristics of LTPS AMOLEDs", The proceedings of the 1st international TFT conference, pp.212-215, 2005.
- [3] A. Nathan, A. Kumar, K. Sakariya, P. Servati, S. Sambandan, and D. Striakhilev, "Amorphous Silicon Thin Film Transistor Circuit Integration for Organic LED Displays on Glass and Plastic", IEEE Journal of Solid-State Circuits, vol. 39, pp.1477-1486, Sep. 2004.
- [4] Kwang-Sub Shin, Jae-Hoon Lee, Sang-Geun Pa and Min-Koo Han, "The channel length effect on the electrical stability of a-Si:H thin-film transistors for AMOLED", 2nd International TFT Conference 2006 (ITC '06), pp 78-81, Kitakyushu, Japan, January, 2006.
- [5] B. K. Kim, O. Kim, H. J. Chung, J. W. Chang and Y. M. Ha, "Recoverable residual image induced by hysteresis of thin film transistors in active matrix organic light emitting diode displays", Japanese Journal of Applied Physics, 43, 482, 2004.
- [6] K. Chatty, B. Banerjee, T.P. Chow and R.J. Gutmann, "Hysteresis in transfer characteristics in 4H-SiC depletion/accumulation-mode MOSFETs", IEEE Electron Device Letters, 23, 330, 2002.
- [7] Yue Kuo, Thin film transistors Materials and Processes, Kluwer academic publishers, p.83, 2004.
- [8] D.A. Neamen, Semiconductor Physics & Devices, McGraw-Hill, p.492, 2003.

저 자 소 개



**최 성 환 (崔 成 煥)**

2006년, 연세대학교 전기전자공학부 학사  
2006년 3월~현재, 서울대학교 전기컴퓨터공학부 석사과정  
E-mail : cshero@emlab.snu.ac.kr



**박 중 현 (朴 重 炫)**

2001년 성균관대학교 전기전자 및 컴퓨터공학부 학사  
2003년 성균관대학교 전기전자 및 컴퓨터공학부 석사  
2003년 9월~현재, 서울대학교 전기컴퓨터공학부 박사과정  
E-mail : jhpark@emlab.snu.ac.kr



**이 재 훈 (李 在 訓)**

2001년, 인하대학교 전자공학과 학사  
2001년 3월~현재, 서울대학교 전기컴퓨터공학부 석.박사 통합과정  
E-mail : jhlee@emlab.snu.ac.kr



**신 희 선 (申 熙 善)**

2003년, 서울대학교 전기컴퓨터공학부 학사  
2003년 3월~현재, 서울대학교 전기컴퓨터공학부 석.박사 통합과정  
E-mail : vitriol@emlab.snu.ac.kr



**신 광 섭 (申 光 燮)**

1996년, 인하대학교 재료공학부 학사  
1996년~2004년, 삼성전자 LCD총괄 생산 기술팀  
2004년 9월~2006년 8월, 서울대학교 전기공학부 석사  
2006년~현재, 삼성전자 LCD총괄 MD 공정개발팀  
E-mail : ks\_shin@samsung.com



**한 민 구 (韓 民 九)**

1979년, Johns Hopkins Univ. 전기공학부 공학박사, U.S.A  
1979년~1984년, professor, State Univ. of New York at Buffalo, U.S.A  
1984년~현재, 서울대학교 전기컴퓨터공학부 교수  
2002년~2005년, 서울대학교 공과대학 학장  
E-mail : mkh@snu.ac.kr