Analysis of the electrical characteristics of HV-MOSFET under various temperature

고내압 MOSFET의 고온 영역에서의 전기적 특성 분석

Yong-Seo Koo*
구 용 서*

Abstract

In this study, the electrical characteristics of Symmetric and Asymmetric High Voltage MOSFET(HV-MOSFET) under high temperature were investigated. And, the specific on-resistance, threshold voltage, transconductance, drain current of the HV-MOSFETs were measured over a temperatures range of 300K ≤ T ≤400K. From the result of measured data, specific on-resistance increases slightly with increasing temperature. Especially, at high temperature(at 400K) specific on-resistance was increased about 30% than that in room temperature. And, in high temperature condition (at 400K), drain current was decreased about 30%, Also, transconductance(gm) was decreases with increasing temperature.

요 약

본 논문에서는 고온 환경에서의 대칭형 HV-MOSFET과 비대칭형 HV-MOSFET 구동 소자들의 채널길이, 확장 드레인 영역의 길이의 변화에 따른 전기적 특성변화를 실험을 통해 분석 하였으며 각각의 구조별로 고온 환경에서 확장 드레인의 길이와 채널 길이의 변화에 따른 전기적 특성을 분석하였다.

실험 결과 비대칭 구조는 400K의 온도에서 드레인 전류가 300K에서 보다 약 25% 이상 감소하였고, 트랜스 컨덕턴스는 약 40% 감소, 온 저항은 약 30% 증가 하는 것을 알 수 있었다. 이러한 변화는 주로 온도 증가에 따른 캐리어 이동도의 감소에 따른 현상으로 사료 된다. 대칭 구조의 경우는 비대칭 구조보다 드레인 전류와 트랜스 컨덕턴스의 변화폭이 적었으며 각각 20%, 35%감소를 보였으며, 온 저항은 확장 드레인영역이 길어져 35%의 더 큰 증가량을 보였다. 주로 고온 환경에서 동작하는 고전압 MOSFET(HV-MOSFET)의 설계 시에는 고온 환경을 고려한 소자의 설계가 요구되며, 각 설계변수의 최적화가 필요하다.

Key words : HV-MOSFET, Thermal effect, Symmetric HV-MOSFET, Asymmetric HV-MOSFET

Ⅰ. 서 론

정보통신의 발달로 PDA, Wearable PC, HMD등 정보이용환경의 고도화 및 휴대화에 따라 경량, 박형, 저전력 및 천연색 동영상 구현이 가능한 고품위 모바일 디스플레이의 수요가 급증하고 있다. 이러한 소비자의 새로운 욕구를 충족시키기 위해서 부피가 작고 가벼우며 해상도와 선명도가 우수한 고화질을 제공하고 현재의 배터리 수명으로 천연색 동영상을 충족시키기 위한 SOD(System On Display)형 패널 및 저소비 전력용 구동 IC 개발 이루어지고 있다. 특히, 전력용 구동 IC는 시스템으로 많은 전력을 공급해주어야 하기 때문에 동작시에 전력소모가 많다. 따라서 전력용 구동 IC의 핵심 부품들은 동작 환경 요인에 덜 민감하도록 설계하는 것이 중요하게 여겨지고 있으며, 특히 다양한 온도 환경에서도 안정된 전기적 특성을 유지 할 수 있는 신뢰성 확보가 요구된다.

일반적으로 디스플레이 구동 IC의 핵심 소자로 사용되는 HV-MOSFET은 저 농도의 확장된 드레인 구

* 서경대학교 전자공학과
(School of Electrical, Electronics Engineering, Seokyeoung University)
★ 교신저자 (Corresponding author)
※ 감사의 글 (Acknowledgment)

조를 갖으며 고온환경에서 서브스레스홀드 전류의 증가로 문턱전압이 감소하고 래치업을 일으킬 위험이 존재한다. 또한 표면 이동도의 감소로 트랜스컨덕턴스가 줄어 전류구동능력이 줄어 들게된다. 따라서 온도 상승에 따른 HV-MOSFET의 전기적 특성 저하가 최소화 되도록 설계되어야 한다. 따라서 본 논문에서는 고온 환경에서의 대칭형 HV-MOSFET과 비대칭형 HV-MOSFET 구동 소자들의 채널길이, 확장 드레인 영역의 길이의 변화에 따른 전기적 특성변화를 실험을 통해 분석 하였다.

II.실 험

실험에서 HV-MOSFET은 대칭형(Symmetric)구조와 비 대칭형(Asymmetric)구조를 사용하였으며, 소자의 폭, 채널 길이 및 확장 드리프트 길이의 설계 변수를 주어 다양한 온도 환경에서의 온 저항, 트랜스컨덕턴스, 문턱전압, 드레인 전류 등의 전기적 특성을 측정 및 분석하였다.

그림 1은 실험에 사용된 두가지 구조의 HV-MOSFET의 단면도를 보이고 있다. 두 구조 모두 기존의 Low-voltage MOSFET 구조와 유사하며 고전압을 지탱하기 위하여 비 대칭형(그림 1.(a))의 경우 저 농도의 확장된 드레인 영역이, 대칭형(그림 1.(b)의 경우 확장 드레인과 소스영역이 존재한다.

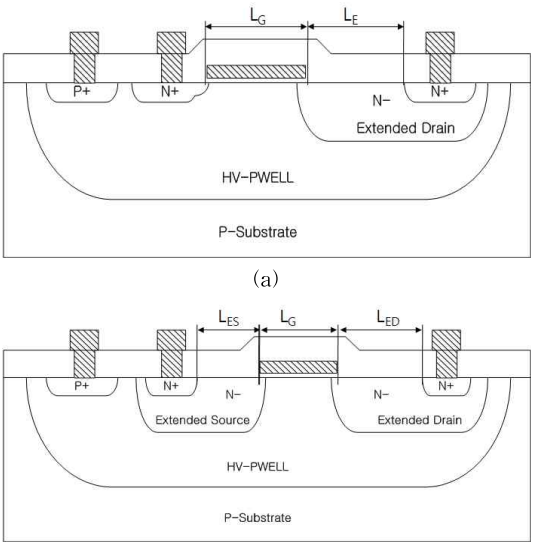

그림 1. 실험에 사용된 HV-MOSFET의 단면
(a) 비대칭 구조 (b) 대칭 구조
Fig. 1. The cross-section of HV-MOSFET

실험에 사용한 소자는 0.5um CMOS공정 기술을 바탕으로 제작 하였으며, 주요 공정 조건은 표1과 같다.

표 1. HV-MOSFET의 주요 공정 조건.
Table 1. The major process condition of HV-MOSFET.

Type	Process Condition
Substrate	p-type, (100), 5 ~ 8 Ωcm
Gate oxide	175Å
Well drive-in	1150℃ 480min
Polysilicon	3800Å
POCL3 Doping	875℃ 40min
S/D drive	N_2, 900℃, 30min
Polysilicon	2000Å
Capacitor	345Å
Contact reflow	N2/O2, 950℃, 10min
Alloy	N2/H2, 400℃, 30min

그림 2는 제작된 HV-MOSFET의 전자현미경 사진을 보여 준다.

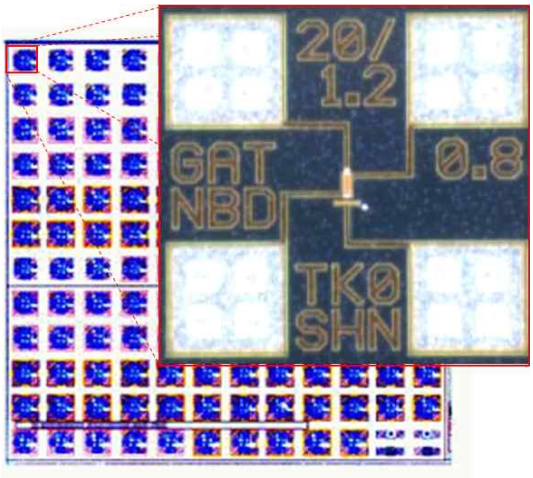

그림 2. 제작된 HV-MOSFET의 전자현미경 사진
Fig. 2. Microscope photograph of HV-MOSFET

HV-MOSFET은 설계 변수에 따른 특성 변화를 알아보기 위해 소자의 폭(Width)은 20um로 고정하고, 채널길이(Lg) 와 확장 드레인영역 길이(Led)의 변화를 주었으며 표 2에 변화 값을 기술 하였다.

표 2. HV-MOSFET의 설계 변수
Table 2. The design parameter of HV-MOSFET.

Variation \ Fixed			L_G	L_{ED}	W
Symmeric	L_G	1.2	X	1.6	20
		1.4			
		1.6			
	L_{ED}	0.8	1.2	X	
		1.0			
		1.2			
Asymmetric	L_G	1.0	X	1.6	
		1.2			
		1.4			
		1.6			
		2.0			
	L_{ED}	1.0	1.2	X	
		1.2			
		1.4			
		1.6			
		2.0			

전기적 특성의 측정 및 분석에는 HP4145B 파라미터 분석기(Parameter Analyzer)와 Tek370A 커브트레이서를 사용하였으며 온도 환경 조성에는 Hot chuck, Calibrated temperature Controller를 사용하였다.

III. 실험결과 및 고찰

HV-MOSFET는 주로 구동단의 전류 및 전압을 스위칭하는 역할로서 사용된다. 따라서 높은 전압 및 전류 구동 능력과 스위칭 속도등이 소자의 성능을 결정하는 주요 요소가 된다. 따라서 본 연구에서는 다양한 온도에서의 HV-MOSFET 스위칭 성능을 파악하기 위해 300K에서 400K까지 온도 변화에 따른 온저항(Ron), 문턱전압(Vth), 드레인 전류, 및 트랜스컨덕턴스(Gm)의 측정 및 분석을 수행하였다.

III-1. 문턱전압(Threshold Voltage)

문턱 전압은 실리콘과 산화막 층의 유전율의 차이에 의한 채널이 유도되기 시작하는 전압을 나타내며 식(1)과 같이 표현된다.

$$V_t = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_i}{C_i} + 2\phi_F \qquad (1)$$

여기서 Φ_{ms}는 금속과 실리콘간의 일함수(work function)의 차이이며 Q_i 는 표면 경계 면에서의 전하 밀도 Q_d 는 공핍영역에서의 전하 밀도를 나타낸다. Φ_F는 페르미 포텐셜 준위로서 다음과 같이 표현된다.

$$\phi_F = \frac{kT}{q} ln \frac{Na}{n_i} \qquad (2)$$

$$n_i = 2\left(\frac{2\pi kT}{h^2}\right)^{3/2} (m_n^* m_p^*)^{3/4} e^{-E_g/2kT} \qquad (3)$$

식(2)와 (3)에서 보면 온도가 증가함에 따란 진성 캐리어 농도가 증가 하는 것을 알 수 있으며 이로인해 페르미 포텐셜 준위가 평형 준위(midgab)에 가까워지는 것을 식(2)를 통해 알 수 있다. 그러므로 온도가 증가함에 따라 문턱 전압은 감소 하게 됨을 알수 있으며 실험적인 측정 결과를 그림 3에 나타냈다

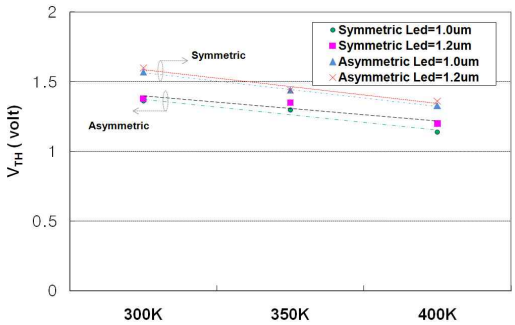

그림3. HV-MOSFET의 온도 변화에 따른 문턱전압
Fig 3.Threshold voltage of HV-MOSFET with temperature

그림. 3에서 보면 400K 이상에서 문턱전압이 급격히 감소함을 볼 수 있는데 이는 누설 전류의 급격한 증가에 의한 것이다. 벌크영역의 도핑 농도가 낮을수록 문턱전압의 온도의존성이 낮아진다고 알려져 있다. 그러나 벌크의 도핑이 낮으면 누설 전류가 증가하게 되어 전력 소모가 커지는 단점을 가지게 된다. 따라서 이 두 가지 경우를 고려한 적절한 벌크의 도핑 농도가 요구된다고 할 수 있다.

또한 그림 3의 실험 결과에서 대칭형 구조가 비대칭형 구조보다 다소 높은 문턱전압을 보인다. 이것은 대칭형 구조에서의 확장된 소스 영역에서의 저항 성분 때문이다. 대칭형과 비대칭형 구조 모두 드리프트 영역의 길이 변화에 따른 특성 변화는 작았다.

III-2 드레인 전류(Drain current)

드레인 전류의 측정은 포화영역에서 측정하였으며 이때의 전류 식은 다음과 같다.

$$I_{DS} = \frac{\mu C_{ox} W}{2L} (V_G - V_T)^2 \qquad (4)$$

$$\frac{1}{\mu} = \frac{1}{\mu_L} + \frac{1}{\mu_1} + \cdot\cdot\cdot \qquad (5)$$

드레인 전류의 온도의존성은 캐리어의 이동도에 의해 좌우 되며, 이동도는 불순물 산란과 격자 산란에 영향을 받는다. 온도의 증가는 격자산란을 증가 시키

게 되고 표면 이동도는 감소하게 되어 드레인 전류는 감소한다. 그림 4는 온도 변화에 따른 드레인 전류 변화의 실험 적인 측정결과를 보여준다. 결과에서 보이듯이 대칭형 구조와 비대칭형 구조 모두 온도에 따라 드레인 전류의 감소를 나타냈으며 특히 드리프트 길이의 증가에 따라 전류량의 감소를 보여주었다.

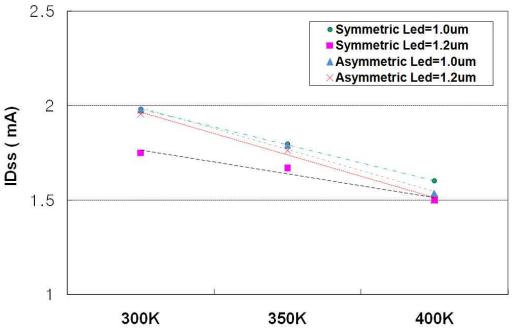

그림 4 HV-MOSFET의 온도 변화에 따른 드레인전류
Fig. 4. Drain current of HV-MOSFET with temperature

III-3. 트랜스 컨덕턴스(Transconductance)

트랜스 컨덕턴스도 드레인 전류와 마찬가지로 이동도의 주로 영향을 많이 받는다.

온도와 이동도의 관계식은 다음과 같다.

$$\mu \propto T^{-n} \ (1<n<2.5) \qquad (6)$$

온도의 증가는 이동도의 감소를 야기하므로 트랜스 컨덕턴스는 온도에 대해 부계수를 갖는다.

$$gm = \frac{\partial I_D(sat.)}{\partial V_G} \cong \frac{Z}{L}\mu C_i(V_G - V_T) \qquad (7)$$

300K에서 400K까지의 온도 변화에 따른 gm값의 변화를 그림 5에 나타내었다.

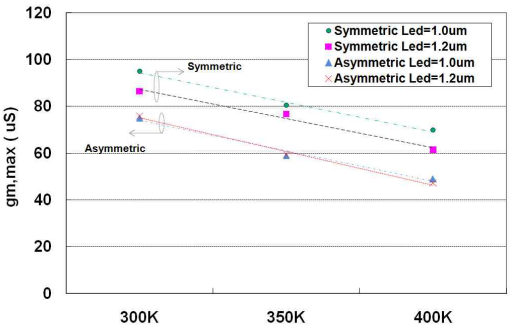

그림 5 HV-MOSFET의 온도 변화에 따른 트랜스 컨덕턴스
Fig. 5. Transconductance of HV-MOSFET with temperature

그림 5에서 보듯이 온도에 따라 최대 트랜스 컨덕턴스는 줄어든다. 또한 드리프트 영역의 길이의 변화는 대칭형 구조에서는 명백하나, 비 대칭형 구조에서는 덜 민감함을 알 수 있는데 이는 대칭형 구조에서의 저항성분이 비대칭형소자 보다 크기 때문으로 이해할 수 있다. 400K에서는 상온에서보다 트랜스컨덕턴스 33%-39% 감소하였는데, 만약 400K 이상의 온도가 된다면, 절반이상의 감소가 예상되며, 소자의 전류 구동 능력의 급격히 저하 될 것으로 사료된다.

III-4. 온저항(Specific On-Resistance)

온 저항은 스위칭 소자가 전도 상태에 있는 동안의 전력 손실을 나타내는 파라미터로서 전류구동능력의 중요한 지표가 된다. 일반적으로 온 저항이 작은 소자일수록 전력 손실이 낮고 이에 따라 적은 손실로서 많은 전류를 스위치 소자를 통해 도통 시킬 수 있다. HV-MOSFET 에서의 온 저항 성분은 크게 게이트 아래의 채널 저항(RCH)과 드리프트 영역에서의 저항(Red), 그리고 드리프트 영역 양 끝단의 게이트와 드레인 부근에서의 확산 저항(Spreading resistance)의 합으로 표현 될 수 있으며 대부분의 HV-MOSFET에서는 드리프트 저항(Red)에 의해 가장 크게 좌우 된다.

$$R_{on} = \frac{L_{ed}}{q\mu_n Q_{ed} W} \qquad (8)$$

$$R_{on} = \frac{L_{ed}}{q\mu_n Q_{ed} W} + \frac{L_{es}}{q\mu_n Q_{es} W} \qquad (9)$$

식 (8),(9)에서 보이는 바와 같이 온도가 증가할수록 이동도는 감소하게 되므로 이에 따라 드리프트 영역의 저항은 증가하게 된다. 온도 변화에 따른 Specific On-resistance 변화량의 실험결과를 그림. 6에 나타내었다.

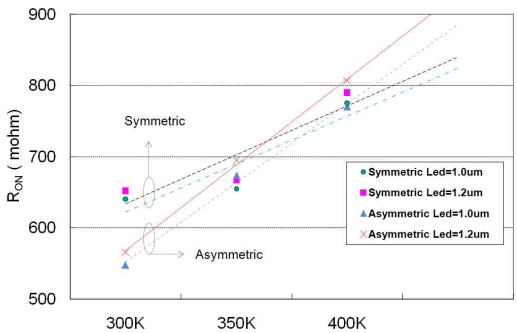

그림 6 HV-MOSFET의 온도 변화에 따른 온저항
Fig. 6. Specific On-Resistance of HV-MOSFET with temperature

그림에서 보면 온도가 증가함에 따라 비대칭형 과 대칭형 HV-MOSFET 모두 온 저항이 증가하였다. 특히 비대칭형 HV-MOSFET의 온도에 따른 온 저항

의 변화가 대칭형 구조 보다 급격함을 보인다. 이는, 실온(300K)에서의 온저항은 확장영역이 긴 대칭형 구조가 훨씬 크지만 온도가 상승함에 따라 격자 산란의 증가로 이동도의 영향이 커지기 때문이다. 또한 350K-400K 에서의 변화율이 300K-350K 에서의 변화율 보다 급격히 증가함을 볼 수 있다. 이를 통해 350K 이상에서 누설전류의 급격한 증가를 예상할 수 있다.

Ⅳ. 결 론

본 논문에서는 고온 환경에서의 대칭형 HV-MOSFET과 비대칭형 HV-MOSFET 구동 소자들의 채널길이, 확장 드레인 영역의 길이의 변화에 따른 전기적 특성변화를 실험을 통해 분석 하였다.

각각의 구조별로 고온 환경에서 확장 드레인의 길이와 채널 길이의 변화에 따른 전기적 특성을 분석하였다.

실험 결과 비대칭 구조는 400K의 온도에서 드레인 전류가 300K에서 보다 약 25% 이상 감소하였고, 트랜스 컨덕턴스는 약 40% 감소, 온 저항은 약 30% 증가 하는 것을 알 수 있었다. 이러한 변화는 주로 온도 증가에 따른 캐리어 이동도의 감소에 따른 현상으로 사료 된다. 대칭 구조의 경우는 비대칭 구조보다 드레인 전류와 트랜스 컨덕턴스의 변화폭이 적었으며 각각 20%, 35%감소를 보였으며, 온 저항은 확장 드레인영역이 길어져 35%의 더 큰 증가량을 보였다.

결론적으로, 주로 고온 환경에서 동작하는 고전압 MOSFET(HV-MOSFET)의 설계 시에는 고온 환경을 고려한 소자의 설계가 요구되며, 각 설계변수의 최적화가 필요 하다.

참고문헌

[1] A.D. Grant and J. Gowar, "Power MOSFETs: Theory and.Application" ,J. Wiley, New York ,1989

[2] B. Murari, F. Bertotti, G.A. Vignola, "Smart Power Ics Technologies and Applications", PWS, 1996

[3] B. J Baliga, "Power Semiconductor Devices", 336p-420p, PWS,1996

[4] G. Dolny et al., "Chacterization and Modeling of the Temperature Depencence of Lateral DMOS Transistor for High-Temperature Application of Power ICs",IEDM, pp789-792,1990.

[5] Rey-Tauriac Y., Badoc J., Reynard B., Bianchi R.A., Lachenal D., Bravaix, "A. Hot-carrier reliability of 20V MOS transistors in 0.13 μm CMOS technology.", Proceedings of the 16th European Symposium on Reliability of Electron Devices, Microelectronics Reliability, vol 45, pp1349-1354, 2005

[6] J. Y.C. Sun, M. R. Wordeman and S. E. Laux, "Practical accuracy analysis of some existing effective channellength and series resistance extraction methods for MOSFETs", IEEE Trans. on Electron Devices, vol 33, pp1556, 1986

[7] R. Amato et al., "Comparison fo Lateral and Vertical DMOS Specific On-Resistance", IEDM, pp736-739,1985

[8] E. Arnold, T. Letavic and H. Bhimnathwala, "High-temperature off-state characteristics of thin-SOI powerdevices" , IEEE Trans. on Electron Device Lett. 17 pp557. 1996 Dec

[9] M. Willander, "High Temperature Electronics", 69p-119p, Champman & Hall,1997

저 자 소 개

구 용 서 (정회원)

전기 전자 학회 논문지
(Journal of IKEEE) Vol8, No1참조