

An analysis of new IGBT(Insulator Gate Bipolar Transistor) structure having a additional recessedwith E-field shielding layer

Seung Woo Yu*, Han-Shin Lee*, Ey-Goo Kang#, Man young Sung**
 유 승 우*, 이 한 신*, 강 이 구#, 성 만 영,**

Abstract

The recessed gate IGBT has a lower on-state voltage drop compared with the DMOS IGBT, because there is no JFET resistance. But because of the electric field concentration in the corner of the gate edge, the breakdown voltage decreases. This paper is about the new structure to effectively improve the Vce(sat) voltage without breakdown voltage drop in 1700V NPT type recessed gate IGBT with p floating shielding layer. For the fabrication of the recessed gate IGBT with p floating shielding layer, it is necessary to perform the only one implant step for the shielding layer.

Analysis on the Breakdown voltage shows the improved values compared to the conventional recessed gate IGBT structures. The result shows the improvement on Breakdown voltage without worsening other characteristics of the device. The electrical characteristics were studied by MEDICI simulation results.

Key words : IGBT, Recessed Gate, shielding layer

I . Introduction

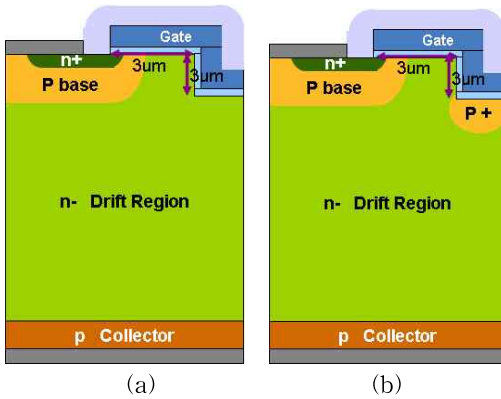
절연게이트 바이폴라 트랜지스터(IGBT)[1]는 고전압용 반도체 소자로 현재 널리 적용되고 있는 소자로 인버터, 고압 스위치, 모터구동 등과 같은 산업용에서 PDP, 가정용 가전 등의 분야로 그 적용 영역이 널리 확대 되고 있다. 특히 초고압 시스템의 산업용으로 적용 시에는 항복전압에 대한 내성 및 온상태 전압강하가 중요한 요구 조건이며 1700V 이상의 고전압에서는 트랜치 IGBT가 나온 이후 몇몇 연구그룹들이 높은 항복전압, 낮은 온상태 전압강하와 빠른 스위칭 특성을 향상시키기 위한 연구를 수행하고 있다. 일반적으로 IGBT는 DMOS 공정을 사용하여 제작하는데 이러한 소자는 기생 JFET성분이 소자의 전체

저항의 큰 부분을 차지하고 온상태 전압강하를 높게 한다. 트랜치 IGBT는 planar IGBT보다 뛰어난 온상태 특성을 보이는데 그 이유는 구조상 기생 JFET 성분이 발생하지 않으며 수직으로 형성된 채널을 통한 전류의 흐름이 자연스럽게 때문이다. 그러나 트랜치 IGBT의 channel density가 일반 DMOS 구조 IGBT보다 높기 때문에 saturation current density가 높으며 이는 short circuit 조건에서 좋지 않는 특성을 나타내게 된다. 낮은 온 상태 전압강하와 낮은 current saturation 특성을 확보하기 위해 그림 1.(a)와 같이 recessed gate IGBT 구조[2]가 제안되었다. 이 구조는 트랜치 구조처럼 JFET 영역을 제거하여 온 상태 전압강하 특성을 개선시킬 수 있으며 또한 DMOS IGBT구조처럼 낮은 saturation current density를 유지하여 short circuit조건에서 좋은 특성을 확보하여 DMOS IGBT 구조와 트랜치 IGBT 구조의 장점을 얻을 수 있다. 그러나 트랜치 구조 IGBT 구조와 마찬가지로 recessed gate 하단에 집중되는 전계로 인하여 항복전압이 감소하는 단점이 있다. 이를 보완하기 위해 shielding layer를 이용하는 recessed gate IGBT

* 高麗大學校 電子電氣工學部
 (Department of Electrical Engineering, Korea University)
 # 극동대학교 컴퓨터정보표준학부
 ★ 교신저자 (Corresponding author)

구조를 제안하였다. shielding layer는 gate하단에 집중되는 전계를 완화시켜 항복전압 특성을 향상시키는 특성을 가지고 있으며 이를 소자 simulation tool인 MEDICI를 이용하여 제안된 소자의 타당성을 검증하고자 하였다.

II. DEVICE STRUCTURE AND FABRICATION PROCESS



(a) Recessed gate
(b) Recessed gate with shielding layer
그림 1. 소자 구조

그림 1.(b)는 본 논문에서 제안하는 shielding layer를 이용하는 recessed gate IGBT구조이다. 제안한 구조의 공정순서는 그림 2에서 확인할 수 있다. 일반적인 recessed gate IGBT 구조와 달리 shielding layer를 이용하는 recessed gate IGBT 구조는 트렌치 공정을 한 후 boron을 implant시켜 p floating shielding layer구조를 만드는 추가 implant 공정이 필요하지만 트렌치 공정 후 바로 implant 공정을 하기 때문에 추가적인 마스크는 필요 없다. 이때의 이온주입 공정에서 boron이 트렌치의 옆면에 주입되면 소자의 문턱전압에 영향을 주기 때문에 웨이퍼 표면에 수직으로 이온주입을 함으로써 트렌치 옆면에 이온이 주입되지 않도록 주의해야 한다. shielding layer의 형성은 p base가 형성될 때 열공정을 같이함으로써 동시에 형성시킬 수 있다. p base와 shielding layer 형성 후 다음 공정은 일반 DMOS 공정과 같이 PR patterning을 하여 n+ emitter 영역을 implant 후 diffusion시켜 self align되게 만든다.

Shielding layer를 이용하는 recessed gate IGBT구

조는 일반 DMOS 공정에 비교하여 트렌치 공정을 위해 추가 마스크 한 장이 필요하며 shielding layer를 형성하기 위해 추가 impant 공정이 필요하다. UMOS 공정과 비교하여서는 추가 impant 공정이 필요하지만 Poly gate 평탄화 작업이 필요 없으며 소자를 동작시키기 위해 P base보다 트렌치를 깊게 만들 필요가 없다.

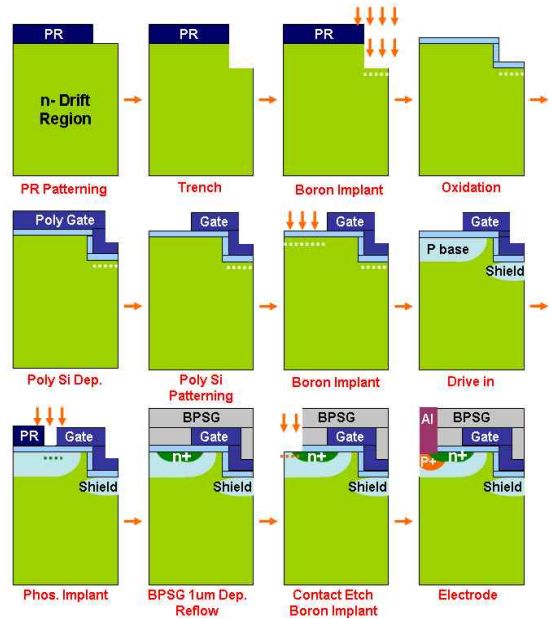


그림 2. 공정 순서

III.SIMULATION RESULTS AND DISCUSSION

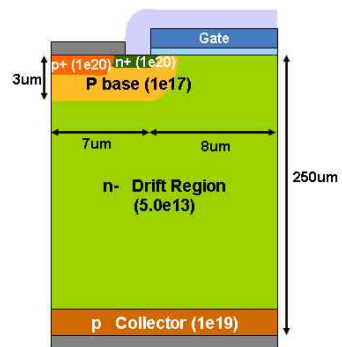
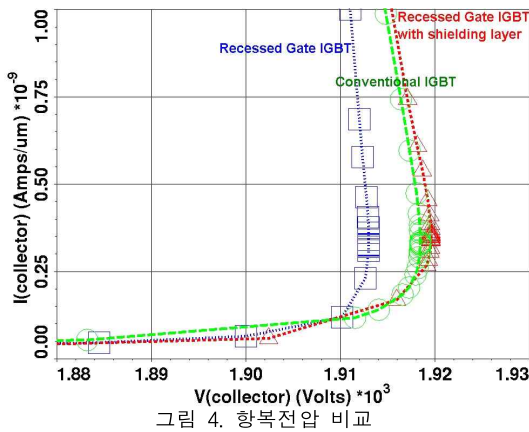


그림 3. 일반적인 IGBT 구조

Shielding layer를 사용하는 recessed gate IGBT의 동작을 살펴보기 위해 2D 시뮬레이션을 수행하였

다. 트렌치 깊이와 넓이를 $3\ \mu\text{m}$ 로 고정하였고 shielding layer의 농도는 $1 \times 10^{15}\ \text{Cm}^{-3}$ 하였다. 일반적인 구조와 recessed gate IGBT 구조, shielding layer를 사용하는 recessed gate IGBT의 구조를 비교 분석 하였으며 다른 소자 조건은 그림 4의 일반구조와 동일하다. 일반구조의 드리프트 영역의 농도는 $5.0 \times 10^{13}\ \text{Cm}^{-3}$ 으로 하였고, gate oxide의 두께는 $5000\ \text{\AA}$, half cell pitch는 $15\ \mu\text{m}$ 이다. n drift 두께는 $250\ \mu\text{m}$ 이다.

IGBT는 gate에 전압을 인가하여 수직으로 채널을 형성하여 n+ emitter의 전자와 p collector의 홀을 흐르게 하는 전력용 반도체이다. 스위칭 소자로서 gate 전압으로 턴온, 턴오프를 하며 오프상태를 유지하는 인가 할 수 있는 최대 collector 전압을 항복전압으로 정의한다. Shielding layer를 사용하는 recessed gate IGBT의 항복특성은 gate바이어스를 제로로 한 후 collector 전압을 증가시켜감으로서 알 수 있다. 그림 4에서 보는 바와 같이 shielding layer가 없는 일반적인 recessed gate IGBT 구조와 shielding layer를 이용하는 recessed gate IGBT 구조, 일반적인 구조의 항복전압 특성을 나타내었다.



Recessed gate IGBT 구조의 항복전압은 $1912\ \text{V}$, 일반적인 IGBT 구조의 항복전압은 $1919\ \text{V}$ 였으나 shielding layer를 이용하는 recessed gate IGBT 구조의 항복전압은 $1920\ \text{V}$ 로서 shielding layer가 없는 구조보다 항복전압이 $17\ \text{V}$ 상승하고 일반구조와 비슷한 것을 알 수 있다. 이는 shielding layer를 가진 recessed gate IGBT가 gate oxide edge에 집중되는 전계를 분산시킴으로 더 높은 항복전압을 얻는 것이

다. 그림 5를 통해 확인 할 수 있는데 소자의 전계가 $2.5 \times 10^5\ (\text{V}/\text{Cm})$ 일 때 shielding layer가 없는 구조는 gate edge 전계가 집중하여 명암이 짙은 것을 확인할 수 있고 shielding layer가 있는 구조는 gate edge에 집중되는 전계가 명암이 얇아짐으로서 완화된 것을 확인할 수 있다.

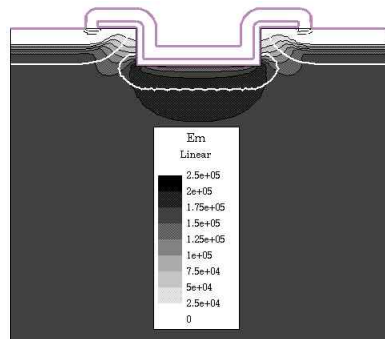
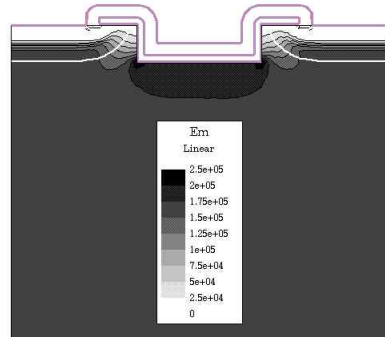


그림 5. 등전위면 비교

그림 6는 I-V 특성곡선으로 gate에 전압 15V 를 인가하여 턴온을 시킨 후 Collector에 전압을 서서히 증가시켜 $100\ \text{A}/\text{Cm}^2$ 의 전류가 흐르게 하는 Collector 전압을 비교하였다. 그림 6와 같이 일반적인 구조의 온상태 전압강하는 $1.96\ \text{V}$ 이며 recessed gate 구조의 온상태 전압강하는 $1.86\ \text{V}$, 제안한 shielding layer를 가지는 recessed gate IGBT 구조의 온상태 전압강하는 $1.87\ \text{V}$ 이다. shielding layer가 없는 recessed gate 구조와 큰 차이가 없으며 일반적인 구조보다 $0.1\ \text{V}$ 작은 온상태 전압강하를 가지고 있는 것을 알 수 있다. 이는 shielding layer를 가지는 recessed gate IGBT 구조의 소자가 shielding layer가 없는 recessed gate만큼 JFET 영역에 전압강하를 충분히 제거해주

는 효과를 가지고 있음을 알 수 있다.

그림 7은 세 소자의 Hole Current 흐름을 비교한 그림이다. recessed gate IGBT와 shielding layer를 이용하는 recessed gate IGBT의 Hole Current의 흐름이 큰 차이가 없음을 알 수 있다. 두 소자 모두 JFET 영역에 트랜치 gate로 인하여 Hole Current가 JFET 영역을 지나가지 않음을 알 수 있다. 대조적으로 일반적인 구조의 IGBT는 JFET 영역에 Hole Current가 집중하여 위의 두 소자와 비교하여 0.1 V 온상태 전압강하가 나타난 것을 확인할 수 있다.

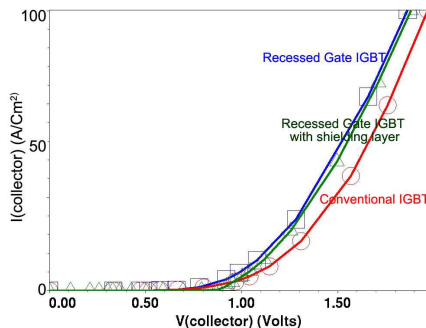
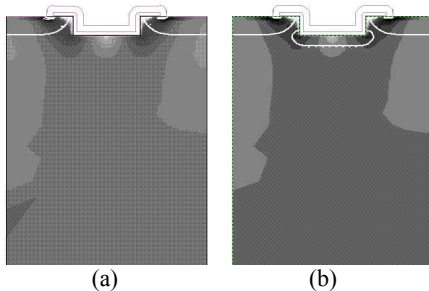
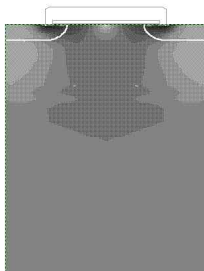


그림 6. 온 상태 전압강하 비교



(a) (b)



(c)

- (a) recessed gate IGBT
- (b) recessed gate IGBT with shielding layer
- (c) Conventional IGBT

그림 7. Hole Current 흐름 비교

IV. CONCLUSIONS

Shielding layer를 이용하는 recessed gate IGBT

구조는 순방향 저지모드 동안 gate oxide를 n-drift 영역에서 발생하는 고전계로부터 보호하기 위해 제안되어 졌다. recessed gate IGBT에서 shielding layer는 온상태 전압강하의 증가없이 항복전압을 높이는 효과를 가지고 있으며 추가적인 implant 공정만으로 쉽게 형성할 수 있다.

본 논문에서 제안하는 shielding layer를 이용하는 recessed gate IGBT 구조는 전력용 반도체에 있어서는 아주 효과적인 구조이며, 향후 shielding layer에 대해 심층적인 연구를 통하여 최적화된 shielding 특성을 얻을 수 있을 것으로 기대된다.

참고문헌

- [1] B. J. Baliga, Power Semiconductor Devices, PWS, 1996
- [2] Michio Nemoto and B. Jayant Baliga, "The Recessed-gate IGBT Structure," 1999, pp. 149-152.
- [3] Jong-Seok Lee, Ho-Hyun Shin, "The Effect of a Shielding Layer on Breakdown Voltage in Trench gate IGBT," ISPE07, Oct. 2007, pp. 62-65.
- [4] O. Spulber, E. M. Sankara Narayanan, "A novel gate Geometry for the IGBT: The Trench Planar Insulated gate Bipolar Transistor (TPIGBT)," IEEE ELECTRON DEVICE LETTERS, VOL. 20, No. 11, 1999, pp. 580-582.

저 자 소 개

유 승 우 (학생회원)



2006년 : 고려대학교 전기전자전과 공학부 졸업 (공학사)
 2006년 9월~현재 : 고려대학교 미세소자 협동과정 석사과정
 Semiconductor Device & IC Design

성 만 영 (정회원)



1989~ present : Professor in
Electrical Engineering at Korea
University.
Power Semiconductor Device &
IC Design