

논문 2007-44SD-12-12

# 서브샘플링 직접변환 수신기용 5.3GHz 광대역 저잡음 증폭기

( A 5.3GHz wideband low-noise amplifier for subsampling direct conversion receivers )

박 정 민\*, 서 미 경\*, 윤 지 숙\*, 최 부 영\*, 한 정 원\*, 박 성 민\*\*

( Jeongmin Park, Mikyung Seo, Jisook Yun, Booyoung Choi, Jungwon Han, and Sung Min Park )

## 요 약

본 논문에서는 0.18 $\mu$ m CMOS 공정을 이용하여 서브샘플링 직접변환방식 RF 수신기용을 위한 광대역 저잡음 증폭기를 구현하였다. 인버터-형태의 트랜스임피던스 입력단과 3차의 Chebyshev 매칭네트워크를 사용함으로써, 제안한 광대역 저잡음 증폭기 회로는 5.35GHz의 대역폭, 12~18dB의 전력이득, 6.9~10.8dB의 NF, 대역폭 내에서의 -10dB 이하의 입력 임피던스 매칭과 -24dB 이하의 출력 임피던스 매칭을 얻었다. 제작한 칩은 1.8V 단일 전원전압으로부터 32.4mW의 전력소모를 가지며, 0.56 x 1.0 mm<sup>2</sup>의 칩 사이즈를 갖는다.

## Abstract

In this paper, a wideband low-noise amplifier (LNA) has been realized in a 0.18 $\mu$ m CMOS technology for the applications of subsampling direct-conversion RF receivers. By exploiting the inverter-type transimpedance input stage with a 3rd-order Chebyshev matching network, the wideband LNA demonstrates the measured results of the -3dB bandwidth of 5.35GHz, the power gain (S21) of 12~18dB, the noise figure (NF) of 6.9~10.8dB, and the broadband input/output impedance matching of less than -10dB/-24dB within the bandwidth, respectively. The chip dissipates 32.4mW from a single 1.8V supply, and occupies the area of 0.56x1.0 mm<sup>2</sup>.

**Keywords :** LNA, wideband, subsampling, direct-conversion, CMOS

## I. 서 론

최근 무선통신 회로 및 시스템의 급속한 발전으로 인하여, RF회로 설계자들은 더 좋은 성능, 더 효율적인 회로기술을 개발하도록 요구되고 있다. 특히, 다채널과 다양한 형태의 송수신기가 나온 이후 광대역 CMOS RF front-end 회로에 대한 요구는 점점 증대해 왔다. 일반적으로, CMOS 공정은 III-V 화합물 반도체 혹은

Si-Bipolar 공정보다 높은 집적도와 낮은 가격 등 여러 장점을 가지고 있기 때문이다. 본 논문에서는 서브샘플링 광대역 직접변환 수신기용의 front-end LNA(Low Noise Amplifier)회로를 0.18 $\mu$ m CMOS 공정을 이용하여 구현하였다. 직접변환 또는 zero-IF 수신기는 첫 번째 하향 주파수 변화과정에서 RF신호를 낮은 IF신호로 바꾸므로, 전형적인 헤테로다인 수신기보다 전력을 덜 소비하는 반면 더 높은 집적도를 갖는다. 또한 영상 주파수와 같은 주파수 간섭문제가 없으며, 수신기에 VCO 및 연관된 주파수합성기의 필요를 없앨 수 있기에 매우 간단한 구조의 수신기를 제작할 수 있다. 그러나 서브샘플링 기법을 이용하는 데에는 샘플링 잡음 및 지터가 심각한 한계를 가지고 있다. 따라서 설계 시 매우 주의를 요하며, 새로운 회로기술 또는 알고리즘의 개발을

\* 학생회원, \*\* 평생회원, 이화여자대학교 전자정보통신공학과

(Department of Information Electronics Eng., Ewha Womans University)

※ 본 연구는 과학기술부/한국과학재단의 우수연구센터 사업으로 선정된 지능형RF연구센터의 일환으로 수행하였음 (R11-2005-029-01002-0).

접수일자: 2007년7월27일, 수정완료일: 2007년11월26일

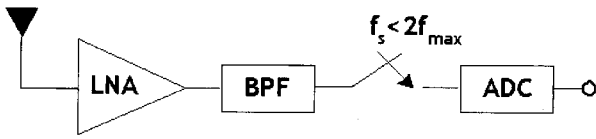


그림 1. 서브샘플링 직접변환 수신기의 간단한 블록 다이어그램  
 Fig. 1. Simplified block diagram of a subsampling direct-conversion Rx.

통해 그 영향을 줄이도록 해야 한다.

그림 1은 서브샘플링 직접변환 수신기의 간단한 블록 다이어그램으로, 광대역 LNA, 높은 Q값을 갖는 BPF(Band-pass Filter), 서브샘플러 및 ADC(Analog-to-digital converter)로 구성되어 있다. 본 논문은 전체의 수신 블록들 중 front-end단인 광대역 LNA 회로를 설계한 것으로, RF수신기의 구조와 서브샘플링 직접변환 수신기에 대한 개념이 기술되어 있고, 또한 광대역 LNA 설계 및 시뮬레이션과 칩 측정결과로 구성되어 있다.

## II. 본 론

### 1. 서브 샘플링 기법

Shannon의 샘플링이론에 따르면, 신호의 최대주파수  $f_{max}$  보다 작은 주파수를 갖는 연속 신호는  $2f_{max}$  보다 큰 주파수  $f_s$ 로 샘플링하면 완벽히 복원할 수 있다. 그러나 오버샘플링은 큰 전력과 데이터양을 낭비하기 때문에 모바일용 통신시스템과 같은 응용에 적합하지 않다. 따라서 최근 들어 수신 시스템의 초집적화와 낮은 전력소비 등을 제공하는 서브샘플링 기술이 더욱 많은 관심을 끌고 있다.

그림 2는 RF신호를 서브샘플링 한 결과를 보여주는 스펙트럼으로서, 서브샘플링을 나타내는 시리즈 델타함

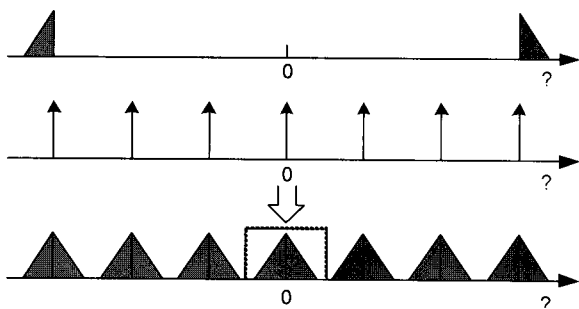


그림 2. 서브샘플링으로 인한 주파수 영역 스펙트럼  
 Fig. 2. Spectrum for subsampling in the frequency domain.

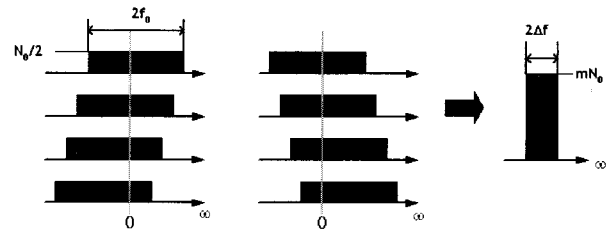
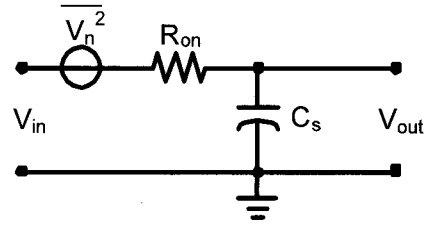


그림 3. 서브샘플링 기법에 따른 노이즈 앨리어싱 효과  
 Fig. 3. Noise aliasing effect due to subsampling.

수에 의해 RF신호가 주파수영역에서 컨볼루션 되어 2배의 대역폭을 갖는 스펙트럼 시리즈로 나타남을 볼 수 있다. 이때, 노이즈 중첩을 피하기 위한 서브샘플링 주파수  $f_s$ 에 의해 기저대역으로 변조된 신호를 선택하고, 이를 A/D 변환기에 의해 디지털 신호로 변환하게 된다. 그러나 이와 같이 서브샘플러를 이용하여 샘플링을 하게 되면, 그 입력 스펙트럼은 전 주파수대역에 걸친 백색 노이즈를 포함하기 때문에, 이 노이즈 성분의 중첩에 의해 신호의 기저대역과 겹치게 된다.

그림 3은 서브샘플러의 등가회로 및 노이즈 중첩의 개념을 보여준다. 노이즈 소스는 저항  $R_{on}$ 의 thermal noise  $\overline{V_n^2} = 4kTR_{on}\Delta f$ 으로 간단히 주어질 때, 출력 노이즈는 다음과 같다.

$$\begin{aligned} \overline{V_{out}^2} &= \left( \frac{1}{1+sCR} \right)^2 \overline{V_n^2} = \int_0^{BW} \frac{1}{1+\omega^2 R^2 C^2} \cdot 4kTR \Delta f \\ &= \frac{1}{2} \cdot \frac{kT}{C} = \frac{1}{2} \cdot N_0 \end{aligned} \tag{1}$$

그림 3에서 m배 만큼 서브샘플링 되었을 때 발생한 연속된 출력 스펙트럼이 모두 각각 겹치기 때문에, 노이즈는 기저대역에서 중첩되는데 양 측대와 신호로 존재하기 때문에 노이즈 출력은 2m배 만큼 곱해진다. 이와 같은 노이즈 중첩을 피하기 위해서는,  $f_s > 2*BW$ 의 샘플링 조건을 만족해야 한다. 그림 4는 5.3GHz의 RF신호를 서브샘플링하여 200MHz IF 신호로 출력한 예를 보여주고 있다.

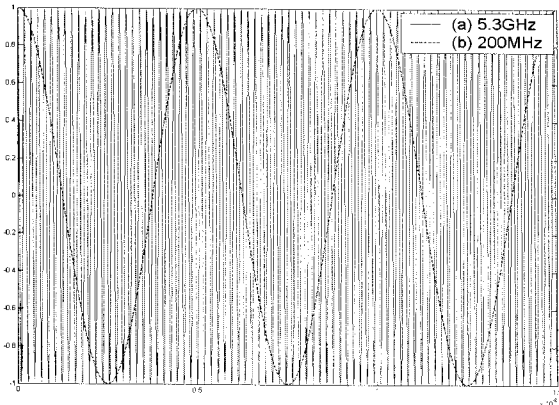


그림 4. 서브샘플링 : (a) 5.3GHz RF신호 및 (b) 200MHz 하향 변환된 IF신호  
 Fig. 4. Subsampling operations: (a) 5.3GHz RF signals, and (b) 200MHz down-converted IF signals.

2. 광대역 저잡음 증폭기 설계

무선통신 시스템에서 수신되는 RF신호는 심각하게 감쇠하고, 매우 큰 잡음을 포함하기 때문에, 신호 증폭 처리 및 저잡음 기능을 갖는 front-end 회로, 즉 LNA가 꼭 필요하다. 따라서 LNA는 수신기의 전체 노이즈 특성을 결정하는 데에 있어서 가장 중요한 역할을 하며, 또한 입출력 임피던스 매칭( $S_{11}$ ,  $S_{22}$ )과 전력이득( $S_{21}$ ), 3<sup>rd</sup> order intermodulation product (IIP3), 1dB compression point ( $P_{1dB}$ )의 성능 역시 동시에 고려하여 매우 신중하게 설계해야 한다.

가. 회로 구조 및 설명

본 논문에서는, 각기 다른 주파수 영역에서 가능한 모든 표준(standard)을 포함하는 넓은 대역폭의 LNA를 설계하였다. 따라서 LNA의 큰 대역폭을 얻기 위해 무선통신 수신기에 사용하는 트랜스임피던스 증폭기 구조를 이용하였다. 특히, 매우 간단한 구조의 inverter-type 트랜스임피던스 증폭기 회로를 사용하였고<sup>[1,2]</sup>. 그 회로도가 그림 5에 나타나 있다. 전압이득과 피드백 저항

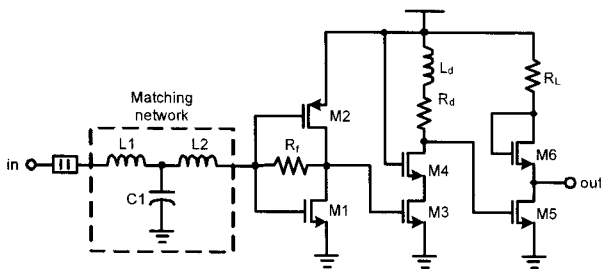


그림 5. 광대역 LNA의 회로도  
 Fig. 5. Schematic diagram of the wideband LNA.

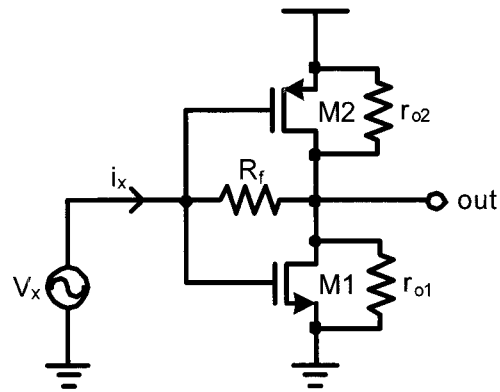


그림 6. 광대역 LNA의 입력단  
 (인버터 형태의 트랜스 임피던스 증폭기 회로)  
 Fig. 6. Input stage (inverter-type transimpedance amplifier) of the wideband LNA

( $R_f$ ) 및 입력 임피던스 매칭과의 설계 tradeoff로 인해, 임피던스 매칭회로를 구성하였고, 높은 전압이득을 얻도록 캐스코드 형태의 두 번째 전압이득단을 설계하였으며, 50Ω 출력 임피던스 매칭을 위해 CML 형태의 출력버퍼단을 구성하였다. 전압이득단 내에서 발생하는 pole을 높은 주파수로 이동시키기 위하여 인덕티브 shunt 피킹기법을 사용하였다.

(1) LNA의 입력 임피던스 매칭과 전압이득

소신호 분석에 따르면 (그림 6 참조), LNA회로의 첫 단인 인버터 형태의 트랜스임피던스 입력단의 입력저항 ( $R_{in}$ )과 전압이득( $A_v$ )은 다음과 같다.

$$R_{in} = \frac{1 + \frac{R_f}{r_{o1} \parallel r_{o2}}}{\left( g_{m1} + g_{m2} + \frac{1}{r_{o1} \parallel r_{o2}} \right)} \quad (2)$$

$$A_v = \frac{v_{out}}{v_{in}} = \left[ \frac{1}{R_f} - (g_{m1} + g_{m2}) \right] \times \left( R_f \parallel (r_{o1} \parallel r_{o2}) \right) \quad (3)$$

$$\cong -R_f (g_{m1} + g_{m2})$$

위 식에서  $R_f$ 는 shunt-feedback 저항,  $g_{mi}(i=1,2)$ 과  $r_{oi}(i=1,2)$ 는 각각 트랜스컨덕턴스와 M1, M2의 출력저항을 나타낸다.

식에서 보는 바와 같이,  $R_f$ 가 클수록 전압이득은 높지만, 입력 임피던스 매칭을 상당히 악화시키는 설계상 tradeoff가 발생한다. 이를 극복하기 위해, 본 연구에서는 넓은 대역폭에서 입력저항을 50Ω에 매칭하기 위한

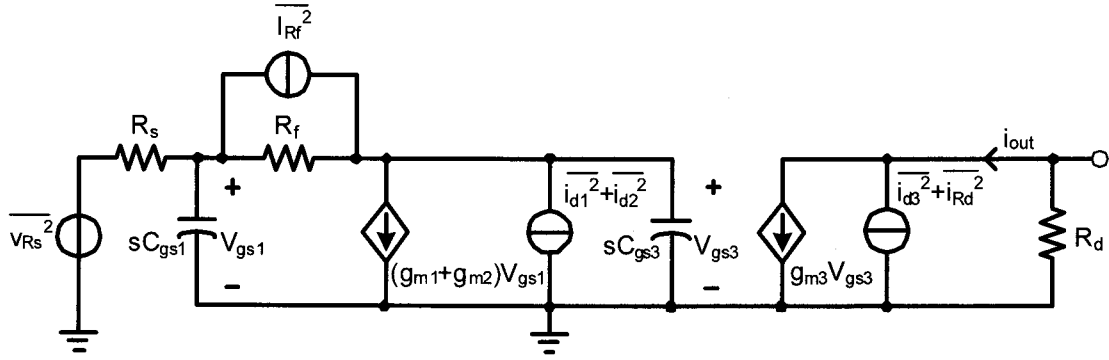


그림 7. 광대역 LNA의 노이즈 등가회로

Fig. 7. Noise equivalent circuit in the wideband LNA

$$\begin{aligned} \overline{i_{out,R_s}^2} &= \frac{g_{m3}^2 [1 - R_f (g_{m1} + g_{m2})]^2}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times \overline{v_{R_s}^2} \\ &= \frac{g_{m3}^2 [1 - R_f (g_{m1} + g_{m2})]^2}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times 4kTR_s \end{aligned} \quad (4)$$

$$\begin{aligned} \overline{i_{out,1}^2} &= \frac{g_{m3}^2 R_f^2 [\omega^2 C_{gs1}^2 R_s^2 + \{(g_{m1} + g_{m2}) R_s + 1\}^2]}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times \overline{i_{R_f}^2} \\ &= \frac{g_{m3}^2 R_f^2 [\omega^2 C_{gs1}^2 R_s^2 + \{(g_{m1} + g_{m2}) R_s + 1\}^2]}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times \frac{4kT}{R_f} \end{aligned} \quad (5)$$

$$\begin{aligned} \overline{i_{out,2}^2} &= \frac{g_{m3}^2 [\omega^2 C_{gs1}^2 R_s^2 R_f^2 + (R_s + R_f)^2]}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times (\overline{i_{d1}^2} + \overline{i_{d2}^2}) \\ &= \frac{g_{m3}^2 [\omega^2 C_{gs1}^2 R_s^2 R_f^2 + (R_s + R_f)^2]}{[1 + R_s (g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2} \times 4kT \Gamma (g_{m1} + g_{m2}) \end{aligned} \quad (6)$$

$$\overline{i_{out,3}^2} = \overline{i_{d3}^2} + \overline{i_{R_D}^2} = 4kT \left( \Gamma g_{m3} + \frac{1}{R_D} \right) \quad (7)$$

매칭 네트워크 회로로서 Chebyshev 필터를 사용하였다<sup>[3]</sup>. 사용한 필터회로는 3차의 low-pass 형태의 네트워크이므로, bond-wire 인덕턴스와 칩 내의 패드 및 ESD protection 다이오드로 인한 기생 커패시턴스를 이용하여 매우 쉽게 설계하였다.

## (2) LNA의 노이즈 분석

다음은 인버터 형태 트랜스 임피던스 회로의 노이즈 특성을 분석한 것이다. 세 가지의 주요한 노이즈 소스로 나타낼 수 있다 (그림 7 참조).

(1) 소스저항  $R_s$  ( $50\Omega$ )로 인한 출력 노이즈 전류 스펙트럼 밀도: (수식 4 참조).

(2) 피드백 저항( $R_f$ )의 열잡음으로 인한 출력 노이즈 전류 스펙트럼 밀도: (수식 5 참조).

(3) MOSFET의 채널 열잡음 ( $\overline{i_{d1}^2} + \overline{i_{d2}^2}$ )으로 인한 노이즈 전류 스펙트럼 밀도: (수식 6 참조).

여기서  $\Gamma$ 는 잡음지수로서 long-channel 트랜지스터의 경우  $2/3$ 이며, deep submicron MOSFET은 이보다

$$\begin{aligned}
 NF &= 1 + \frac{\overline{i_{out,1}^2}}{i_{out,R_s}^2} + \frac{\overline{i_{out,2}^2}}{i_{out,R_s}^2} + \frac{\overline{i_{out,3}^2}}{i_{out,R_s}^2} \\
 &= 1 + \frac{R_f[\omega^2 C_{gs1}^2 R_s^2 + \{(g_{m1} + g_{m2})R_s + 1\}^2]}{[1 - R_f(g_{m1} + g_{m2})]^2 R_s} + \frac{[\omega^2 C_{gs1}^2 R_s^2 R_f^2 + (R_s + R_f)^2] \Gamma(g_{m1} + g_{m2})}{[1 - R_f(g_{m1} + g_{m2})]^2 R_s} \\
 &\quad + \frac{[1 + R_s(g_{m1} + g_{m2}) - \omega^2 C_{gs1} C_{gs3} R_s R_f]^2 + \omega^2 [C_{gs1} R_s + C_{gs3} (R_s + R_f)]^2}{g_{m3}^2 [1 - R_f(g_{m1} + g_{m2})]^2 R_s} \left( \Gamma g_{m3} + \frac{1}{R_D} \right)
 \end{aligned} \tag{8}$$

$$\begin{aligned}
 NF &= 1 + \frac{\overline{i_{out,1}^2}}{i_{out,R_s}^2} + \frac{\overline{i_{out,2}^2}}{i_{out,R_s}^2} + \frac{\overline{i_{out,3}^2}}{i_{out,R_s}^2} \\
 &\cong 1 + \frac{(1 + 2g_m R_s)^2 + \omega^2 C_{gs1}^2 R_s^2}{4g_m^2 R_s R_f} + \frac{\Gamma(1 + \omega^2 C_{gs1}^2 R_s^2)}{2g_m R_s} \\
 &\quad + \frac{(1 + 2g_m R_s - \omega^2 C_{gs1} C_{gs3} R_s R_f)^2 + \omega^2 (R_s C_{gs1} + R_f C_{gs3})^2}{4g_m^2 g_{m3}^2 R_s R_f^2} \left( \Gamma g_m + \frac{1}{R_D} \right)
 \end{aligned} \tag{9}$$

크다.

(4) 둘째 전압이득단의 노이즈 소스 ( $\overline{i_{d3}^2} + \overline{i_{RD}^2}$ )으로 인한 출력 노이즈 전류 스펙트럼 밀도: (수식 7 참조).

위 식으로부터, LNA 입력단의 노이즈 특성(NF)은 다음과 같이 나타낼 수 있다. (수식 8 참조).

위 (8)식에서, 다음 세 가지 조건을 가정했을 때,

- (1) M1, M2 각각의  $g_m$  값이 같다고 가정 :

$$g_{m1} = g_{m2} = g_m$$

- (2)  $R_f(g_{m1} + g_{m2}) \gg 1$

- (3)  $R_f \gg R_s$

NF(noise figure)는 다음과 같이 나타낼 수 있다. (수식 9 참조).

위 식에 따라, NF를 최소화하기 위해서는 바이어스 전류 혹은 트랜지스터 크기를 최적화해야 함을 알 수 있다. 또한, 2.4GHz에서 NF를 계산한 값은 7.2dB로서, NF 측정 결과인 7.7dB (그림11 참조)와 매우 유사하다.

이 때, 설계한 회로의 각 소자 파라미터는  $g_{m1}=g_{m2}=g_m=20mS$ ,  $g_{m3}=26mS$ ,  $R_s=50\Omega$ ,  $R_f=1k\Omega$ ,  $R_D=80\Omega$ ,  $C_{gs1}=72.7fF$ ,  $\Gamma=2.0$  이다.

나. 칩 제작과 측정 결과

본 논문에서 제안한 광대역 LNA는 0.18 $\mu$ m CMOS 공정으로 설계 및 제작되었다. 그림 8은 제작한 칩의 마이크로 사진으로 0.56x1.0mm<sup>2</sup>의 코어면적을 갖는다. 또한, COB를 통하여 제작한 후, S-파라미터를 측정하기 위한 장비의 구성을 보여준다.

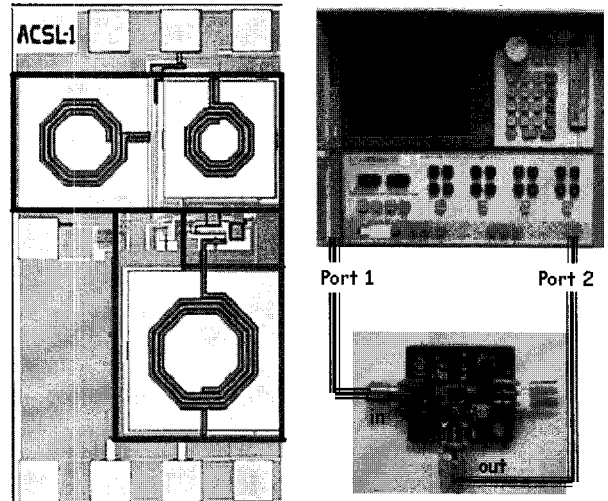


그림 8. (a) 제안한 광대역 LNA 칩 사진 및 (b) S-파라미터 측정 PCB 모듈

Fig. 8. (a) Chip microphotograph of the proposed wideband LNA and (b) PCB module test setup for S-parameters with a network analyzer.

크로 사진으로 0.56x1.0mm<sup>2</sup>의 코어면적을 갖는다. 또한, COB를 통하여 제작한 후, S-파라미터를 측정하기 위한 장비의 구성을 보여준다.

그림 9는 제안한 LNA 칩의 post-layout 시뮬레이션 결과로서, S-파라미터 결과를 보여준다. 입력 반사손실(S<sub>11</sub>)과 출력반사손실(S<sub>22</sub>)은 전 주파수 영역에서 각각 -9.4dB와 -12.6dB보다 작게 나타나고, 전력이득(S<sub>21</sub>)은 18.8dB이며  $\pm 1.5dB$ 의 ripple을 갖는다. 또한,

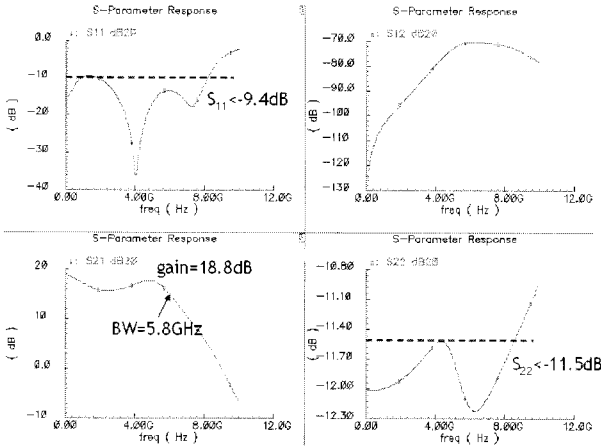


그림 9. 광대역 LNA의 S-파라미터 포스트-레이아웃 시뮬레이션 결과

Fig. 9 Post-layout simulation results of the wideband LNA.

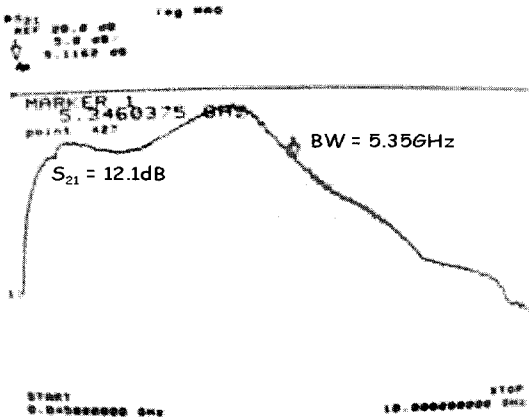


그림 10. 광대역 LNA의 S21 측정 결과

Fig. 10. Measured S21 of the wideband LNA.

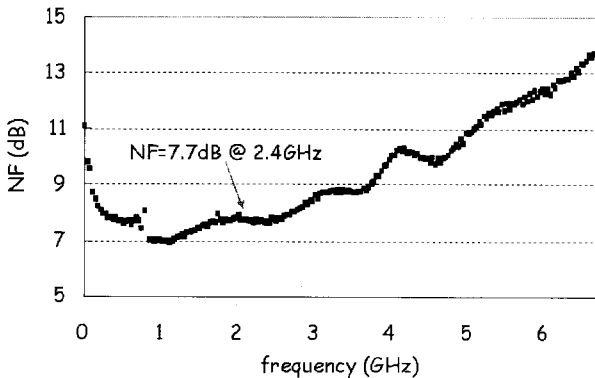


그림 11. 광대역 LNA 칩의 노이즈 특성 측정 결과

Fig. 11. Measured NF of the wideband LNA.

5.8GHz의 -3dB 대역폭을 보여준다. 그림 10은 S-파라미터 측정결과로서 12~18dB의 S<sub>21</sub> (전력이득)과 5.35GHz의 주파수 대역폭을 갖는다. Post-layout 시뮬레이션 결과와 달리, 낮은 주파수 대역에서 보여지는

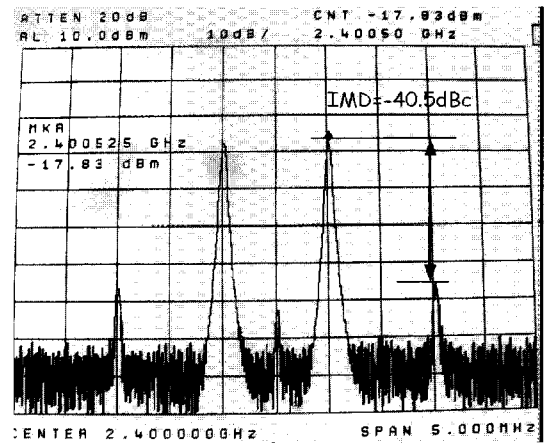
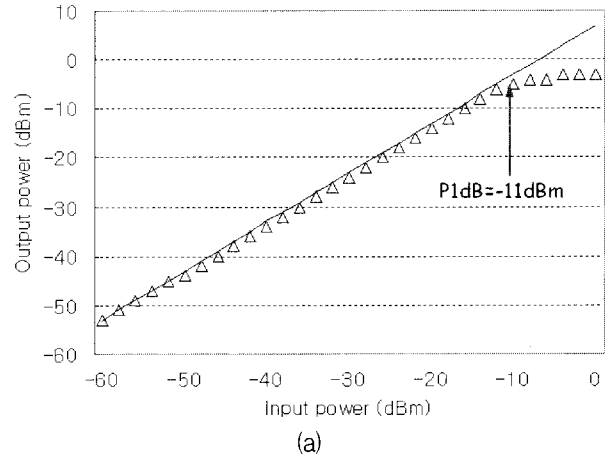


그림 12. (a) 1dB compression point, (b) 2.4GHz에서의 IIP3 측정 결과

Fig. 12. Measured (a) 1dB compression point, (b) IIP3 of wideband LNA at 2.4GHz

약 6dB의 signal loss는 임피던스 매칭 네트워크의 인덕터에서 발생하는 기생 저항성분과 측정 시 사용한 AC-coupling 캐패시턴스의 작은 값에 의한 low-cutoff 주파수가 증대된 것으로 추정된다.

그림 11은 노이즈 특성 측정결과로서, DC~5.35GHz 주파수 대역 내에서 6.9~10.8dB의 NF를 얻었다. 그림 12(a), (b)는 각각 제작한 LNA의 P<sub>1dB</sub> (1dB compression point)와 IIP3 (3<sup>rd</sup> order input intercept point)의 측정결과로서, -11dBm의 입력 P<sub>1dB</sub>를 얻었고, two-tone intermodulation 측정결과, 입력전압이 -22dBm일 때 IMD3 (3<sup>rd</sup> order intermodulation)는 -40.5dBc를 얻었다. 이는 -1.75dBm의 IIP3에 해당한다.

DC 분석결과, 제작한 LNA 칩은 공급전력 1.8V로부터 32.4mW 전력소모를 갖는다. 표 1은 최근에 발표된 CMOS wideband LNA와 본 논문에서 소개한 LNA의 성능비교를 보여준다.

표 1. 최근 발표된 광대역 LNA의 성능 비교

Table 1. Comparison with recently published wideband CMOS LNAs

Ref.	BW (GHz)	S <sub>21</sub> (dB)	S <sub>11</sub> (dB)	S <sub>12</sub> (dB)	S <sub>22</sub> (dB)	NF (dB)	Power (mW)	IIP3 (dBm)	P <sub>1dB</sub> (dBm)	Tech (mm)
[4]	1.8-2.1	30	-15 ~ -25	N/A	N/A	1.9-2.05	<7	N/A	N/A	0.18
[5]	5.5	14.4 /12.2	-7.4 /-7.2	N/A	-8.1 /-10.3	5.1	<75	-4.7	-15.2	0.18
[6]	0.7-5	12	N/A	N/A	N/A	<3	18.9	N/A	N/A	0.18
[7]	3.1-10.6	8-10.2	<-13	N/A	N/A	4.4	10.3	N/A	-2.48	0.18
[8]	0.93	13	N/A	<-20	<-10	4	0.72	-10.2	-18	0.13
This Work	5.35	12-18	<-10	<-40	<-24	6.8-10.8	32.4	-1.75@ 2.4GHz	-11@ 2.4GHz	0.18

### III. 결 론

본 논문에서는 0.18 $\mu$ m CMOS 공정을 이용하여 서브 샘플링 기법을 이용한 직접변환 RF 수신단에 이용될 수 있는 저잡음 증폭기(Low-Noise Amplifier)를 설계 하였다. 광대역의 주파수 대역폭을 갖도록 LNA 입력단에 인버터 형태의 트랜스임피던스 (TIA) 회로를 이용하여, 전체 대역폭을 5.35GHz로 증가하는 효과를 얻었고, 측정 결과 5.3GHz 대역폭 내에서 12~18dB의 전력이득과 6.9~10.8dB의 NF를 얻었다. 또한, 대역폭 내에서 입력 및 출력 임피던스 매칭 (S<sub>11</sub>/S<sub>22</sub>)은 각각 -10dB/-24dB 이하로 50 $\Omega$  matching 되었다. 제작한 칩은 1.8V의 단일 전원전압으로부터 32.4mW의 전력을 소모하고, 0.56mm<sup>2</sup> 면적에 구현하였다.

### 참 고 문 헌

[1] J. -H. Mun et al., "Four-Channel CMOS Photoreceiver Array for Parallel Optical Interconnects", *IEEE Proc. of ISCAS*, pp. 1529-1532, May 2005.

[2] C. -W. Kim et al., "Ultra-wideband CMOS low noise amplifier", *IEE Electronics Letters*, Vol.41, No.7, pp.384-385, 2005.

[3] M. S. Park et al., "Ultra-Low-Noise and Wideband-Tuned Optical Receiver Synthesis and Design", *IEEE J. of Lightwave Technology*, Vol. 12, No. 2, pp. 254-259, 1994.

[4] W. Huang et al., "A CMOS Wideband LNA for DSC1800 PCS1900 and WCDMA", *IEEE Proc. of MWSCAS*, Vol. 3, pp.1235 -1238, 2003.

[5] S. Anderson et al., "Wideband LNA for a Multi-standard Wireless Receiver in 0.18 $\mu$ m

CMOS", *ESSCIRC*, pp. 655 - 658, 2003.

[6] M. A. Martins et al., "A Wide-Band Low-Noise Amplifier with Double Loop Feedback", *IEEE Proc. of ISCAS*, Vol. 6, pp. 5353 - 5356, 2005.

[7] Y. Soliman et al., "A CMOS Ultra-wideband LNA Utilizing a Frequency-Controlled Feedback Technique", *IEEE International Conf. on Ultra-Wideband*, pp. 530 - 535, 2005.

[8] S. B. T. Wang et al., "A Sub-mW 960-MHz Ultra-Wideband CMOS LNA", *IEEE Proc. of RFIC Symposium*, pp. 35-38, 2005.

저 자 소 개



**박 정 민**(학생회원)  
 2005년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2007년 이화여자대학교 정보통신  
 학과 석사졸업.  
 2007년 현재 삼성전자 메모리  
 사업부 1팀 임베디드  
 플래시

<주관심분야 : RF 회로설계 및 메모리 NAND 플  
 래시 설계>



**서 미 경**(학생회원)  
 2008년 이화여자대학교 정보통신  
 학과 학사졸업예정.  
 <주관심분야 : RF 및 초고속 유  
 선통신용 아날로그 회로설계>



**윤 지 숙**(학생회원)  
 2008년 이화여자대학교 정보통신  
 학과 학사졸업예정.  
 <주관심분야 : RF 및 초고속 유  
 선통신용 아날로그 회로설계>



**최 부 영**(학생회원)  
 2007년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2007년 현재 이화여자대학교  
 전자정보통신공학과 석사  
 과정.

<주관심분야 : 초고속 아날로그  
 및 디지털 인터페이스 회로설계>



**한 정 원**(학생회원)  
 2007년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2007년 현재 이화여자대학교  
 전자정보통신공학과  
 석사과정.

<주관심분야 : 초고속 아날로그 및 디지털 인터  
 페이스 회로설계>



**박 성 민**(평생회원)  
 1993년 한국과학기술원 전기및  
 전자공학과 학사졸업.  
 1994년 런던대학교 전자공학과  
 석사 졸업.  
 2000년 임페리얼 공대 전자공학과  
 박사 졸업.

2007년 현재 이화여자대학교 전자정보통신공학과  
 조교수

<주관심분야 : RF 및 광통신용 초고속 아날로그  
 회로 설계>