
전류 구동형 A/D converter 회로 설계

이종규* · 오우진* · 김명식*

Circuit design of current driving A/D converter

Jong-gyu Lee* · Woo-jin Oh* · Myung-sik Kim*

이 논문은 2007년도 금오공과대학교 연구비를 지원받았음

요 약

0.25 μ m N-well CMOS 공정기술을 이용하여 전류 구동형 A/D 변환기 회로를 설계하였다. 설계된 회로도에는 트랜스컨덕턴스(transconductance), 선형 폴더(folder) 회로 및 1 비트 A/D 변환기로 구성되어 있다. 트랜스컨덕턴스 회로를 이용하여 입력전압을 전류로 변환시킨 후 변환된 전류신호를 이용하여 선형성이 매우 양호한 폴더 회로를 얻을 수 있었다. 폴더 회로를 다단으로 종속접속시킴으로써 n비트 A/D 변환기로 확장할 수 있다. 본 연구에서 설계된 A/D 변환기는 대략 25MSPS으로 구동할 수 있는 6비트 A/D 변환기 회로이다.

ABSTRACT

Multi-stage folding A/D converter circuit with 0.25 μ m N-well CMOS technology is designed. This A/D converter consists of a transconductance circuit, linear folder circuit and 1bit A/D converter circuit. In H-spice simulation results, linear folder circuits having high linearity can be obtained when the current mode is used instead of voltage mode. And in case of 6bit, the delay time is limited about 40ns. From this results, 6bit 25MSPS A/D converter circuit can be realized.

키워드

A/D 변환기, folding, folder 회로, transconductance

I. 서 론

Analog 신호를 Digital 신호로 변환하는 A/D 변환기는 이동통신 단말기, 광대역 모뎀등과 같은 통신 분야, HDTV, 캠코더, 스캐너 및 디지털카메라 등과 같은 영상 신호 처리 분야, MRI(Magnetic Resonance Imaging), 보청기 등의 의료기기 분야, 음성인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 산업 전반에 널리 사용되고 있다. 이러한 다양한 분야에 적용되는 A/D 변환기의 사양과

구조는 적용 분야에 따라서 다르게 결정되지만[1-3] 점차 기술의 발달로 인해 고속 동작 및 고 해상도를 요구하고 있다.

제품의 경량 소형화를 추구하기 위해서는 A/D 변환기는 주변의 아날로그 회로와 디지털 회로가 함께 집적되어야 하며 이를 실현하기 위해 사용되는 Hybrid chip이나 BiCMOS chip은 가격이 높아 사용하는데 제약이 되어 아날로그 회로와 함께 표준 디지털 CMOS 공정에 맞추어 설계하는 것이 일반화 되고 있다. 본 연구에서는

0.25 μ m CMOS 공정을 이용하여 회로를 설계하였다.

현재까지 발표된 A/D 변환기 중에서 가장 속도가 빠른 것은 flash 변환기이지만 회로가 차지하는 면적이 넓고 전력 소모가 매우 커서 일반적으로 8비트 이상의 변환기에는 사용되지 않고 있으며[4,5], 면적과 전력 소모 면에서의 단점을 보완하기 위해 개발된 기술이 Two-step flash A/D 변환기이다.[6,7] Two-step flash A/D 변환기는 상위 비트와 하위 비트를 나누어 처리함으로써 flash A/D 변환기에 비해 변환 속도가 다소 느리지만 회로가 차지하는 면적과 전력 소모 면에서 큰 장점을 가진다.

Two-step flash A/D 변환기는 상위 비트를 먼저 flash A/D 변환기와 동일한 방법으로 변환한 다음 그 상위 비트에 해당하는 아날로그 값을 D/A 변환기를 통해 결정하고 그 값으로 하위 비트를 결정하는 관계로 속도 면에서 매우 느린 단점을 가지고 있다. 이와 같은 단점을 보완하기 위해 파이프라인 A/D 변환기[8-10]와 폴딩(Folding) A/D 변환기[11-13]가 연구 개발되었다. 먼저 파이프라인 A/D 변환기는 하위 비트의 변환과 동시에 입력으로부터 다음 신호를 받아들여 상위 비트를 변환을 실시하는 것으로써 속도 면을 보완 하였을 뿐만 아니라 multi-stage로 확장이 가능하여 칩 크기와 전력 소모 면에서 보다 유리한 변환기를 설계할 수 있다. 한편 폴딩 A/D 변환기는 상위 비트와 하위 비트를 나누어 변환하는 방법은 위와 동일하지만 위 방법의 경우 상위 비트의 값이 결정이 된 후 하위 비트가 결정되는 순차적인 방법이지만 폴딩 A/D 변환기는 상위 비트의 값과 무관하게 하위 비트를 변환하는 방법으로 속도를 개선한 변환기이다. 그러나 하위 비트를 결정하는 신호가 입력신호에 대해 선형적으로 변화하지 않기 때문에 하위 비트를 결정하는 비교기 수만큼 폴더(folder) 회로가 필요하여 회로의 면적이나 전력 소모 면에서 앞의 방법에 비해 큰 장점을 얻을 수 없다. 또한 폴더 회로의 비선형성으로 인해 multi-stage로의 확장이 불가능하다.

본 논문에서는 이와 같은 폴딩 A/D 변환기의 비선형성 단점을 해결하여 multi-stage 폴딩 변환기 회로를 설계하고자 한다.

II. 구조 및 동작 원리

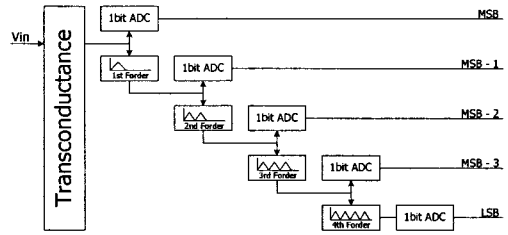


그림 1. 전류구동형 A/D 변환기의 블록 다이어그램
Fig.1. Block diagram of current driving A/D converter

그림1은 본 연구에서 제안된 전류구동형 A/D 변환기의 블록다이어그램이다. 먼저 트랜스컨덕턴스 회로가 입력 전압을 받아 입력전압에 비례하는 전류를 생성시킨다. 입력전압에 대한 선형적인 폴더 회로를 구현하기는 불가능하지만 입력전류에 대한 선형적인 폴더 회로를 구현하는 것이 가능하므로 본 논문에서는 전류구동 폴더 회로를 구현하였다. 따라서 입력전압에 비례하는 입력전류를 얻기 위해 A/D 변환 전에 트랜스컨덕턴스 회로를 사용하였다. 전류 파형으로 변환된 입력 신호가 1비트 ADC로 첫 번째 비트를 생성하는 동시에 첫 번째 폴더회로를 통하여 첫 번째 비트와 무관한 나머지 비트를 결정하는 파형으로 변형한다. 이때 폴더 회로의 전달 특성이 톱니파 형태일 경우에는 결과가 binary code이지만 본 논문에서와 같이 삼각파 형태일 경우에는 gray code로 나타나게 된다. 두 번째 폴더 회로도 첫 번째 폴더 회로와 동일한 특성을 가짐으로써 MSB 2비트를 제외한 나머지 비트를 결정하는 전류신호로 바뀌게 된다. 이와 같은 변환을 계속해서 반복 시행함으로써 n비트의 변환이 완료 된다.

본 논문에서 제안된 변환기의 장단점을 살펴보면 전체 사용되는 폴더 회로의 수가 구하고자 하는 비트의 수와 같으므로 전체 회로의 크기는 하나의 폴더 회로의 크기와 비트수의 곱에 의해 결정되면 이는 회로의 크기뿐만 아니라 전력 소모 면에서도 큰 장점을 가진다. 그러나 변환기에서 요구되는 변환 시간은 하나의 폴더 회로에서 발생하는 지연 시간과 비트 수의 곱에 의해 결정되므로 비트 수의 증가에 따라 변환시간이 다소 증가하는 단점을 가진다. 그러나 CMOS 반도체 제조 기술의 발달로 하나의 폴더 회로에 의해 발생하는 지연시간을 급격히

줄일 수 있다면 전체적으로 변환시간을 줄일 수 있어 현재 요구되는 A/D 변환기의 sampling frequency 사양을 만족할 수 있을 것이다. 본 논문에서 제안하는 각 회로의 크기와 지연시간은 다음 장에서 다루기로 한다.

III. A/D 변환기 회로 설계 및 H-spice 시뮬레이션 결과

3.1. 트랜스컨덕턴스 회로

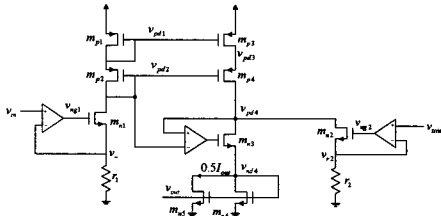


그림 2. 트랜스컨덕턴스 회로도
Fig. 2. Transconductance circuit

m_{n1} 의 source에 인가되는 전압이 입력전압, v_{in} 에 비례하므로 저항과 m_{n1} 및 op-Amp을 통하여 v_{in} 에 비례하는 전류가 m_{n1} 및 m_{p1} 의 drain에 흐른다. m_{p1} , m_{p2} 와 m_{p3} , m_{p4} 는 wilson current mirror로서 drain 전류가 서로 동일한 값을 갖는다. 또한 저항과 m_{n2} 를 통하여 v_{min} 에 해당하는 전류를 m_{p3} 의 drain 전류에서 빠져나가므로 m_{n3} 의 drain 전류는 위 두 전류의 차가 된다. 따라서 $I_{out} \propto (v_{in} - v_{min})$ 이 성립하여 입력전압에 비례하는 전류를 얻을 수 있다. m_{n4} 와 m_{n5} 를 병렬로 연결함으로써 전류의 값을 반으로 줄였다. 이는 폴더 회로에서 사용되는 $0.5I_{max}$ (입력전압이 최대일 경우 흐르는 전류 값: I_{max})의 값을 보다 용이하게 하기 위해서이다.

H-spice를 사용하여 그림 2의 회로도에 대한 시뮬레이션 결과를 나타낸 그림 3에서 보는 바와 같이 입력 전압의 범위가 0.5V에서 약 2V까지는 출력전류인 m_{n4} 의 drain 전류 값이 입력전압과 선형적인 특성을 나타내고 있다. 따라서 입력전압에 대한 A/D변환은 전류의 A/D변환으로 치환 가능하다.

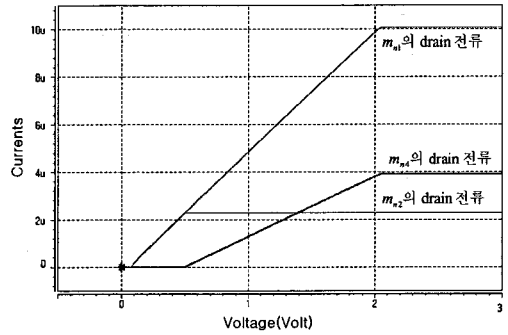


그림 3. 트랜스컨덕턴스 회로에 대한 H-spice 시뮬레이션 결과

Fig. 3. Results of H-spice simulation in transconductance circuit

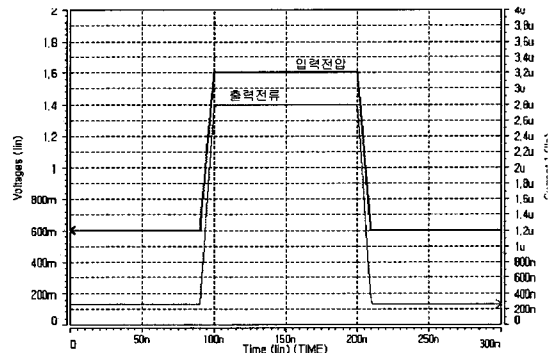


그림 4. 트랜스컨덕턴스 회로에서 입력전압 파형에 대한 출력 전류 파형

Fig. 4. Output current wave versus input voltage wave in transconductance circuit

편 그림 2의 회로도에 대한 지연을 점검하기 위해 입력전압으로 step function을 인가한 경우 나타나는 출력 전류 파형을 그림 4에 나타내었으며 그 결과 지연시간은 거의 존재하지 않는 것을 알 수 있다.

3.2. Folder 회로

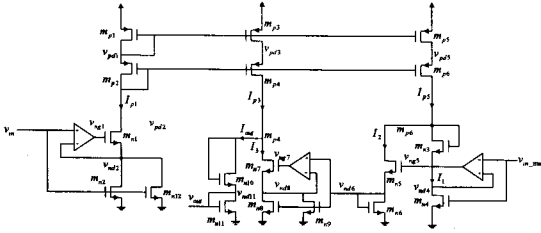


그림 5. 폴더 회로도
Fig. 5. Folder circuit

지금까지 발표된 폴딩 변환기에서 사용된 폴더 회로는 전압 과형을 사용하여 선형성이 매우 낮은 단점이 있다.[11] 본 논문에서는 이와 같은 비선형성의 단점을 보완하기 위해 입력전압과형을 트랜스컨덕턴스 회로를 통하여 전류 과형으로 처리한 다음 이 전류과형을 입력으로 사용하여 선형성이 양호한 전류폴더 회로를 설계하였다. 그림 5는 본 논문에서 사용된 폴더 회로로써 각 부분별 설명은 다음과 같다. 트랜스컨덕턴스에서 전류에 대응되는 출력전압을 폴더 회로의 입력전압으로 사용되면 m_{n2} 의 drain 전류는 트랜스컨덕턴스의 출력전류와 동일한 값을 가진다. m_{n12} 를 병렬로 연결하여 m_{p1} 의 drain 전류는 트랜스컨덕턴스의 출력전류를 2배로 증폭함으로써 트랜스컨덕턴스에서 전류의 값을 반으로 줄인 것을 상쇄시켰다. m_{p1} , m_{p2} 와 m_{p3} , m_{p4} 및 m_{p5} , m_{p6} 는 wilson current source 이므로 $I_{in} = I_{p1} = I_{p3} = I_{p5}$ 가 성립한다.

여기서 channel length modulation 효과를 줄이기 위해 출력 저항이 매우 큰 wilson current source를 사용하였다. 한편 트랜스컨덕턴스에서 입력전압을 최댓값으로 인가할 경우 출력전압을 v_{in_max} 라고 두면 m_{n4} 의 drain 전류, I_1 은 최대 $0.5I_{max}$ 가 될 것이다. 즉 $I_{p5} < 0.5I_{max}$ 가 성립하면 $I_1 = I_{p5}$ 가 되지만 $I_{p5} > 0.5I_{max}$ 일 경우에는 M_{n5} 가 동작하여 $0.5I_{max}$ 를 초과하는 전류는 M_{n5} 를 통해 흐른다. 따라서 I_1 의 값은 다음 식과 같이 표현 가능하다.

$$I_1 = I_{in} - (I_{in} - \frac{I_{max}}{2})u(I_{in} - \frac{I_{max}}{2})$$

여기서 u 는 unit function을 나타낸다. 따라서 m_{n6} 의 drain에 흐르는 전류, I_2 의 값은 다음과 같이 표현할 수 있다.

$$I_2 = I_{in} - I_1 = (I_{in} - \frac{I_{max}}{2})u(I_{in} - \frac{I_{max}}{2})$$

또한 m_{n6} 와 m_{n8} 은 Current mirror이고 channel length modulation 효과를 줄이기 위해 op-Amp를 통해 drain 전압을 같게 유지하였다. 따라서 m_{n7} 의 drain 전류, I_3 의 값은 다음과 같이 표현된다.

$$I_3 = 2I_2 = 2(I_{in} - \frac{I_{max}}{2})u(I_{in} - \frac{I_{max}}{2})$$

따라서 출력전류, I_{out} 은 m_{p3} 의 drain 전류인, $I_{p3} = I_{in}$ 에서 I_3 의 값을 뺀 값이므로

$$\begin{aligned} I_{out} &= I_{in} - I_3 \\ &= I_{in} - 2(I_{in} - \frac{I_{max}}{2})u(I_{in} - \frac{I_{max}}{2}) \end{aligned}$$

가 되며 이를 H-spice로 시뮬레이션 한 결과 그림 6에 나타내었다. 그림 6에서 보는 바와 같이 입력전류에 대한 출력전류의 최대 크기가 반으로 감소함으로써 폴더 회로의 입력 단에서 2배로 증폭할 필요가 있다. 이는 그림 5에서 m_{n12} 를 m_{n2} 에 병렬로 연결함으로써 해결되어진다.

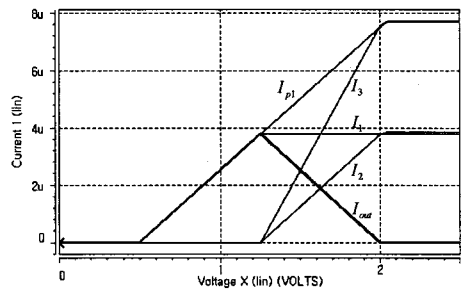


그림 6. 폴더 회로의 전달특성
Fig. 6. Transfer characteristics of folder circuit

한편 그림 7의 각 stage의 출력 전류 값으로써 첫 번째 폴더회로의 출력 전류가 입력전류의 중간 값에서 꺾이는 것과 마찬가지로 각 폴더회로의 출력전류는 입력전류의 중간 값에서 꺾이게 된다. 첫 번째 폴더회로에서 꺾이기 전에는 첫 번째 비트가 0이고 꺾이고 난 이후이면 1

로 표기된다. 두 번째 폴더에서도 마찬가지로 꺾이기 전에는 0로 꺾인 후에는 1로 표기하면 그림 7에서와 같이 출력의 digital 신호는 binary code가 아닌 gray code로 표현된다.

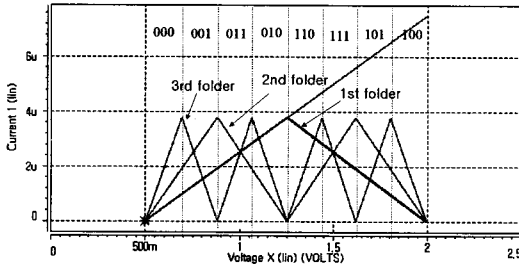


그림 7. 입력 전압에 따른 각 stage의 출력 전류(I3)
Fig. 7. Output currents of stages on the input voltage

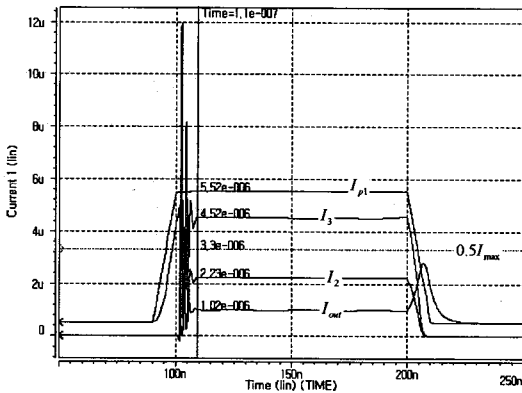
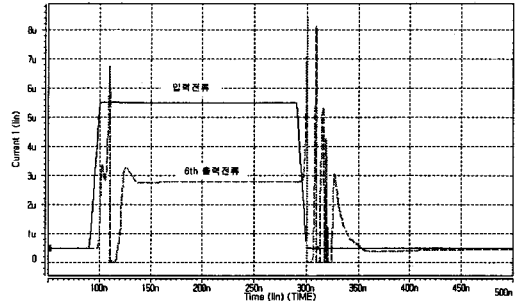


그림 8. 폴더 회로의 과도 응답 특성
Fig. 8. Transient responses of folder circuit

한편 그림 5의 폴더 회로의 지연시간을 조사한 그림 8에서 보는 바와 같이 다소의 과도상태가 존재하지만 각 폴더 회로의 지연시간은 약 10ns 정도이다.

한편 각 폴더 회로의 출력특성에 대한 과도현상을 나타낸 그림 9에서 보는 바와 같이 6번째 폴더 회로의 지연시간은 약 40ns 정도이다. 그림 8에서 하나의 폴더 회로를 지나는데 필요한 지연시간이 10ns이므로 6번째 stage를 지나는데 필요한 지연시간은 계산상 60ns가 필요하다. 이는 중간과정에서 보다 짧은 지연시간이 필요한 것을 예측할 수 있다.



<그림 9> 입력전류파형에 대한 여섯 번째 폴더 회로의 출력 전류파형
Fig. 9. Output current wave of 6th folder circuit on the input current

3.3. 1비트 A/D converter

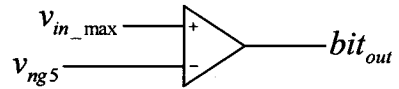


그림 10. 1비트 A/D변환기 회로도
Fig. 10. 1bit ADC circuit

그림 10은 1비트 ADC 회로를 나타낸 그림으로 그림 5의 폴더 회로의 m_{n5} 의 gate 전압, v_{ng5} 와 최대 출력전류에 의해 생성되는 전압, v_{in_max} 를 입력신호로 할 경우 입력전류의 크기가 $I_{max}/2$ 의 값보다 크면 op- Amp의 출력인 bit_{out} 의 값이 high이고 작으면 low로 나타난다. 실제 H-spice를 이용한 시뮬레이션결과를 나타낸 그림 11에서 보는 바와 같이 입력전류가 $I_{max}/2$ 보다 작을 경우에는 m_{n5} 의 gate 전압이 v_{in_max} 보다 작아서 출력 전압인, bit_{out} 은 low이지만 반대로 입력전류가 $I_{max}/2$ 보다 클 경우에는 출력전압이 high가 된다.

한편 그림 12는 그림 10의 1비트 ADC의 과도 응답 특성을 나타낸 그림으로써 지연시간이 거의 존재하지 않는 것을 알 수 있다.

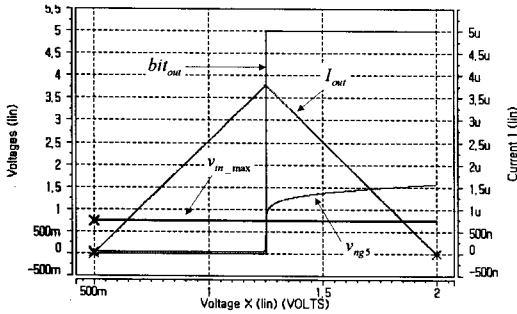


그림 11. 1비트 A/D변환기의 전달특성
Fig. 11. transfer characteristic of 1bit ADC circuit

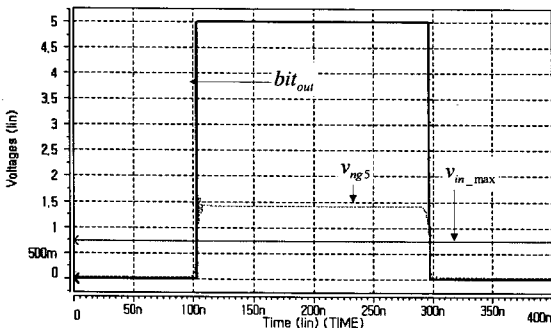


그림 12. 1비트 ADC 회로의 과도응답 특성
Fig. 12. Transient response of 1bit ADC circuit

III. 결론

선형 폴더 회로를 이용한 다단 폴딩 변환기의 설계 및 H-spice를 이용한 시뮬레이션결과 선형성이 매우 양호한 폴더 회로를 얻을 수 있었으며 이는 입력 전압 대신 입력 전류를 이용한 결과이다. 따라서 입력전압과 직선적인 관계를 만족하는 입력전류가 필요하며 이는 트랜스컨덕턴스 회로를 통해 해결하였다. 본 논문에서 제안된 변환기의 특징은 회로의 크기가 비트 수의 증가에 따라 2의 지수 적으로 증가하지 않고 배수로 증가함으로 비트수가 증가할수록 회로의 크기 면에서 장점이 클 뿐만 아니라 회로의 크기 감소에 따라 회로가 소모하는 전력 역시 작기 때문에 flash A/D 변환기에 비해 전력 소모 면에서도 또한 큰 장점이 있다. 그러나 다단연결에 의해 발생하는 지연시간의 증가로 비트수가 증가할수록 sampling frequency의 제한이 있는 단점을 갖고 있지만

앞으로 반도체 기술이 발전함으로 인해 이와 같은 문제 점을 해결될 것으로 사료된다.

참고문헌

- [1] Alan B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley & Sons, 1991
- [2] David F. Hoeschele, Jr. "Analog-to-Digital and Digital-to-Analog Conversion Techniques", John Wiley & Sons, 1994
- [3] 이승훈, 김범섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(하)", 시스마 프레스, 1999
- [4] Stephen H. Lewis, "Video-Rate Analog-to-Digital Conversion using Pipelined Architectures." Ph. D, Thesis, University of California at Berkeley, Nov. 18, 1987
- [5] Behzad Razavi, " Principles of Data Conversion System Design." IEEE Press, 1995
- [6] Bang-Sup Song, Seung-Hoon Lee, and Michael F. Tompsett, "A 10-b 15-MHz CMOS Recycling Two-Step A/D converter", IEEE J. Solid-State Circuits, Vol. 25, No. 6, pp. 1328-1338, Dec. 1990
- [7] Behzad Razavi and Bruce A. Wooley, "A 12-b 5-Msample/s Two-Step CMOS A/D Converter", IEEE J. Solid-State Circuits, Vol. 27, No. 12, pp. 1667-1678. Dec. 1992
- [8] Stephen H. Lewis and Paul R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to Digital Converter", IEEE J. Solid-State Circuits, Vol. SC-22, No. 6, pp. 351-358, Dec. 1987
- [9] Bang-Sup Song, Michael F. Tompsett, and Kadaba R. Lakshmi Kumar, "A 12-bit 1-Msample/s Capacitor Error-Averaging Pipelined A/D converter", IEEE J. Solid-State Circuits, Vol. 12, No. 6, pp. 1324-1333, Dec. 1988
- [10] Stephen H. Lewis, "Optimizing the Stage Resolution in Pipelined, Multistage, Analog-to Digital Converters for Video-Rate Applications", IEEE Trans. on Circuits and System, Vol. 39, No. 8, pp.516-523, Aug. 1992
- [11] C. J. van Valburg and R. J. van de Plassche, "An 8-b

650-Mhz Folding ADC", IEEE J. Solid-State Circuits, Vol. 27, No. 12, pp. 1662-1666, Dec. 1992

[12] Bram Nauta and Ardie G. W. Venes, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter", IEEE J. Solid-State Circuits, Vol. 30, No. 12, pp. 1302-1308, Dec. 1995

[13] Ardie G. W. Venes and Rudy J. van de Plassche, "An-80-MHz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Preprocessing", IEEE J. Solid-State Circuits, Vol. 31, No. 12, pp. 1846-1853, Sep. 1996

저자소개

이 종 규(Jong-gyu Lee)



2006년 금오공과대학교 전자공학부
학사

2007년 현재 금오공과대학교
전자통신공학과 석사과정

※ 관심분야: 반도체 회로설계(A/D & D/A 변환기)

오 우 진(Woo-jin Oh)



1989년 한양대학교 전자공학과
학사

1991년 한국과학기술원 전자공학과
석사

1996년 한국과학기술원 전자공학과 박사

1996년 2월~1998년 8월 SK Telecom 중앙연구원
선임연구원

1998년 8월~현재: 금오공과대학교 전자공학부 부교수

※ 관심분야: 신호처리, 통신신호처리, 이동통신

김 명 식(Myung-sik Kim)



1983년 경북대학교 전자공학과
학사

1995년 한국과학기술원 전기 및
전자공학과 석사

1992년 한국과학기술원 전기 및 전자공학과 박사

1985년 3월~1992년 7월 한국과학기술연구원
응용전자연구실 선임연구원

1992년 8월~현재: 금오공과대학교 전자공학부 교수

※ 관심분야: 반도체 회로설계(A/D & D/A 변환기)