

논문 2007-44SD-11-16

# 천이 지연 고장 테스트를 위한 개선된 IEEE 1500 래퍼 셀 및 인터페이스 회로 설계

(Design of Enhanced IEEE 1500 Wrapper Cell and Interface Logic For Transition Delay Fault Test)

김기태\*, 이현빈\*, 김진규\*, 박성주\*\*

(Kitae Kim, Hyunbeon Yi, Jinkyu Kim, and Sungju Park)

## 요약

SoC의 집적도와 동작 속도의 증가로 인하여 지연 고장 테스트의 중요성이 더욱 커지고 있다. 본 논문은 천이 지연 고장 테스트를 지원하는 개선된 IEEE 1500 래퍼 셀 구조와 IEEE 1149.1 TAP 제어기를 이용하기 위한 인터페이스 회로를 제시하고, 이를 이용한 테스트 방법을 제안 한다. 제안 하는 셀 구조는 한 번의 테스트 명령어를 이용하여 상승 지연 고장 테스트와 하강 지연 고장 테스트를 연속적으로 수행 할 수 기능을 유지하면서 기존의 셀 구조에 비하여 적은 면적 오버헤드를 가지며 테스트 시간을 줄일 수 있다. 또한 다른 클럭으로 동작하는 코어에 대한 테스트를 동시에 수행 할 수 있다.

## Abstract

As the integration density and the operating speed of System on Chips (SoCs) become increasingly high, it is crucial to test delay defects on the SoCs. This paper introduces an enhanced IEEE 1500 wrapper cell architecture and IEEE 1149.1 TAP controller for the wrapper interface logic, and proposes a transition delay fault test method. The method proposed can detect slow-to-rise and slow-to-fall faults sequentially with low area overhead and short test time. and simultaneously test IEEE 1500 wrapped cores operating at different core clocks.

**Keywords:** Transition delay fault, SoC, IEEE 1500, IEEE 1149.1, wrapper

## I. 서론

반도체 제조공정의 지속적인 발전에 따라 집적도가 빠르게 증가하면서 복잡한 시스템을 단일 칩에 구현할 수 있게 되었다.

집적도의 증가로 칩 제조 시 발생하는 고장으로 인해 동작 기능상에 문제가 발생했을 경우 테스트 방법의 어려움이 커졌다. 이러한 문제를 해결하기 위하여 보드상의 칩 간의 고장 테스트를 위한 IEEE 1149.1<sup>[1]</sup> 표준과 칩에 내장된 intellectual property (IP) 코어의 고장 테스트를 위한 IEEE 1500<sup>[2]</sup> 표준이 제정 되었다.

IP 코어의 사용으로 칩 제작 시간의 단축, 면적의 축소, 재사용성의 증가 등 여러 가지 이점이 있지만 칩의 집적도 증가와 동작 속도 증가로 타이밍 허용범위가 좁아져서 설계하는데 여러 문제점을 발생 시킨다<sup>[3]</sup>. 이러한 이유로 기존의 고착 고장, 연결선 고장 등으로 인한 문제도 중요 하지만 지연 고장에 대한 문제점이 더욱 커지고 있다. 지연 고장은 회로내의 신호의 진행이 시간이 모델링 된 지연 시간 보다 늦어지게 되어 발생하

\* 정희원, 한양대학교 컴퓨터공학과  
(Dept. of Computer Science & Engineering,  
Hanyang University)

\*\* 정희원, 한양대학교 전자 컴퓨터 공학과  
(Dept. of Electronical Engineering Computer  
Science, Hanyang Univ.)

\* 본 논문은 한국과학재단 특정기초과제(R01-2006-000-11038-0 (2007))로부터 지원을 받아 진행 하였습니다.

\* 본 연구보고서는 정보통신부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과입니다.

접수일자: 2007년2월2일, 수정완료일: 2007년10월8일

는 문제로 칩 제조과정에서 발생하며, 천이 지연과 경로 지연 고장 모델로 나눌 수 있다. 본 논문에서는 코어 내부의 천이 지연 고장의 테스트 방법에 초점을 맞추고 있다. 지연 고장으로 인한 문제가 커짐에 따라 지연 고장을 테스트하기 위한 다양한 연구가 진행 되고 있다. 기존의 연구는 래퍼를 사용하지 않는 스캔 테스트가 주를 이루었다. 논문 [4]는 최종 천이 발생 (Last Transition Generator: LTG) 셀을 스캔 체인 내부에 삽입함으로써 전역 스캔 인에이블 신호와 LTG 셀의 값의 논리 조합으로 지역 스캔 인에이블 신호를 생성하여 "Launch off Shift" 방식의 지연 고장 테스트를 수행 하는 방식을 제안하고 있다. 논문 [5]는 스캔 플립플롭의 구조를 듀얼 플립플롭으로 변경하고 각 스캔 인에이블 신호와 추가적인 스캔 모드(Enhanced Scan Mode: ESM) 신호를 이용하여 테스트를 제어 하는 방법과, Transition Launch (TL) 플립플롭 구조를 스캔 인에이블 신호와 천이 인에이블(Transition Enable: TEN) 신호를 이용하여 테스트를 제어 하는 방법을 제안하고 이를 이용하여 "broadside" 방식의 지연 고장 테스트를 수행하는 방식을 제안하고 있다. 또한 SoC의 동작 속도의 증가와 다중 클럭 환경에서 테스트를 수행하기 위해 내부의 PLL 회로를 이용하여 클럭을 생성하고 스캔 테스트를 수행 하는 연구도 진행 되었다<sup>[6]</sup>. SoC의 내장된 IP 코어의 테스트의 어려움을 해결하기 위해 IEEE 1500 표준이 제정되고 이를 이용한 연구로 입력과 출력 래퍼 구조를 변경하고 오실레이션 테스트 방법을 이용하여 지연 고장 테스트를 수행 하는 방법이 있다<sup>[3]</sup>. 논문 [7]에서는 broadside 방식의 지연 고장 테스트를 수행하기 위하여 IEEE 1500 래퍼 셀 구조를 제안하고 LOADPROD 모드와 TPTEST 모드를 이용한다. 논문 [7]에서 제안하는 방법은 상승 지연 고장과 하강 지연 고장을 동시에 테스트 할 수 없으며 두 번의 명령어 인가를 해야 한다.

본 논문에서는 개선된 IEEE 1500 래퍼 셀 구조와 IEEE 1149.1의 TAP 제어기를 통하여 IEEE 1500 래퍼를 제어 하여 SoC내의 IP 코어 내부에서 발생하는 천이 지연 고장을 테스트하기 위한 방법을 제안한다.

본 논문의 II장에서는 IEEE 1500 표준의 기본적인 구조, 제어 신호, 동작 모드 등의 내용에 대해 살펴보고, III장에서는 개선된 IEEE 1500 래퍼 셀 구조와 SoC내부 코어의 천이 지연 고장 테스트 수행방법을 제시 한 후 IV장에서 실험 결과를 확인하고, V장에서 결론을 맺는다.

## II. IEEE 1500 Standard

SoC의 내장된 코어의 테스트 하고자 하는 개별적인 내부 코어의 접근 방법, 테스트를 하기위한 절차, 테스트 패턴의 입력 방법, 결과 관측 방법 등 많은 어려움이 있었다. 이러한 문제를 해결하여 내장된 코어를 효율적으로 테스트하기 위하여 IEEE 1500 표준이 제정 되었다.

### 1. IEEE 1500 Architecture

SoC 내장된 IP 코어의 효율적인 테스트의 수행을 위해 표준화된 인터페이스 구조가 필요하다.

그림 1은 IEEE 1500 표준에서 제안하고 있는 일반적이고 재구성 가능한 구조이며 다음과 같은 특징이 있다<sup>[2]</sup>.

- 사용자 정의에 의한 테스트 접근 메커니즘 (Test Access Mechanism: TAM)을 통해 테스트 패턴을 직렬(병렬)로 인가하고 결과를 직렬(병렬)로 관측할 수 있다.
- 테스트를 요하는 코어 이외의 다른 코어 들을 테스트에서 제외시킬 수 있다.
- 별도의 테스트 제어기를 정의 하지 않고 있기 때문에 사용자 정의에 의한 제어기를 이용 하여 테스트를 제어할 수 있다.

그림 2는 내장된 코어의 테스트를 수행하기 위한 세부적인 구조이다. 세부 구조는 래퍼 명령어 레지스터 (Wrapper Instruction Register: WIR), 래퍼 직렬 제어부 (wrapper serial control: WSC), 래퍼 바이패스 레지스터 (Wrapper Bypass Register: WBV), 래퍼 경계 셀 (wrapper boundary cell: WBC), 직렬 데이터 입력 (wrapper serial

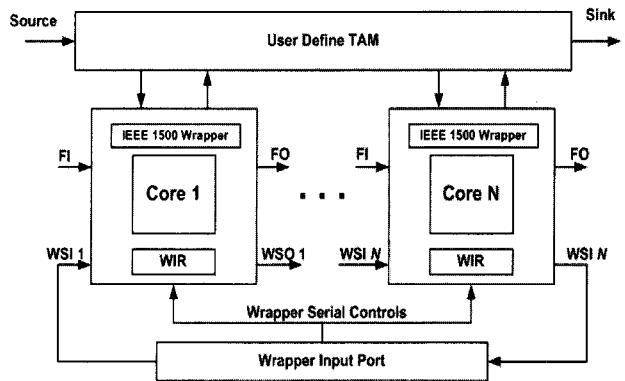


그림 1. IEEE 1500 구조  
Fig. 1. IEEE 1500 Architecture.

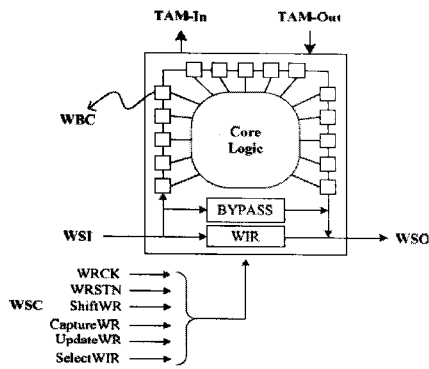


그림 2. IEEE 1500 래퍼 & WSC  
Fig. 2. IEEE 1500 Wrapper & WSC.

input: WSI), 직렬 데이터 출력 (wrapper serial output: WSO) 으로 구성되며 각각의 기능은 다음과 같다.

- WIR : 사용자 정의 명령어와 필수 명령어를 정의함으로써 다양한 테스트 모드의 수행을 조절한다.
- WSC : WRCK (wrapper clock), WRSTN (wrapper reset), SelectWIR, CaptureWR, ShiftWR, UpdateWR 등 필수적인 control 신호와 지연 고장 테스트를 위한 추가적인 TransferDR 신호가 있다.
- WBY : 1bit 이 레지스터로서 WSI를 WSO로 바로 통과시킴으로써 대상 코어를 테스트에서 제외 하고자 할 때 사용한다.
- WBC : 대상 코어의 테스트를 위하여 여러 고장 점검 방법을 지원하는 다양한 cell 구조가 있으며 WBC의 모음을 래퍼 경계 레지스터 (wrapper boundary register: WBR) 이라 부른다.
- WSI : 직렬 데이터를 입력하는 포트
- WSO : 직렬 데이터를 출력하는 포트

## 2. IEEE 1500 Wrapper Cell 구조

IEEE 1500 래퍼 셀의 기본 구조는 그림 3과 같이 Cell Functional Input(CFI), Cell Functional Output (CFO), Cell Test Input(CTI), Cell Test Output(CTO)의

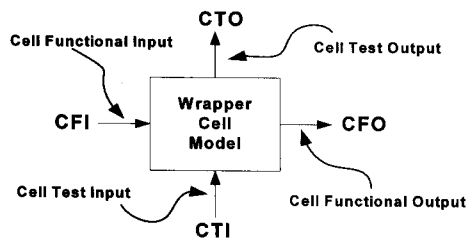


그림 3. IEEE 1500 래퍼 셀  
Fig. 3. IEEE 1500 Wrapper Cell.

4개의 터미널이 필요한 동작에 의해 구성되는 래퍼 셀 모델에 연결되어 있다. 래퍼 셀 모델은 테스트를 수행하기 위한 동작 모드와 이벤트에 따라 다양한 형태로 구성된다.

IEEE 1500 표준에는 테스트를 수행하기 위해 Shift, Capture, Update, Transfer, Apply 의 5 가지 이벤트를 정의 하고 있다.

- Shift event : WBR의 이동 경로 상에 데이터를 이동 시키는 동작으로써 WBR의 Test Output (TO)에 가까운 저장 장소에 데이터를 저장 한다.
- Capture event : CFI 또는 CFO에 데이터가 있을 경우 WBR의 저장 장소에 데이터를 저장 한다.
- Update event : 추가적인 이벤트로서 CTO 에 가까운 이동 경로상의 저장 장치에 데이터를 저장한다.
- Transfer event : Capture 한 데이터를 관측하기 적절한 이동 경로 상에 위치하도록 하며, 연속적인 시뮬레이션 데이터를 인가하기 위하여 사용한다.
- Apply event : 동작 모드와 동작 이벤트에 따라서 테스트 데이터를 유효 하게 하는 기능을 수행 하며 cell 자체의 기능과 구조상 에는 영향을 주지 않고 문맥상의 의미만 있다.

지금까지 IEEE 1500 표준의 하드웨어 구조와 특징, 제어 신호, 래퍼 셀 구조와 동작 모드, 기능상의 이벤트 등에 대해서 알아보았다. 위에서 언급하지 않은 테스트를 위한 명령어의 동작 순서, 레지스터, 다양한 셀 구조의 예와 내용이 IEEE 1500 표준에 자세히 정의 되어 있다.

다음 장에서 IEEE 1500 래퍼 셀 구조의 예 중에서 천이 지연 고장 테스트를 지원하는 셀 구조와 테스트 방법에 대해 알아 본 후 본 논문에서 제안하는 셀 구조와 이를 이용하여 천이 지연 고장 테스트를 수행하는 방법에 대해 설명한다.

## III. Enhanced IEEE 1500 test method

### 1. Enhanced IEEE 1500 Wrapper Cell

#### Architecture

IEEE 1500 표준에는 천이 지연 고장 테스트를 지원하는 Transfer 이벤트가 있으며 이를 제어하기 위한 신호로서 TransferDR 신호를 정의 하고 있다. 그림 4는 IEEE 1500 표준에서 제시 하고 있는 셀 구조로서 테스트 모드시 정적 고장 테스트와 천이 지연 고장 테스트를 모두 지원한다. 표준의 셀 구조는 다음과 같은 단점이 있다. 면적의 관점에서 보면 2개의 플립플롭과 하나의 멀티플

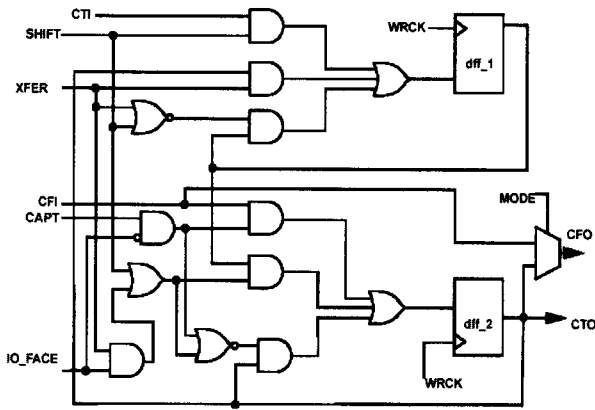


그림 4. 천이 지연 고장 테스트를 지원하는 래퍼 셀 구조  
 Fig. 4. Wrapper Cell Architecture for Transition Delay Fault Test.

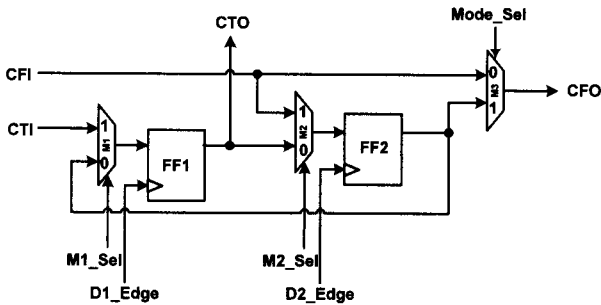


그림 5. 제안하는 IEEE 1500 래퍼 셀 구조  
 Fig. 5. Proposed IEEE 1500 Wrapper Cell Architecture.

렉스 외에 8개의 AND 게이트, 5개의 OR 게이트, 3개의 인버터로 구성 되어있다. 기능에 따라 SoC 내부 코어의 입력과 출력 포트 모두에 IEEE 1500 래퍼 셀을 연결했을 때 늘어나는 입력, 출력 포트 수에 비례하여 면적이 증가하기 때문에 큰 면적 오버헤드를 가진다.

다음 문제로는 천이 지연 고장 테스트를 제외한 단일 패턴 테스트를 할 때 테스트 패턴을 하나의 셀에서 다음 셀로 이동 시킬 때 많은 시간이 걸린다. 그림 4에서 보면 하나의 셀에서 1 bit의 테스트 패턴이 CTI에서 CTO를 통해 다음 셀까지 이동 할 때 한 셀 내에서 플립플롭 dff\_1과 플립플롭 dff\_2를 거쳐 CTO를 통해 다음 셀의 CTI에 값을 전달하게 된다. 이와 같이 1 bit의 테스트 패턴을 다음 cell에 전달하기 위해서는 두 번의 테스트 클럭이 소모된다.

본 논문에서는 이러한 문제점을 해결하면서 테스트 모드시 단일 패턴 테스트와 천이 지연 고장 테스트를 모두 지원하는 그림 5의 개선된 래퍼 셀 구조를 제안 한다.

그림 5의 래퍼 셀 구조는 두개의 플립플롭과 3개의 멀티플렉서로 구성 되어 있다. 코어의 늘어나는 입력,

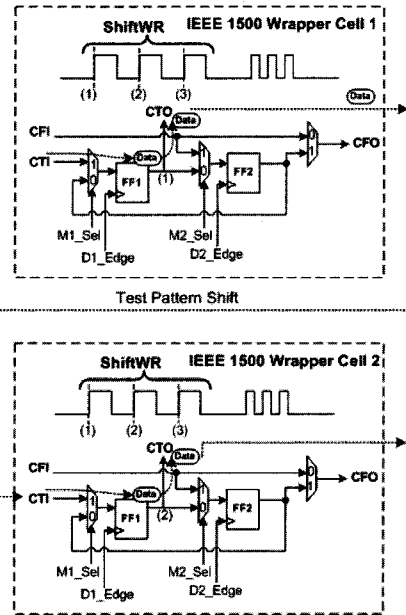


그림 6. 래퍼 셀 사이의 테스트 패턴 이동  
 Fig. 6. Test Pattern Shift In Wrapper Cell.

출력 포트 수에 비례하여 면적이 증가하기 때문에 개선된 셀 구조를 사용하면 커다란 면적 감소의 효과를 얻을 수 있다. 개선된 셀 구조는 천이 지연 고장 테스트를 제외한 단일 패턴 테스트 모드시 테스트 패턴을 입력할 때 1 bit의 테스트 패턴이 CTI 포트를 통해 입력되고 래퍼 셀의 첫 번째 저장 요소인 FF1에 저장된 후 CTO 통해 다음 셀의 CTI에 값을 전달하게 된다. 이때 하나의 플립플롭만을 거치기 때문에 테스트 패턴의 입력 시간을 반으로 줄일 수 있다.

개선된 셀 구조는 천이 지연 고장 테스트시 다음과 같은 동작 특성을 가지고 있다. 래퍼 셀의 동작 과정은 테스트 대상 코어에 3개의 래퍼 셀이 연결되었음을 가정하고 설명한다. 그림 6은 래퍼 셀 간의 테스트 패턴을 이동시키는 과정을 보이고 있다.

테스트 패턴을 각 셀의 입력 할 때 각 셀의 동작은 Shift, Transfer, Shift 의 순서로 각 셀에 플립플롭에 저장 된다. ShiftWR 신호의 값이 '1' 인 구간에서 첫 번째 셀의 CTI 포트를 통해 FF1에 저장되고 CTO 포트를 통해 다음 셀로 이동한다. 세 번의 테스트 클럭의 상승 엣지에 의해 3개의 래퍼 셀의 FF1에는 원하는 패턴이 저장 된다.

FF1에 저장된 테스트 패턴을 FF2에 저장하기 위해 각 래퍼 셀은 그림 7의 동작을 수행한다. TransferDR 신호의 값이 '1' 인 구간에서 시스템 클럭의 (1), (2), (3)의 세 번의 상승 엣지에 의해서 FF1 → FF2 → FF1 → FF2 패턴을 순환시켜 최종적으로 FF1에 저장

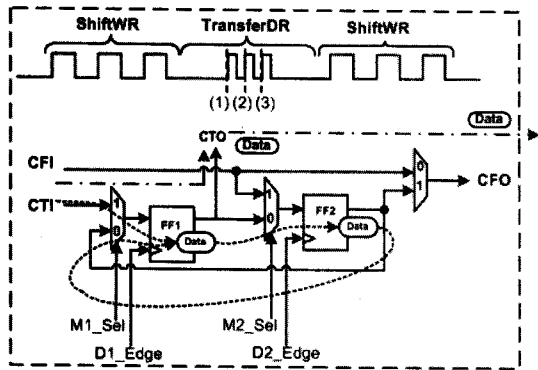


그림 7. 래퍼 셀 내부의 테스트 패턴 이동  
Fig. 7. Test Pattern Transfer In Wrapper Cell.

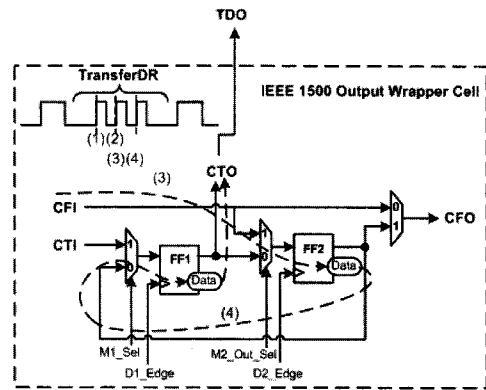


그림 9. 테스트 결과 캡처  
Fig. 9. Test Result Capture.

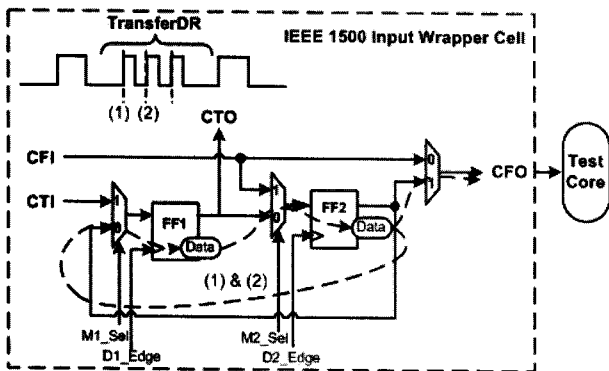


그림 8. 코어로 테스트 패턴 인가  
Fig. 8. Test Pattern Launch to core.

된 테스트 패턴을 FF2로 이동 시킨다.

FF2에 첫 번째 테스트 패턴이 저장된 후 다시 ShiftWR 신호의 값이 '1'인 구간에서 그림 6의 동작을 반복하여 두 번째 테스트 패턴을 각 셀의 FF1에 저장한다. 이러한 과정을 통해 각 셀의 FF1, FF2에 원하는 테스트 패턴을 입력한다.

래퍼 셀에 저장된 테스트 패턴을 테스트 대상 코어에 연속적으로 인가할 때 코어의 입력 포트에 연결된 셀에서는 그림 8의 데이터 이동 동작을 수행한다.

TransferDR 신호의 값이 '1'인 구간에서 (1), (2)번 상승 엣지에 테스트 대상 코어로 각 플립플롭에 저장된 테스트 패턴이 순차 적으로 인가 된다. 이와 동시에 출력 포트에 연결된 셀에서는 그림 9의 데이터 이동 동작을 수행한다. 입력 셀에서 (1)번 상승 엣지에서 인가한 테스트 패턴에 의한 테스트 결과를 (3)번 상승 엣지에서 CFI 포트를 통해 FF2에 저장하고 (2)상승 엣지에서 인가한 테스트 패턴의 테스트 결과를 (4)에서 FF2에 저장한다. 이 때 FF2의 결과 값을 FF1으로 이동시킨다.

전체 테스트 과정에서 TransferDR 신호의 값이 '1'인 구간에서 세 번의 시스템 클럭을 이용하여 셀 내부에서 플립플롭 간의 데이터를 순환 시키는 방법은 테스트 패

턴을 각 래퍼 셀의 입력할 때, 내부 코어에 테스트 패턴을 인가할 때, 테스트 결과 값을 캡처 하는 과정과 출력 셀에서 테스트 결과를 TDO 코트를 통해서 출력하는 과정에서 동일하게 사용한다. 이 방법을 이용함으로써 각 단계별 제어 신호를 생성하기 위한 복잡한 회로의 구현 없이 간단한 제어 신호 생성 회로를 이용하여 셀의 동작을 제어 하여 테스트 과정을 분할하여 테스트를 효율적으로 수행 할 수 있다.

## 2. Proposed IEEE 1500 test method

IEEE 1500 표준은 정형화된 제어부 없이, 사용자가 다양한 테스트를 접근 메커니즘을 구현하여 테스트 할 수 있도록 (Wrapper Interface Port: WIP)포트, 래퍼 경계 셀 (WBC)의 기능을 정의하고 있다<sup>[2]</sup>. 테스트 접근 메커니즘은 정의되어 있지 않기 때문에 획기적인 방법이 제안되지 않는 한 그림 10과 같이 기존에 많이 사용되었던 IEEE 1149.1 TAP을 이용하게 될 것이다<sup>[8-10]</sup>.

이와 같은 방식으로 SoC를 테스트 할 경우, 테스트 하고자 하는 하나의 코어 또는 복수개의 코어를 선택하

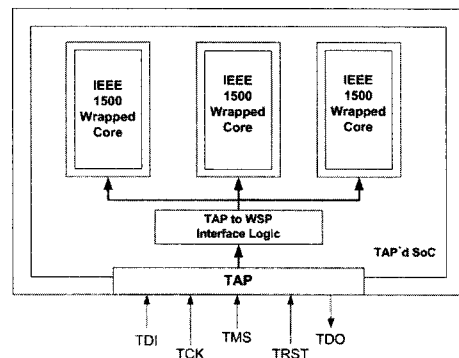


그림 10. IEEE 1500 랩드 코어를 포함하고 있는 TAP'd SoC

Fig. 10. TAP'd SoC including IEEE 1500 Wrapped Cores.

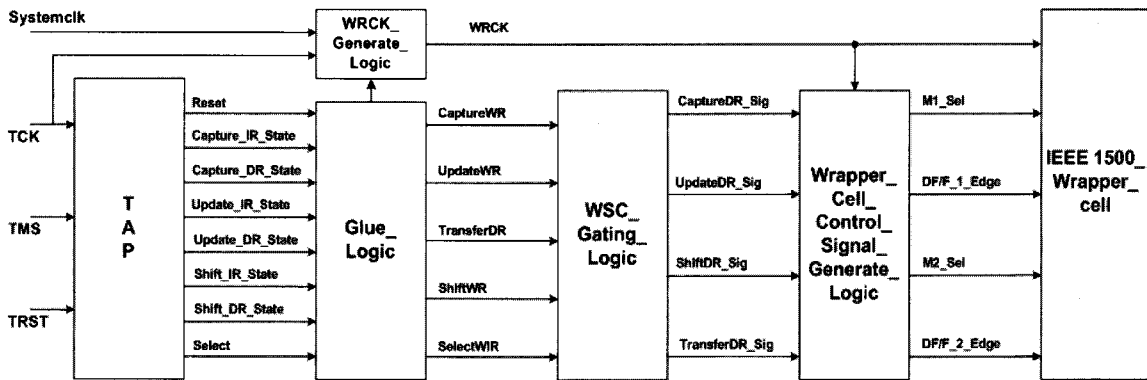


그림 11. IEEE 1149.1 TAP 과 IEEE 1500 래퍼 셀 의 인터페이스 회로  
Fig. 11. IEEE 1149.1 TAP to IEEE 1500 Wrapper Cell interface logic.

고 테스트 데이터 경로를 설정 및 해제하기 위한 메커니즘이 필요한데<sup>[10-11]</sup>, 본 논문에서는 그에 관한 내용은 다루지 않는다.

IEEE 1149.1 표준은 보드 테스트를 위한 표준으로 널리 사용되어 왔지만, 유한 상태로 이루어진 TAP 제어기의 제어신호는 TAP 제어기의 상태에 따라 진행하기 때문에 테스트를 수행하기 위한 테스트 데이터를 인가하고 테스트 결과를 관측 하는 과정에서 2.5테스트 클럭 사이클이 소요된다는 문제점을 가지고 있다.

본 논문에서는 이러한 문제를 해결하며 IEEE 1149.1 TAP 제어기를 통하여 IEEE 1500 래퍼를 제어 하여 SoC 내부 코어를 테스트하기 위한 인터페이스 회로를 제안하고 이를 통해 천이 지연 고장 테스트를 효과적으로 수행 할 수 방법을 제안한다.

그림 11은 IEEE 1149.1 의 TAP 제어기의 상태 신호를 이용하여 IEEE 1500 래퍼 셀의 제어 신호를 생성하여 테스트를 수행하기 위한 인터페이스 회로 구조이다. 제안하는 인터페이스 회로는 Wrapper Clock Generate Logic, Glue logic, WSC Gating Logic, Wrapper Cell Control Signal Generate Logic 으로 구성 되어 있다.

래퍼 클럭 생성 회로는 천이 지연 고장 테스트를 하는 과정에서 SoC 내부 코어에 테스트 패턴을 인가 할 때는 그림 12의 아래쪽 부분의 Clock Gating Cell (CGC)에서 글루 로직에서 생성된 N\_ShiftWR 신호와 테스트 클럭을 논리 조합하여 WRCK을 생성한다. 테스트 패턴의 인가, 테스트 결과 값 캡처 시에 위쪽부분의 CGC에서 글루 로직에서 생성된 TransferDR 신호와 시스템 클럭을 논리 조합하여 WRCK를 생성한다. 테스트 패턴을 인가 할 때는 테스트 결과 값을 캡처 할 때는 TCK와 시스템 클럭을 게이팅 하는 과정에서 글리치가 발생하여 테스트 수행에 오류를 발생 시킬 수 있다. 이에 Synopsys,

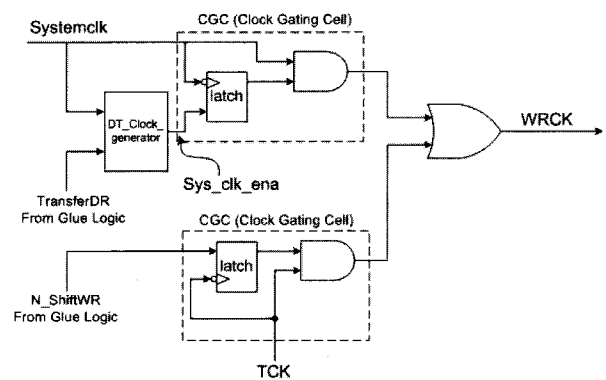


그림 12. 래퍼 클럭 (WRCK) 생성 회로  
Fig. 12. Wrapper Clock (WRCK) generator.

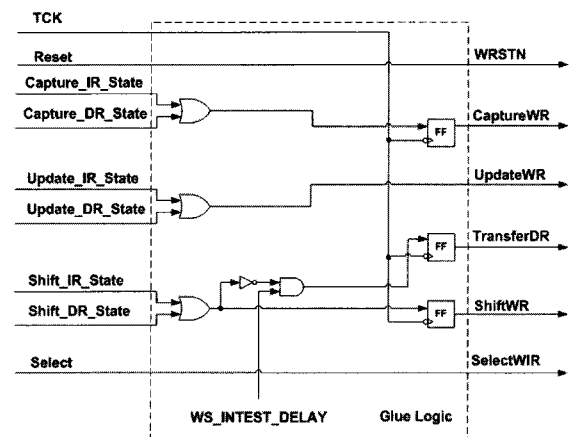


그림 13. 글루 로직  
Fig. 13. Glue Logic.

Mentor 등에서 IP 화 해 놓은 CGC 를 사용함으로써 글리치 발생에 대한 문제를 해결할 수 있다<sup>[6, 12-13]</sup>.

IEEE 1149.1 TAP 제어기의 상태 신호를 이용하여 래퍼 직렬 신호를 생성하기 위해서는 인터페이스 회로가 필요하며 이에 대한 간단한 예가 IEEE 1500 표준 글루 로직 이라는 명칭으로 제시되어 있다.

그림 13의 개선된 글루 로직을 통해서 래퍼 시리얼 제어

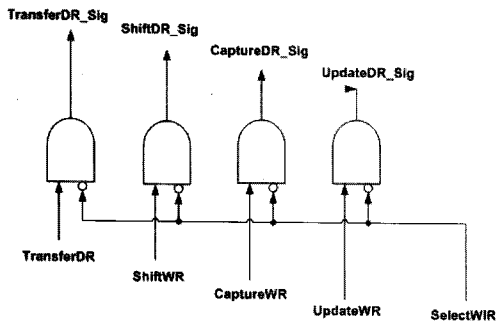


그림 14. 글루 로직과 WBC 제어신호 생성 회로의 인터페이스 회로  
 Fig. 14. Glue logic to WBC control signal generate interface logic.

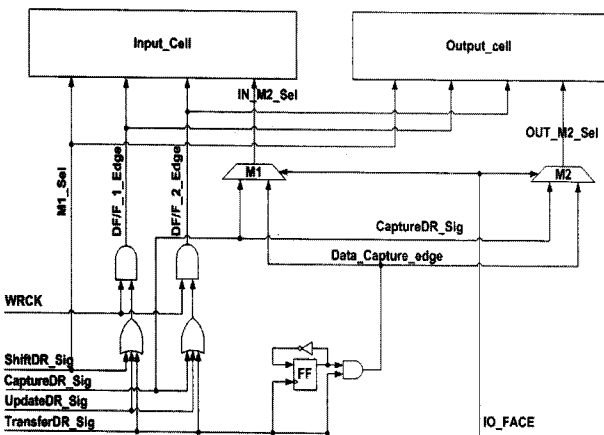


그림 15. WBR 제어 신호 생성 회로  
 Fig. 15. WBR control signal generator.

신호를 생성하고 WS\_INTEST\_DELAY 신호의 값을 1로 인가하여 천이 지연 고장 테스트를 하기 위해 필요한 TransferDR 신호를 생성한다.

그림 15의 회로를 통해 SelectWIR 신호의 값이 '1'일 경우에는 WIR을 선택하여 테스트 명령어를 인가하고, 값이 '0'일 경우에는 글루 로직에서 생성된 제어 신호를 WBR 제어 신호 생성 회로에 연결하여 줌으로써 WBR 제어 신호를 생성 한다.

입력 셀 과 출력 셀은 동일한 구조를 사용하고 있기 때문에 IO\_FACE 신호를 이용하여 입력 셀 과 출력 셀의 데이터 이동 경로의 제어를 바꾸어 줌으로써 코어 내부의 테스트뿐만 아니라 코어간의 연결선 고장 테스트도 수행 할 수 있다.

IEEE 1500 제어를 위한 인터페이스 회로의 추가로 약간의 면적이 증가 하였지만 코어의 입력과 출력이 늘어남에 따라 비례적으로 증가 하는 래퍼 셀의 면적에 비해 큰 문제가 되지는 않는다.

본 논문에서 제안하는 천이 지연 고장 테스트를 수행 할 때 IEEE 1149.1 TAP 상태 천이는 다음과 같다

1. 천이 고장 테스트 명령어를 읽어 온 후 디코딩 하고, WS\_INTEST\_DELAY 신호의 값을 1로 인가한다. TAP 제어기의 상태를 Reset → Idle → Select\_DR → Select\_IR → Capture\_IR → Shift\_IR → ... → Exit1\_IR → Update\_IR → Idle 순서로 천이 시킨다.
2. IEEE 1500 래퍼 셀에 테스트 패턴을 인가한다. TAP 제어기의 상태를 Idle → Select\_DR → Capture\_DR → Shift\_DR → Exit1\_DR → Pause\_DR → Exit2\_DR → Shift\_DR 순서로 천이 시킨다.
3. 테스트 대상 코어에 입력 셀 에서 테스트 패턴을 인가하고 출력 셀에서 테스트 결과를 캡처 한다. TAP 제어기의 상태를 Shift\_DR → Exit1\_DR → Pause\_DR → Exit2\_DR 순서로 천이 시킨다.
4. 캡처한 테스트 결과를 TDO 포트를 통해 출력한다. TAP 제어기의 상태 천이를 Shift\_DR → Exit1\_DR → Pause\_DR → Exit2\_DR → Shift\_DR 순서로 이동하여 테스트 결과를 출력한다.

#### IV. 검증 결과

본 논문에서 제안하고 있는 개선된 IEEE 1500 래퍼 셀 구조와 인터페이스 회로를 이용하여 코어 내부의 천이 지연 고장 테스트를 하기 위한 전체 구조는 그림 16과 같다. 테스트 제어는 IEEE 1149.1 TAP 제어기를 통하여 이루어지고, 래퍼 클럭은 래퍼 클럭 생성 회로에서 TCK 와 시스템 클럭의 조합으로 생성한다. 전체 회로는 Verilog HDL 을 이용하여 설계 한 후 Synopsys 사의 Design analyzer를 툴을 이용하여 합성 하였다. 합성 시 공정 라이브러리는 TSMC 0.25 μm 공정을 이용하였다. 합성 후 Mentor 사의 Model 5.7 툴을 이용하여 타이밍 시뮬레이션을 하였으며 TCK 는 50 Mhz, System Clock 은 125 Mhz를 인가하였다. 그림 17은 시뮬레이션 결과 파형으로 ①에서 테스트 패턴을 래퍼 셀에 입력하고 ②에서 테스트 대상 코어에 테스트

표 1. 기존 래퍼 셀과의 면적 비교  
 Table 1. Area overhead compare with existing wrapper cell.

	IEEE 1500 Standard Cell	Proposed Cell
Total Cell area	541.44	385.92
면적 감소율	1	28.8 %

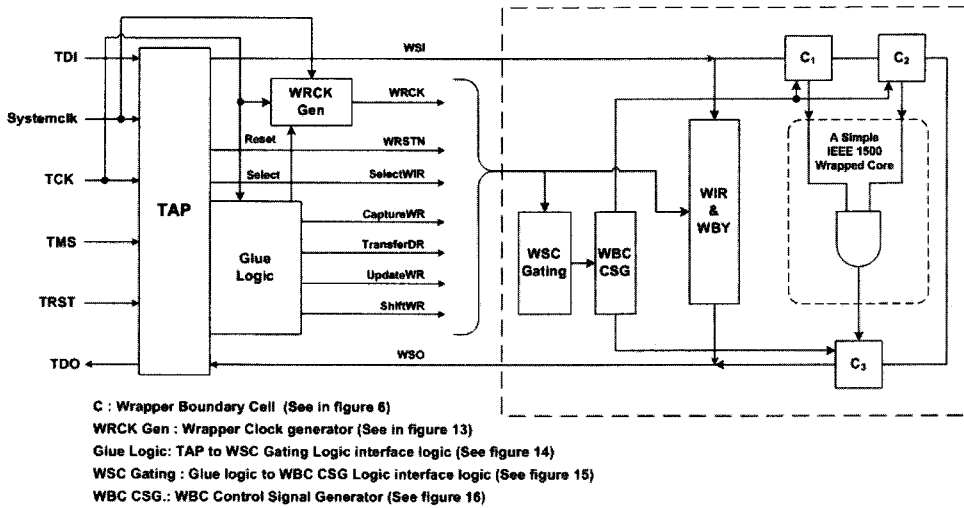


그림 16. 제안하는 IEEE 1500 래퍼 셀을 이용한 테스트 구조  
 Fig. 16. Test architecture using enhanced IEEE 1500 wrapper cell.

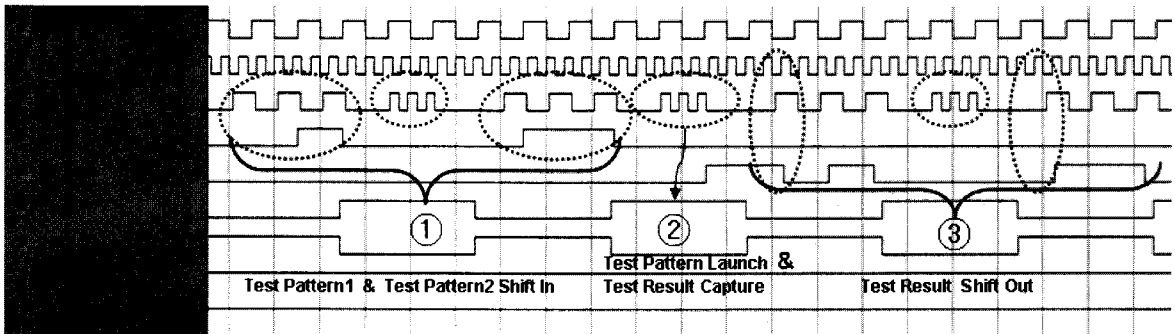


그림 17. 천이 지연 고장 테스트 시뮬레이션 결과 파형도  
 Fig. 17. Simulation result of transition delay fault test.

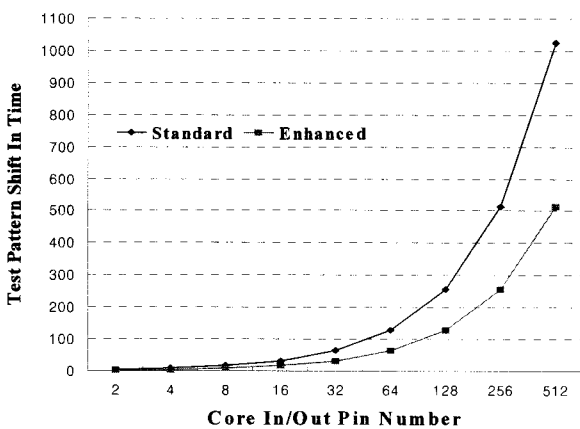


그림 18. 테스트 패턴 입력 시간 비교  
 Fig. 18. Test pattern shift in time compare.

패턴을 인가하고 테스트 결과를 캡처 하여 출력 셀에 저장하였다. 출력 셀에 저장한 결과를 ③ 과정에서 TDO 포트로부터 출력함으로써 상승 지연, 하강 지연 고장에 대한 테스트 결과를 확인 할 수 있다. 표 1은 천이 지

연 고장 점검을 할 수 있는 IEEE 1500 표준의 셀 구조와 개선된 셀 구조의 면적을 비교한 표이다. 개선된 셀 구조는 IEEE 1500 표준에서 제시하고 있는 래퍼 셀 구조에 비하여 28.8 %의 면적 감소효과가 있다.

그림 18은 천이 지연 고장 테스트를 제외한 단일 패턴 테스트시 테스트 패턴을 각 래퍼 셀에 입력할 때 까지 걸리는 시간을 비교한 그림이다. 개선된 래퍼 셀 구조를 사용할 경우 테스트 패턴을 각 래퍼 셀에 입력할 때 표준의 래퍼 셀에 비해 두 배 빠르게 테스트 패턴을 각 래퍼 셀에 입력 할 수 있다.

### V. 결론

본 논문에서는 IEEE 1500 표준을 이용하여 SoC내 IP 코어의 내부 천이 지연 고장 테스트를 수행하기 위하여 개선된 IEEE 1500 래퍼 셀 구조와 IEEE 1149.1 TAP 제어기를 이용하기 위한 인터페이스 회로를 제시하고,



이를 이용한 테스트 방법을 제안하였다.

개선된 래퍼 셀 구조는 한 번의 테스트 명령어로 상승 지연, 하강 지연 고장 테스트를 연속적으로 수행 할 수 있는 표준의 래퍼 셀 기능을 유지 하면서 28.8% 의 면적 감소를 얻을 수 있다. 이는 SoC내 코어의 입출력 포트의 수에 비례하여 래퍼 셀의 수가 증가하기 때문에 큰 면적 감소 효과가 있으며 천이 지연 고장 테스트를 제외한 단일 패턴 테스트시 테스트 패턴을 각 래퍼 셀에 인가하는 과정에서 소요 시간을 반으로 단축 할 수 있다. 또한 래퍼 클럭 생성 회로를 추가함으로써 서로 다른 클럭으로 동작하는 여러 코어 내부의 천이 지연 고장을 동시에 테스트 할 수 있다.

### 참 고 문 헌

- [1] IEEE Computer Society, "IEEE Standard Test Access Port and Boundary Scan Architecture," Jun. 2001.
- [2] IEEE Computer Society, "IEEE Standard Testability Method for Embedded Core-based Integrated Circuits," Aug. 2005.
- [3] H. J. Vermaak and H.G. Kerckhoff, "Enhanced P1500 Compliant Wrapper suitable for Delay Fault Testing of Embedded Cores," Proceedings of the Eighth IEEE European Test Workshop, 2003.
- [4] Nisar Ahmed, C.P. Ravikumar, Mohammad Tehranipoor, Jim Plusquellic, "At-Speed Transition Fault Testing With Low Speed Scan Enable," VLSI Test Symposium, 2005.
- [5] N. Devtaprasanna, A. Gunda, P. Krishnamurthy, S.M. Reddy, I. Pomeranz, "METHODS FOR IMPROVING TRANSITION DELAY FAULT COVERAGE USING BROADSIDE TESTS," IEEE International Test Conference, 2005.
- [6] Matthias Beck, Olivier Barondeau, Martin Kaibel, Frank Poehl, Lin Xijiang, Ron Press, "Logic Design For On-Chip Test Clock Generation - Implementation Details and Impact on Delay Test Quality," Proceedings of the Design, Automation and Test in Europe, 2005.
- [7] Qiang Xu, Nicola Nicolici, "DFT Infrastructure for Broadside Two-Pattern Test of Core-Based SOCs," IEEE Transactions on Computers, Vol. 55, No. 4, April 2006.
- [8] B. I. Dervisoglu, "A Unified DFT Architecture for use with IEEE 1149.1 and VSIA/IEEE P1500 Compliant Test Access Controllers," Design Automation Conference, pp. 53-58, June 2001.
- [9] L. Whetsel, "Inevitable Use of TAP Domains in SOCs," IEEE International Test Conference, pp. 1191, 2002.
- [10] J. Song and S. Park, "A Simple Wrapped Core Linking Module for SoC Test Access," Proceedings of the 11th Asian Test Symposium, pp. 344-349, Nov. 2002.
- [11] L. Whetsel, "An IEEE 1149.1 Based Test Access Architecture for ICs with Embedded Cores," IEEE International Test Conference, pp. 69-78, 1997.
- [12] Christian Piguet, "Low-Power CMOS Circuits Technology Logic Design and CAD Tools," Taylor & Francis. 2005.
- [13] Synopsys On-Line Documentation, Volume 1, 2003.

저 자 소 개



김 기 태(정회원)  
 2005년 한양대학교 전자컴퓨터  
 공학과 학사 졸업.  
 2007년 한양대학교 컴퓨터  
 공학과 석사 졸업.  
 2007년~현재 삼성전자 메모리  
 사업부

<주관심분야: 반도체, 테스트, CAD/VLSI>



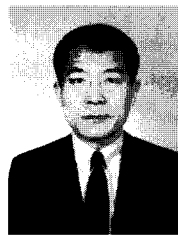
이 현 빈(정회원)  
 2001년 한양대학교 전자컴퓨터  
 공학과 학사 졸업.  
 2003년 한양대학교 컴퓨터  
 공학과 석사 졸업.  
 2006년 한양대학교 컴퓨터  
 공학과 박사 졸업.

2006년~현재 Post Doc. at University of Massachusetts, U.S.

<주관심분야 : SoC 테스트, ASIC 설계, 네트워크 시스템 설계>



김 진 규(정회원)  
 2006년 한양대학교 컴퓨터  
 공학과 학사 졸업.  
 2007년 한양대학교 컴퓨터  
 공학과 석사 과정 중.  
 <주관심분야: 반도체, 테스트,  
 ASIC 설계, CAD/VLSI>



박 성 주(정회원)  
 1983년 한양대학교 전자공학과  
 학사 졸업.  
 1983년-1986년 금성사 소프트웨  
 어 개발 연구원.  
 1992년 Univ. of Massachusetts  
 전기 및 컴퓨터공학과  
 박사졸업.

1992년~1994년 IBM Microelectronics 연구스텝.  
1994년~현재 한양대학교 전자컴퓨터공학부 정교수.

<주관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC설계, 고속 신호처리 시스템 설계, 그래프이론>