

논문 2007-44SD-11-13

# 다양한 표준에서 사용 가능한 CMOS 전력 증폭기

## ( A Reconfigurable CMOS Power Amplifier for Multi-standard Applications )

윤 석 오\*, 유 형 준\*\*

( Seok-Oh Yun and Hyung-Joun Yoo )

### 요 약

다양한 표준에서 사용이 가능한 송신기를 구성하기 위해서는 이에 적합한 송신기의 구조와 부품의 개발이 반드시 필요하다. 본 논문에서는 다양한 표준에서 사용이 가능한 전력 증폭기를 CMOS 0.25  $\mu\text{m}$  공정을 사용하여 구현하였다. 설계된 전력 증폭기는 중간단의 정합을 바꿈으로써 0.9, 1.2, 1.75, 1.85 GHz의 주파수에서 동작하고, bonding wire를 활용하였을 때 2.4 GHz에서 동작한다. 중간단의 정합회로는 2개의 인덕터를 4개의 스위치가 제어하도록 구성되어 있다. 제안된 전력 증폭기는 낮은 전력을 요구하는 ZigBee나 Bluetooth 표준에서는 전력증폭기로 사용될 수 있고, 높은 전력을 요구하는 CDMA 표준에서는 구동 증폭기로 사용이 가능하다. 설계된 전력 증폭기는 0.9 GHz에서 18.2 dB의 이득, 10.3 dBm의 출력 전력 특성을 보였으며, 1.75 GHz와 2.4 GHz에서는 10.3 dB, 18.1 dB의 이득, 5.2 dBm, 10 dBm의 출력 전력 특성을 나타내었다.

### Abstract

For successful implementation of multi-standard transmitter, reconfigurable architecture and component design are essential. This paper presents a reconfigurable CMOS power amplifier designed CMOS 0.25  $\mu\text{m}$  process. Designed power amplifier can be operated at 0.9, 1.2, 1.75, and 1.85 GHz. Also, it can be used at 2.4 GHz by using bonding wire inductor. The interstage matching network is composed of two inductors and four switches, and operation frequency can be varied by controlling switches. Proposed power amplifier can be used as a power amplifier in low power applications such as ZigBee or Bluetooth application and used as a driver amplifier in high power application such as CDMA application. Designed power amplifier has 18.2 dB gain and 10.3 dBm output power at 0.9 GHz. Also, it represented 10.3 (18.1) dB gain and 5.2 (10) dBm output power at 1.75 (2.4) GHz.

**Keywords :** reconfigurable, power amplifier, interstage matching, multi-standard

## I. 서 론

다양한 무선통신 표준들이 통신시장에 빠르게 소개되면서 이에 따른 무선통신 기기들이 요구되고 있다. 전력 증폭기는 가장 구현하기 어려운 것 중 하나이고,

더불어 다양한 표준에서 사용이 가능하도록 만드는 것은 불가능한 것처럼 보인다. 전력 증폭기는 시스템에서 요구하는 기본적인 출력 전력, 전력 이득, 그리고 얼마나 효율적으로 전송할 수 있는 지가 중요한 특성이다. 또한, 다양한 표준에서 사용이 가능하기 위해서는 앞서 언급한 성능과 더불어 주파수 특성이 들어가게 된다. 이를 구현하기 위한 여러 가지 방법이 활발히 연구되고 있으며 그 방법은 다음과 같이 세 가지로 분류될 수 있다<sup>[1~5]</sup>.

첫째, 가장 간단한 방법 중의 하나로 입력단과 출력단의 정합을 넓은 대역에서 수행함으로써 특성을 갖는 전력 증폭기를 만드는 것이다<sup>[1~2]</sup>. 이러한 방법으로 구현된 전력 증폭기는 특정한 표준에서만 사용이 가능하

\* 학생회원, \*\* 평생회원, 한국정보통신대학교 공학부 (Department of Engineering, Information and Communications University)

※ 이 논문은 정보통신부의 출연금 등으로 수행하고 있는 한국전자통신연구원 SoC 산업진흥센터의 정보통신연구개발사업과 과학기술부/한국과학재단의 우수연구센터 사업으로 선정된 지능형 RF 연구센터의 일환으로 수행하였음.

접수일자: 2007년1월23일, 수정완료일: 2007년10월24일

도록 만들어진 전력 증폭기와 비교하였을 때 인접한 신호들의 영향에 의하여 선형성 특성이 좋지 않다.

둘째, 필요한 모든 표준들을 각각 다르게 수용할 수 있도록 만들어 주는 방법이다<sup>[3]</sup>. 표준마다 모두 다르게 송수신기를 만들기 때문에 전력 증폭기의 경우에 스위치를 써서 각각의 표준에 사용하게 만든다. 이 기술은 각 표준마다 스위치를 써서 선택적으로 사용하기 때문에 요구하는 성능에 맞도록 전력 증폭기를 설계할 수 있다. 하지만 시스템이 증가할수록 필요한 전력 증폭기의 수도 늘어나기 때문에 가격이나 크기 등의 측면에서는 불합리하다.

세 번째 방법으로 재구성이 가능한 전력 증폭기를 구현하는 것이다. 많이 이용되는 방법으로 MicroElectro Mechanical System (MEMS) 기술이 적용된 스위치를 이용한다<sup>[4]</sup>. 입력단과 중간단, 그리고 출력단에 다양한 정합 회로를 구현한 후, MEMS 스위치를 이용하여 필요한 대역을 선택한다. 하지만 현재까지 MEMS 스위치를 CMOS 기술에 적용하기에는 한계가 있고, 좋은 성능을 나타내는 데에는 시간이 필요하다.

본 논문에서는 중간단의 정합을 MOS 스위치를 이용하여 다양하게 바꿈으로써 재구성이 가능한 전력 증폭기에 대하여 소개한다<sup>[5]</sup>. 이러한 방법으로 제작된 전력 증폭기는 0.9~1.85 GHz 범위에서 동작하고, bonding wire 인덕터를 이용하여 2.4 GHz 대역에서도 동작한다. 이 방법으로 구현된 전력 증폭기는 넓은 대역에서 사용이 가능한 전력 증폭기보다 선형성 특성이 더 좋고, 여러 개의 필요한 표준을 모두 구현하는 방법보다는 크기를 훨씬 줄일 수 있는 장점이 있다. 그림 1은 제안된 전력 증폭기의 구조를 나타낸다.

본 논문의 구성은 다음과 같다. II장에서는 다양한 표준들을 수용할 수 있는 송신기의 구조를 제안하고, 재구성이 가능한 정합 회로와 전력 증폭기에 대하여 알아보았고, III장에서는 설계된 전력 증폭기의 측정결과

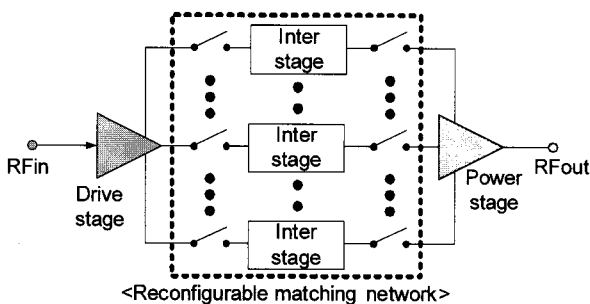


그림 1. 제안된 전력 증폭기 구조  
Fig. 1. Structure of the proposed power amplifier.

를 정리하였다. 그리고 마지막 IV장에서 본 논문의 결론을 맺었다.

## II. 본 론

### 1. 다양한 표준에 적합한 송신기 구조

다양한 표준에 사용이 가능한 송신기를 만들기 위한 궁극적인 목적은 software를 이용하여 각각의 표준마다 제어할 수 있는 하나의 칩으로 만드는 것이지만, 현재까지의 송신기는 각 표준에 맞는 RF단을 따로 만들어 구현하고 있다. 이러한 방법으로 구현하는 것은 크기와 가격 측면에서 제한이 있기 때문에, 본 논문에서는 상대적으로 장점이 있는 재구성이 가능한 정합 회로를 만들어 송신기를 구현할 수 있는 방법에 대하여 제안하였다. 그림 2에 다양한 표준에 사용가능한 송신기의 구조를 나타내었고, 표 1에 구성하고자 하는 시스템에서 요구되는 RF 부분의 요구 사항들을 정리하였다.

제안된 송신기 구조는 0.9~2.4 GHz 대역을 사용하는 ZigBee, CDMA, Bluetooth 의 표준만으로 제한하였다. 송신단을 구성하는 부품 중에서 안테나와 RF 필터만을 따로 구현하였고, 그 외의 RF부품들은 서로 공유할 수 있도록 설계하였다. 표 1에서 CDMA 표준은 출력 전력이 28 dBm으로 크기 때문에 설계된 전력 증폭기는 구동 증폭기로 사용이 가능하고, 그 외의 ZigBee나 Bluetooth 표준에서는 출력 전력이 0 또는 4 dBm의 경우, 전력 증폭기로 사용이 가능하다. 그 외 송신기를 구성하는 부품 중에서 원하는 표준마다 사용이 가능한

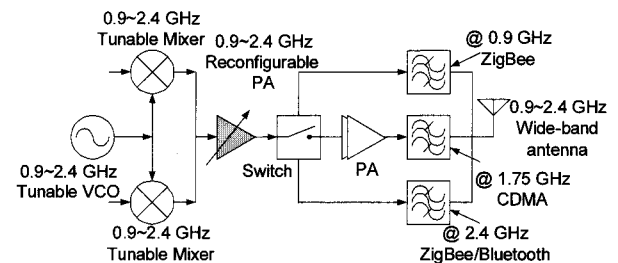


그림 2. 다양한 표준에 적합한 송신기 구조  
Fig. 2. Transmitter structure of variable standards.

표 1. Application에 따른 시스템 specification  
Table 1. System specification to the application.

Standard	Duplexing	Frequency (GHz)	Output power (dBm)
ZigBee	TDD	0.9/2.4	0/4
CDMA	FDD	1.75~1.78	28
Bluetooth	TDD	2.4	0/4/20

tunable mixer<sup>[6]</sup>와 VCO<sup>[7]</sup>는 수신단에서 발표된 논문들을 참고하여 송신단에서도 구현이 가능할 것이다.

### 2. 재구성 가능한 정합 구조

본 논문에서 설계된 전력 증폭기는 2단의 구조로 구성되었고, 중간단에서의 등가 회로를 그림 3에 나타내었다.

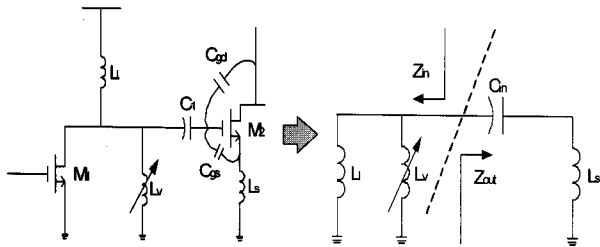


그림 3. 중간단 정합의 등가회로  
Fig. 3. Equivalent circuit of interstage matching.

그림 3에서 M<sub>1</sub>과 M<sub>2</sub>는 전력을 내는 트랜지스터 셀이고, C<sub>gs</sub>와 C<sub>gd</sub>는 M<sub>2</sub>의 기생 커패시턴스 성분이다. L<sub>1</sub>은 M<sub>1</sub>의 load 인덕터이고 C<sub>1</sub>과 L<sub>v</sub>는 중간단의 정합회로를 나타낸다. C<sub>1</sub>, C<sub>gs</sub>, C<sub>gd</sub>를 C<sub>in</sub>으로 하나의 커패시턴스로 표현하여 그 때의 임피던스 특성은 식 (1)과 같이 정리된다.

$$Z_{out} = \frac{1}{j\omega C_{in}} + j\omega L_s = j\omega(L_s - \frac{1}{\omega^2 C_{in}})$$

$$Z_{in} = L_v \parallel L_1 = \frac{j\omega L_1 \times j\omega L_v}{j\omega L_v + j\omega L_1}$$
(1)

식 (1)에서 conjugate 정합 조건을 만족하기 위해서 정리해 보면 식 (2)와 같다.

$$Z_{in} = Z_{out}^*$$

$$\frac{j\omega L_1 L_v}{(L_1 + L_v)} = \frac{j(1 - \omega^2 C_{in} L_s)}{\omega C_{in}}$$
(2)

식 (2)를 한 번 더 정리하여 주파수에 관한 관계식으로 정리하면 식 (3)과 같이 정리된다.

$$\omega = \sqrt{\frac{L_1 + L_v}{C_{in}(L_1 L_v + L_v L_s + L_s L_1)}}$$
(3)

식 (3)에서, L<sub>v</sub>와 C<sub>in</sub> 값을 바꾸어줌으로써 다양한 주파수 특성을 갖는 회로를 꾸밀 수 있다. 본 논문에서는 L<sub>1</sub>은 10 nH, L<sub>s</sub>는 1 nH, C<sub>in</sub> 값을 약 2 pF의 값을 이용하였고, 이 값을 식(3)에 대입하여 정리하면 식 (4)와

같이 된다.

$$Freq(GHz) = \frac{2.5}{L_v^{0.23}} (L_v, in nH)$$
(4)

최종적으로 정리된 식 (4)를 보면, 설계된 전력 증폭기는 L<sub>v</sub> 값 즉, 중간단 정합을 이루는 인덕터의 값을 변화시킴으로써 서로 다른 주파수에서의 특성을 갖는 전력 증폭기를 설계할 수 있다는 것을 알 수 있다.

### 3. 다양한 표준에서 사용가능한 전력 증폭기 설계

다양한 표준에서 사용 가능한 전력 증폭기를 만들기 위해서 bonding wire 인덕터를 중간단에 정합회로로 이용하여 우선 2.4 GHz에서 동작하는 전력 증폭기를 설계하였다. 2.4 GHz에서 전력 증폭기의 특성을 확인한 후에 중간단 정합을 다양한 주파수에서 동작하는 회로를 설계하기 위하여 bonding wire 인덕터를 대신하는 재구성이 가능한 정합회로로 대체하였다. 그림 4에 2.4 GHz에서 동작하는 전력 증폭기의 개략도를 나타내었다.

전력 증폭기를 설계하기 위해서는 설계할 구조를 결정하고, 이득과 출력 전력을 내는 셀의 크기를 결정해야 한다. 첫째 단에 5 um x 8 um x 0.25 um의 트랜지스터를 4개 병렬로 붙여서 사용하였고, 둘째 단에는 같은 크기의 트랜지스터를 8개 사용하였다. C<sub>g</sub>는 입력단의 정합을 용이하게 하기 위하여 추가하였고, L<sub>d</sub>와 L<sub>s</sub>는 degeneration 인덕터로 높은 품질계수를 얻기 위하여 bonding wire를 이용하였고, L<sub>1</sub>는 중간단 정합을 위한 것이다. 이와 같은 설계의 시뮬레이션 실험 결과 이득이 1 dB 줄어드는 점에서 22.7 dB의 power gain, 14.7 dBm의 출력 전력, 40 %의 효율을 얻을 수 있었다.

2.4 GHz 대역에서 설계된 전력 증폭기를 이용하여

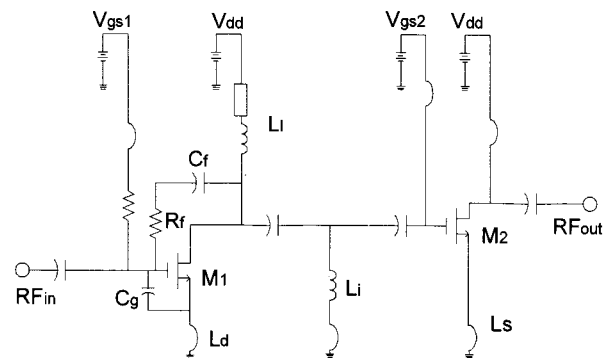


그림 4. 2.4 GHz에서 동작하는 전력 증폭기  
Fig. 4. The power amplifier operating at 2.4 GHz.

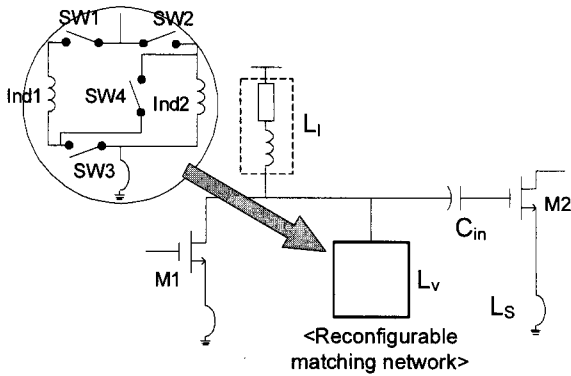


그림 5. 재구성이 가능한 중간단 정합회로  
 Fig. 5. Schematic of the reconfigurable interstage matching.

표 2. 동작 주파수의 시뮬레이션 조건  
 Table 2. Simulation condition of operating frequencies.

조건				동작 주파수 (GHz)
스위치1	스위치2	스위치3	스위치4	
on	off	off	on	0.9
on	off	on	off	1.2
off	on	off	off	1.75
on	on	on	off	1.85
off	off	off	off	2.4

중간단의 정합을 재구성이 가능한 회로로 만든 전력 증폭기를 설계하였고 이를 그림 5에 나타내었다.

그림 5에서 보듯이 인덕터 2개와 스위치 4개를 이용하여 재구성이 가능한 중간단 정합 회로를 구현하였고, 2개의 인덕터 값을 스위치를 이용하여 바꿔줌으로써 0.9~1.85 GHz 사이에서 정합이 되도록 만들었다. 또한 스위치와 인덕터를 대신하여 bonding wire 인덕터를 이용하여 2.4 GHz에서 동작하는 전력 증폭기를 만들었다. 표 2는 중간단의 정합을 이루는 스위치의 조건에 따른 동작 주파수 대역을 정리한 것이다.

### III. 실험

0.9~1.85 GHz에서 사용이 가능한 CMOS 전력 증폭기를 Agilent사의 ADS 시뮬레이터를 사용하였다. 그림 6은 설계된 전력 증폭기의 사진이다. 사진의 밑부분에 전력 증폭기가 위치하고, 그 위로 인덕터 2개를 이용하여 구성된 중간단 정합이 위치하도록 설계되었다.

설계된 전력 증폭기는 1.8 V 조건에서 36 mA의 전류를 소모하였다. 그림 7은 표 2의 조건하에서 0.9 GHz, 1.75 GHz, 2.4 GHz 대역에서 작동하도록 스위치를 동작시킨 후 측정된 소신호 결과이다.

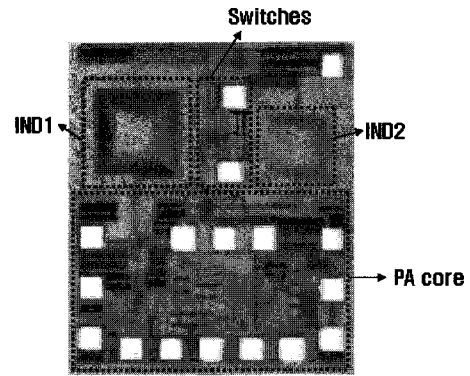


그림 6. 설계된 전력 증폭기의 칩 사진  
 Fig. 6. Photograph of designed power amplifier.

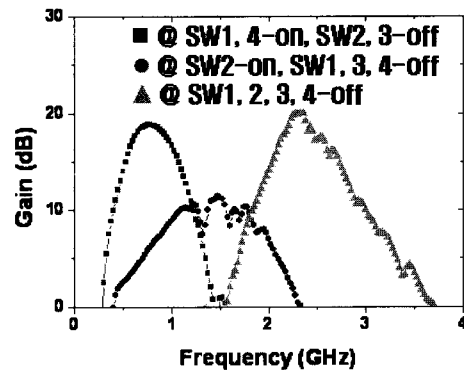


그림 7. 중간단 정합 조건에 따른 소신호 특성  
 Fig. 7. Small signal characteristic depending on interstage matching condition.

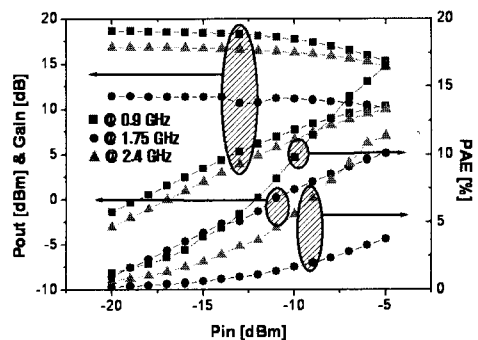


그림 8. 설계된 전력 증폭기의 측정결과  
 Fig. 8. Measurements of designed power amplifier.

그림 7의 결과에서 보듯이 소신호 특성은 0.9 GHz에서 18.2 dB, 1.75 GHz 대역에서 10.3 dB, 2.4 GHz 대역에서 18.1 dB의 이득을 가짐을 알 수 있다. 그림 8은 각각의 주파수 특성을 갖는 전력 증폭기의 입력 전력을 변화시키면서 측정된 출력 전력, 전력 이득, 그리고 효율의 특성을 나타낸다. 그림 8에서 X축은 입력 전력, 왼쪽 Y축은 출력 전력과 전력 이득을 나타내며, 오른쪽 Y축은 효율을 표시한다.

표 3. 측정 결과 및 다른 논문과의 비교  
Table 3. Measurement results and comparisons.

	공정 (um)	동작 주파수 (GHz)	Gain (dB)	Pout (dBm)	소모 전력 (mW)
본 논문	0.25	0.9	18.2	10.3	65
		1.75	10.3	5.2	93.6
		2.4	18.1	10	79.2
[2]	0.18	0.9	10	2.4	90
		1.8	11	2.4	
		2.4	11.1	1.6	
		5.2	7.8	0.6	
[8]	0.18	2.45	9	9.7	31.5
		5.25	6	9.8	

표 3은 측정된 결과를 지금까지 보고된 다른 논문들과 비교하면서 동시에 측정 결과를 정리한 것이다.

현재까지 보고된 논문 중에서 다양한 대역에서 쓸 수 있는 전력증폭기를 CMOS 기술을 이용하여 재구성 가능하게 구현된 것은 없다. 비교된 [2]의 논문은 CMOS 0.18 um 공정을 사용하여 광대역 정합으로 구현한 것으로 본 논문과 비교하였을 때, 36 mA의 적은 전류를 흘리면서 0.9 GHz에서 8.2 dB가 더 높고, 1.8 GHz 근처에서는 1 dB 이내의 차이가 난다. 같은 0.18 um 공정을 이용하였다면 더 좋은 결과를 얻을 수 있을 것이라 생각된다. 비교된 논문 [8]은 dual band 정합 방법으로 구현된 것으로 2개 이상의 더 많은 표준에 적용하기에는 한계가 있다.

#### IV. 결 론

본 논문에서는 다양한 표준에서 사용이 가능한 송신기의 구조를 제안하고, 재구성 가능한 전력 증폭기를 CMOS 기술을 이용하여 제안하고 설계하였다. 설계된 전력 증폭기는 0.25 um 공정을 이용하였으며 두 개의 증폭단과 재구성 가능한 정합단으로 구성되어 있다. 중간단의 스위치를 조절하여 0.9~1.85 GHz 주파수에서 10.3~18.2 dB의 소신호 이득을 얻었다. 또한 설계된 전력 증폭기와 bonding wire 인덕터를 이용하여 2.4 GHz에서도 사용이 가능하다. 설계된 전력 증폭기는 낮은 출력을 요구하는 ZigBee나 Bluetooth 표준에서는 전력 증폭기로, 높은 출력을 요구하는 1.75 GHz 대역의 CDMA 표준에서는 구동 증폭기로 사용이 가능하다. 결과적으로, 전력 증폭기를 본 논문에서와 같이 설계함으

로써 다양한 표준에서 사용할 수 있고, 크기와 가격을 줄일 수 있다.

#### 참 고 문 헌

- [1] H. Jager, A. Grebennikov, E. Heaney, and R. Weigel, "Broadband high-efficiency monolithic InGaP/GaAs HBT power amplifiers for 3G handset applications," *2002 IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 2, pp. 1035-1038, June 2002.
- [2] Hakan Magnusson and Hakan Olsson, "Multiband Multi-Standard Transmitter using a Compact Power Amplifier Driver," *Radio Frequency Integrated Circuits Symposium*, pp. 491-494, June 2005.
- [3] S. Zhang, J. Madic, P. Bretchko, J. Mokoro, R. Shumovich, and R. McMorro, "A novel power-amplifier module for quad-band wireless handset applications," *IEEE Trans. Microwave Theory Tech.*, vol. 51, pp. 2203-2210, Nov. 2003.
- [4] A. Fukuda, H. Okajaki, T. Hirota, and Y. Yamao, "Novel Band-Reconfigurable High Efficiency Power Amplifier Employing RF-MEMS Switches," *IEICE Trans. Electron.*, vol. E88-C, Nov. 2005.
- [5] Seok-Oh Yun and Hyung-Joun Yoo, "A Reconfigurable CMOS Power Amplifier Operating from 0.9 to 2.4 GHz for WPAN Application," *IEEE-SOCC2006*, pp. 69-72, Sep. 2006.
- [6] Young-Kyun Jang, Ji-Hoon Kim, and Hyung-Joun Yoo, "Reconfigurable CMOS Mixer for Multi-Standard Applications," *IEICE Trans. Electron.*, vol. E88-C, pp. 2379-2381, Dec. 2005.
- [7] Ji-Hoon Kim and Hyung-Joun Yoo, "Multi-standard CMOS LC QVCO with Reconfigurable LC Tank and Low Power Low Phase Noise Quadrature Generation Method," *IEICE Trans. Electron.*, vol. E89-A, pp. 1547-1551, June 2006.
- [8] Cristina F. Jou, Kuo-Hoa Cheng, and Jia-Liang Chen, "A concurrent 0.18 um CMOS Self-Biased Dual-band Driver Amplifier for IEEE 802.11 a/b/g," *Solid-state and Integrated Circuits Technology, 2004, Proceedings*, vol. 2, pp. 1264-1267, Oct. 2004.

## 저 자 소 개



윤 석 오(학생회원)  
 2000년 충남대학교 재료공학과  
 학사 졸업 (공학사)  
 2003년 한국정보통신대학교  
 공학부 석사 졸업  
 (공학석사)  
 2006년~현재 한국정보통신대학교  
 공학부 박사 재학

2003년~2006년 Knowledge\*On 연구원

2007년~현재 PHYCHIPS 연구원

<주관심분야: RF system, RFIC, Wireless SoC>



유 형 준(평생회원)  
 1976년 서울대학교 물리학과 학사  
 졸업 (이학사)  
 1990년 한국과학기술원 물리학과  
 석사 졸업 (이학석사)  
 1994년 한국과학기술원 물리학과  
 박사 졸업 (이학박사)

1979년~1982년 국방과학연구소 연구원

1983년~1997년 한국전자통신연구원 책임연구원

1998년~현재 한국정보통신대학교 교수

<주관심분야 : RF system, Reconfigurable RFIC,  
 Wireless SoC, Nonlinear device>