

논문 2007-44SD-11-10

저비용 SoC 테스트를 위한 IEEE 1500 래퍼 및 테스트 제어

(IEEE 1500 Wrapper and Test Control for Low-Cost SoC Test)

이 현 빈*, 김 진 규*, 정 태 진*, 박 성 주**

(Hyunbean Yi, Jinkyu Kim, Taejin Jung, and Sungju Park)

요 약

본 논문에서는 저비용 SoC 테스트를 위한 테스트 설계 기술에 대해서 다룬다. IEEE 1500 래퍼 코어를 SoC TAP (Test Access Port) 을 통하여 스캔 테스트를 수행하는 방법을 제시하고, 지연고장 테스트를 위한 테스트 클럭 생성회로를 설계한다. TAP의 신호만을 이용하여 SoC 테스트를 수행함으로써 테스트 핀 수를 줄일 수 있고, SoC 내부의 회로를 사용하여 지연고장 테스트를 수행함으로써 저가의 테스트 장비를 사용할 수 있다. 실험을 통하여 제시한 방식의 효율성을 평가하고, 서로 다른 주파수의 클럭을 사용하는 여러 코어의 지연고장 테스트를 동시에 수행 할 수 있음을 확인한다

Abstract

This paper introduces design-for-test (DFT) techniques for low-cost system-on-chip (SoC) test. We present a Scan-Test method that controls IEEE 1500 wrapper thorough IEEE 1149.1 SoC TAP (Test Access Port) and design an at-speed test clock generator for delay fault test. Test cost can be reduced by using small number of test interface pins and on-chip test clock generator because we can use low-price automated test equipments (ATE). Experimental results evaluate the efficiency of the proposed method and show that the delay fault test of different cores running at different clocks test can be simultaneously achieved.

Keywords : Design for test, IEEE 1149.1, IEEE 1500, at-speed test, System-on-chip

I. 서 론

반도체 공정 기술의 발전으로 여러 IP (Intellectual Property) 코어로 구성된 시스템을 하나의 칩으로 구현하는 시스템-온-칩 (System-on-a-Chip (SoC)) 설계가 가능해졌다. 재사용 가능한 IP 코어를 사용함에 따라서 설계 시간은 단축되었지만, SoC의 복잡도가 늘어나고 동작 속도로 빨라지면서 테스트의 비중은 점점 더 높아졌다. 따라서 IP 코어 설계자와 SoC 설계자간

의, 테스트 비용을 줄이기 위한 노력이 요구되었다. 테스트 패턴 압축, at-speed 테스트, multi-site 테스트 등을 통하여 테스트 시간을 단축시킴으로써 테스트 비용을 줄이거나, 테스트 핀 축소 테스트 (Reduced Pin-Count Test (RPCT)), 온칩 지연고장 테스트 클럭 생성기 구현 등을 통하여 저가의 테스트 장비 (Automated Test Equipment (ATE))를 사용할 수 있도록 함으로써 테스트 비용을 줄이는 연구가 많이 이루어지고 있다^[1-5]. 보드 또는 시스템 수준에서 테스트 설계 기술로써 IEEE 1149.1 표준이 많이 사용되고 있으며, 임베디드 코어 (embedded core) 테스트 인터페이스를 위해서는 IEEE 1500 표준이 있다^[6]. IEEE 1500은 SoC의 내장된 코어에 대한 접근 방법 및 테스트 절차, 테스트 패턴의 입력 및 관측 방법에 대한 표준을 제시하고 있으며 테스트 래퍼 (wrapper)와 테스트 포트 및 제어 신호를 정의하고 있고, 테스트 접근 메커니즘 (Test Access Mechanism (TAM)) 및 테스트

* 정회원, 한양대학교 컴퓨터공학과
(Dept. of Computer Science & Engineering,
Hanyang University)

** 정회원, 한양대학교 전자 컴퓨터 공학과
(Dept. of Electronical Engineering Computer
Science, Hanyang Univ.)

※ 본 논문은 한국과학재단 특정기초과제(R01-2006-000-11038-0 (2007))로부터 지원을 받아 진행하였습니다.

접수일자: 2007년7월6일, 수정완료일: 2007년11월1일

트 방법에 대해서는 SoC 설계자가 정의해야 한다. IEEE 1149.1과 IEEE 1500을 함께 적용함으로써 보드 상의 칩 간 테스트 뿐만 아니라 칩 내부의 SoC 테스트를 위한 효율적인 제어가 가능하다.

본 논문에서는, IEEE 1500 래퍼가 있는 임베디드 코어로 구성된 SoC의 저비용 테스트에 대해서 논한다. 특히, RPCT 구조와 스캔 기반 지연고장 테스트를 위한 DFT에 초점을 둔다. 칩 레벨에서는 기본적으로 IEEE 1149.1 환경에서, 스캔 데이터 I/O, TDI (Test Data Input), TDO (Test Data Output), 테스트 제어 신호 (scan enable & TAP control), 클럭 핀을 통하여 모든 기능 I/O에 연결함으로써 테스트 핀 축소 테스트 RPCT를 구현 할 수 있다. 논문 [3]에서는 모든 기능 핀이 스캔 체인의 I/O로 이용되는 칩의 경우에 대해서 스캔 체인과 IEEE 1149.1만을 이용한 RPCT 구조를 제시하였다. 하나의 스캔 입력 핀과 TDI를 통하여 직렬로 바운더리 스캔 체인에 스캔 데이터를 입력하고, 바운더리 스캔 체인에 저장된 스캔 데이터를 여러 스캔 체인에 병렬로 입력하는 방식을 제시하였다. 논문 [4]는 two-pattern 테스트가 가능하도록 IEEE 1149.1 TAP과 바운더리 스캔 셀을 수정하고, 긴 스캔체인을 여러 짧은 스캔체인으로 나누고 일대다 감압기 (one-to-many decompressor)와 다대일 압축기 (many-to-one compactor)를 사용하는 Embedded Deterministic Test (EDT) 방법^[7]을 적용함으로써 RPCT를 구현하여 테스트 비용을 줄였다. 본 논문에서는 SoC 내의 코어 테스트를 위한 테스트 래퍼를 고려해야 하는데, 이와 같은 칩 레벨의 방식을 그대로 코어 레벨에 적용하기에는 몇 가지 문제가 있다. SoC 내의 모든 코어의 래퍼셀로써 두 개의 flip-flop을 포함한 바운더리 스캔 셀을 사용하기에는 면적 오버헤드가 매우 크고, 각 코어마다 별도의 EDT를 적용하려면 면적 오버헤드가 증가함은 물론이고 구현하는데 걸리는 시간과 노력이 매우 크다.

본 논문에서는 최소 크기의 래퍼셀과 스캔 기반 지연고장 테스트 클럭 생성기를 포함하고, IEEE 1149.1 TAP을 통하여 제어가 가능한 IEEE 1500 래퍼 및 DFT 방법을 제시한다. TAP 포트 신호 (TCK, TMS, TDI, TDO, TRST) 과 기능 클럭 핀 이외의 별도의 테스트 핀은 추가하지 않고, 고속의 지연고장 테스트 클럭도 내부 회로에 의해 생성되어 저가의 ATE로 테스트가 가능하므로 테스트 비용을 절감할 수 있다.

본 논문의 구성은 다음과 같다. II장에서는 IEEE

1500 래퍼에 대해서 간단히 설명한다. III장에서 본 논문에서 제시하는 저비용 SoC 테스트를 위한 DFT 회로를 자세하게 설명하고, IV장에서 실험 결과를 제시하고, V장에서 결론을 맺는다.

II. IEEE 1500 래퍼와 TAM

IEEE 1500 래퍼는 IEEE 1149.1과 비슷한 구조로써, 크게 래퍼 명령 레지스터 (Wrapper Instruction Register (WIR)), 래퍼 바이패스 레지스터 (Wrapper Bypass Register (WBY)), 래퍼 경계 레지스터 (Wrapper Boundary Register (WBR))로 구성되어 있다. 테스트 접근 단자로는 (Test access terminal)로는 필수적인 래퍼 직렬 포트 (Wrapper Serial Port (WSP))와 선택사항인 래퍼 병렬 포트 (Wrapper Parallel Port (WPP))를 정의하고 있다^[6]. IEEE 1149.1의 TAP 제어기와 같은 테스트 제어부 및 TAM은 SoC 설계자에 의해 설계 되어야 한다. 필수 테스트 명령어로는 WS_BYPASS, WS_EXTEST, Wx_INTEST가 있으며 그밖에 여러 선택적인 명령어를 정의하고 있다. 그림 1이 내부 스캔체인을 가지고 있는 IEEE 1500 랩드 코어 (wrapped core)의 한 예이다.

WSI와 WSO를 이용한 직렬 테스트 도메인뿐만 아니라 WPI와 WPO를 통한 병렬 테스트 도메인도 포함하고 있다. 여러 MUX를 이용하여 테스트 모드에 따라서

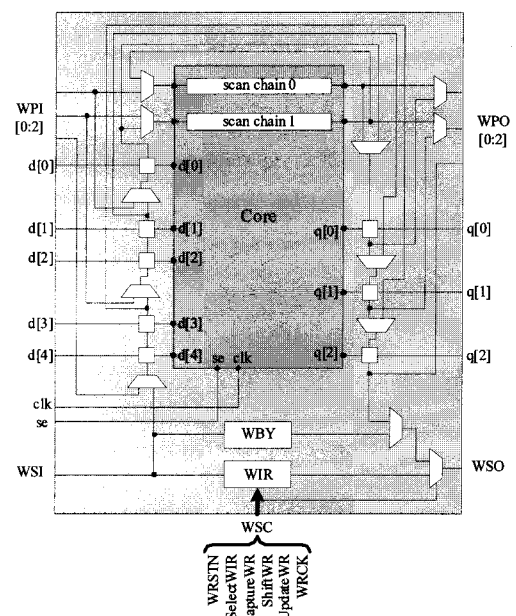
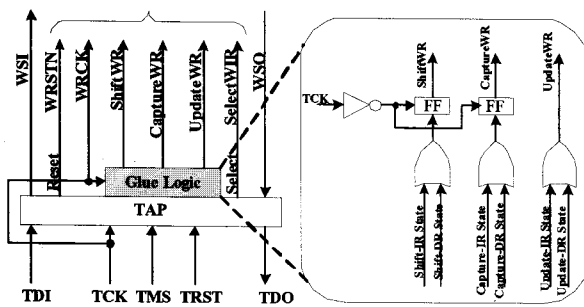
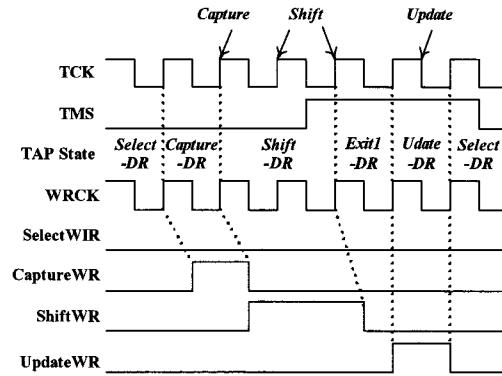


그림 1. IEEE 1500 Wrapped Core
Fig. 1. IEEE 1500 Wrapped Core.



(a) TAP-to-WSC 로직 (TAP-to-WSC Logic)



(b) 타이밍도 (Timing Diagram)

그림 2. TAP-to-WSC
Fig. 2. TAP-to-WSC.

테스트 패턴의 경로를 다양하게 설정 할 수 있도록 구성 되어있다. 코어내의 스캔 체인 또한 WPI-WPO를 통한 독립적인 경로로 설정되거나, WBR과 같은 경로로 설정이 가능하다. 이러한 테스트 래퍼는 WSC 신호에 의해, 스캔 체인은 se와 clk에 의해 제어된다.

WSI와 WSO를 이용한 직렬 테스트 도메인뿐만 아니라 WPI와 WPO를 통한 병렬 테스트 도메인도 포함하고 있다. 여러 MUX를 이용하여 테스트 모드에 따라서 테스트 패턴의 경로를 다양하게 설정 할 수 있도록 구성 되어있다. 코어내의 스캔 체인 또한 WPI-WPO를 통한 독립적인 경로로 설정되거나, WBR과 같은 경로로 설정이 가능하다. 이러한 테스트 래퍼는 WSC 신호에 의해, 스캔 체인은 se와 clk에 의해 제어된다.

WSP 접근 메커니즘은 IEEE 1500 스펙에 정의되어 있지 않다. 관련 연구에서도 기존에 많이 사용되었던 IEEE 1149.1 TAP을 주로 활용했으며^[8-9], IEEE 1500 스펙에서도 그림 2와 같이 IEEE 1149.1 TAP을 통한 WSC 접근 로직을 제시하고 있다. WRCK는 TCK에 직접 연결된다. SelectWIR은 TAP 제어기의 Select 신호가 직접 연결되며, 이 값에 의해 WIR (SelectWIR='1') 또는 WBR (SelectWIR='0') 이 선택된다. CaptureWR와 ShiftWR이 '1'로 유지되는 동안 각각 WRCK의 상승 에지에 Capture와 Shift 동작을 수행하고, UpdateWR이 '1'인 동안에는 WRCK의 하강 에지에 Update동작을 수행한다. SoC내에서 테스트 하고자 하는 하나의 코어 또는 복수개의 코어를 선택하고 테스트 데이터 경로를 설정 및 해제하기 위한 메커니즘은 IEEE 1149.1 명령어 디코더를 사용하여 간단하게 구현 할 수 있다^[10-11].

III. 저비용 SoC 테스트를 위한 DFT

본 논문에서는, WPP는 제외하고 WSP만을 다루며, WSP를 통하여 래퍼 제어뿐만 아니라 내부 스캔 테스트 및 스캔 딜레이 테스트를 할 수 있는 DFT 방법을 제시한다.

그림 3은 두 개의 스캔 체인을 포함하고 있는 코어에 대한 IEEE 1500 래퍼 구성 예이다. n개의 입력과 m개의 출력에 대해서 각각 입력 WBR (IWBR)과 출력 WBR (OWBR)이 구성되어 있고, 스캔 체인과 모두 직

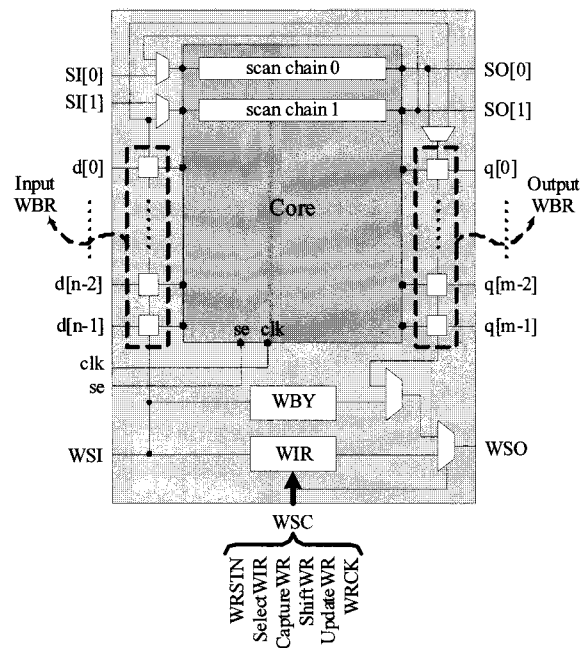


그림 3. WSP 지원하는 IEEE 1500 래퍼
Fig. 3. IEEE 1500 Wrapper for WSP.

렬로 연결되어 있다. 출력 WBR을 통한 코어간 테스트 (external test) 시에는 스캔 체인의 패턴 입력이 필요하지 않으므로 입력 WBR에서 출력 WBR로 바로 연결시키기 위한 MUX를 둔다. SI와 SO는 회로에 따라서 기능 신호의 일부일 수도 있다. 본 논문에서 제시하는 WSP만을 이용한 테스트 시에는 사용되지 않는다.

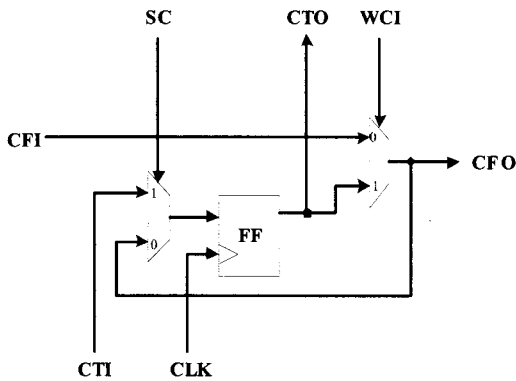
1. WBR과 스캔 체인 삽입

테스트 기능 및 면적 오버헤드를 고려해서 그림 4와 같은 래퍼 경계 셀 (Wrapper Boundary Cells (WBC))을 고려할 수 있다^[6, 12]. Update 레지스터가 없으며 하나의 레지스터로 Shift 및 Capture를 수행할 수 있다.

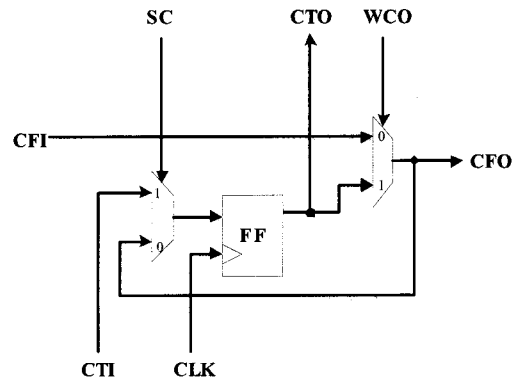
래퍼 셀의 MUX 제어 신호는 표 1, 2와 같이 정리할 수 있다. SC는 Shift시에 '1' Capture시에는 '0'이어야 하며, WCI와 WCO는 테스트 모드에 따라서 서로 반대값을 유지해야 한다.

WBC를 제어하기 위해서는, Shift와 Capture시에 플립-플롭을 트리거 하기 위한 WRCK 게이팅 로직과 MUX 제어신호 생성로직이 필요하다. 그림 5는 그림 2의 TAP-to-WSC 로직으로부터 생성된 WSC 신호를 이용한 WRCK 게이팅 로직을 포함하고 있는 WSC-to-WBC 로직이다. GWRCK가 WBC의 CLK에 매핑 된다. 그림 6은 래퍼 셀 MUX 제어 신호 생성 로직으로써, SC는 그림 5의 ShftDR을 직접 연결하고 WCI와 WCO는 IEEE 1500에서 정의하고 있는 IO_FACE 신호를 사용함으로써 간단하게 구현할 수 있다. MODE 및 IO_FACE는 WIR의 출력으로써, MODE는 테스트 모드시에 '1'을 유지하고, IO_FACE는 내부 테스트 (internal test)시에는 '1', 코어간 테스트시에는 '0'을 유지한다.

이 래퍼 셀의 구조적인 특징은, MUX 기반의 스캔 플립-플롭에 입력 데이터를 바이패스 시키기 위한



(a) 래퍼 입력 셀 (Wrapper Input Cell (WIC))



(b) 래퍼 출력 셀 (Wrapper Output Cell (WOC))

그림 4. 래퍼 경계 셀 (WBC)
Fig. 4. Wrapper Boundary Cell.

표 1. SC 세팅
Table 1. SC Setting.

Mode		SC
Test Mode	Shift Operation	1
	Capture Operation	0
Normal Mode		X

표 2. WCI, WCO 세팅
Table 2. WCI, WCO Setting.

Mode		WCI	WCO
Test Mode	Internal Test	1	0
	External Test	0	1
	Bypass	X	X
Normal Mode		0	0

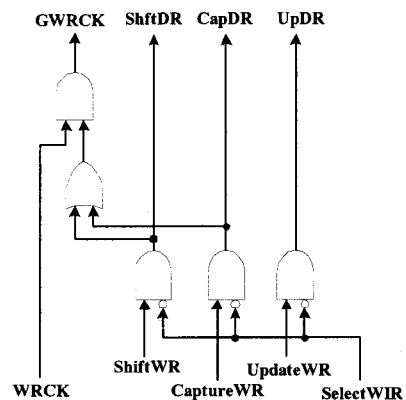


그림 5. WSC-to-WBC 로직
Fig. 5. WSC-to-WBC Logic.

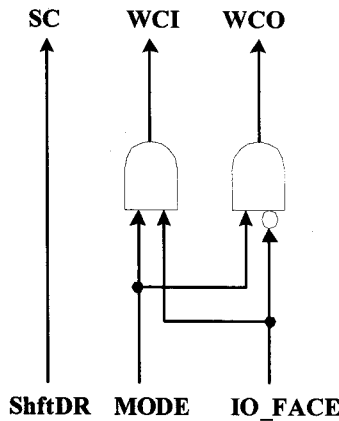


그림 6. 래퍼 셀 MUX 제어 로직
Fig. 6. Wrapper Cell MUX control logic.

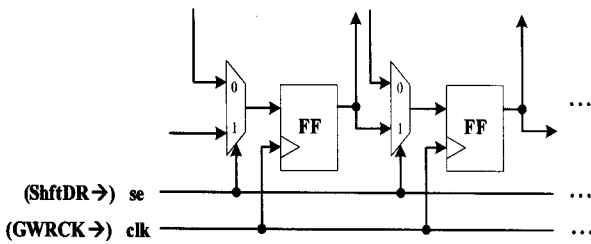


그림 7. MUX 기반 플립-플롭으로 구성된 스캔 체인
Fig. 7. Scan Chain which is composed of MUX based Flip-Flop.

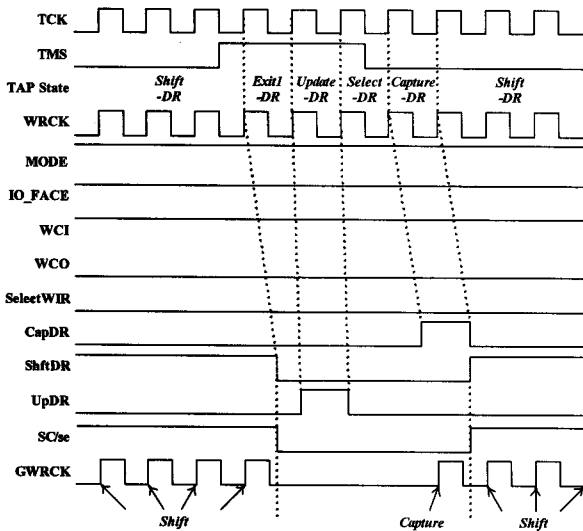


그림 8. 코어 내부 테스트 타이밍도
Fig. 8. Test timing diagram about the inside of a core.

MUX가 하나 추가된 형태로 되어있다. 따라서 코어의 스캔 체인이 그림 7과 같은 MUX 기반의 스캔 플립-플롭으로 이루어져 있으면, 그림 5의 ShftDR과 GWRCK를 각각 se와 clk에 연결해 줌으로써 WBR과 스캔 체인을 동시에 제어 할 수 있다.

지금까지 설명한 회로를 조합하여, 내부 테스트를 하

는 경우를 예를 들어 보면, 그림 8과 같다. WBR 및 스캔 체인이 모두 TAP 제어기의 상태에 따라서 제어되고 있음을 알 수 있다. Shift와 Capture동작이 WBR과 스캔 체인에서 동시에 수행 된다. 결과적으로, 래퍼를 이용한 내부 테스트 명령어인 WS_INTEST와 스캔 테스트 명령어인 WS_INTEST_SCAN에 대해서, 패턴만 다를 뿐 수행 절차는 동일하다. 코어간 테스트 명령어인 WS_EXTTEST시에는 MUX에 의해 스캔 체인 경로는 제외되고 입력 WBR과 출력 WBR이 바로 연결되며 그림 8과 같은 타이밍으로 테스트가 수행된다.

2. At-Speed Scan Test Clock Generator

전통적으로 스캔기반 딜레이 테스트는 그림 9와 같이 launch-off-shift와 broad-side방식을 기반으로 한다^[13~14]. launch-off-shift 방식을 사용함으로써 broad-side 방식을 사용할 때에 비해 적은 수의 테스트 패턴으로 높은 fault coverage를 얻을 수 있지만 구현상의 문제 (스캔 인에이블 신호의 skew) 때문에 broad-side 방식을 많이 이용하고 있다^[15~16]. 이 장에서는, WS_DELAYINTEST_SCAN 명령어를 새로 추가하고 스캔 체인을 이용한 딜레이 테스트를 위해 필요한 테스트 클럭 생성기와 수행 방법을 제시한다.

WS_INTEST_SCAN은 테스트 패턴 입력 후에 스캔 체인과 WBR이 동시에 Capture를 수행해도 테스트가

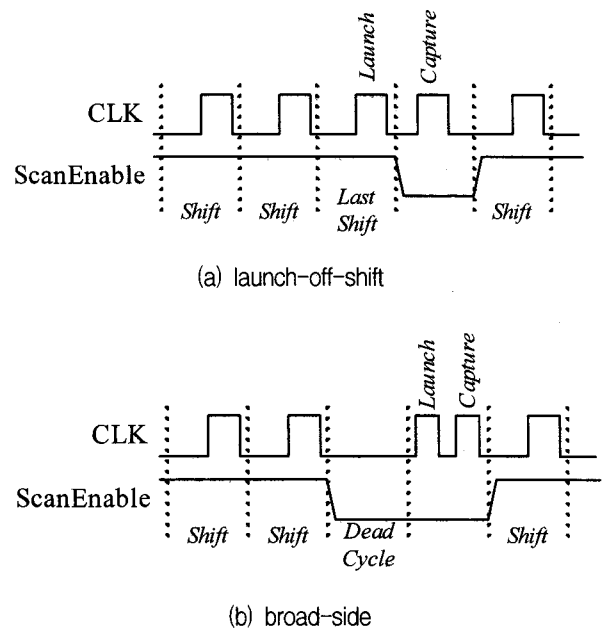


그림 9. launch-off-shift와 broad-side 방식의 타이밍도
Fig. 9. Timing diagram of launch-off-shift and broad-side method.

가능하지만, 딜레이 테스트시에는 스캔 체인에서 launch-capture가 수행되기 전에 먼저 출력 WBR에서 Primary Output을 Capture해야 한다. 입력 WBR은, 출력 WBR에서 Capture를 수행하고 스캔 체인에서 launch-capture가 수행되는 동안, Primary Input 값을 계속 유지해야 한다. 따라서 입력 WBR, 출력 WBR, 스캔 체인에 대해서 각각 별도의 테스트 클럭 생성이 필요하다.

입력 WBR의 테스트 클럭을 IWRTCLK, 출력 WBR의 테스트 클럭을 OVRTCLK, 스캔 체인의 클럭을 STCLK이라고 하자. 입력 WBR은 SC가 '1'인 구간에서 Shift만 수행하면 되며 Capture를 수행할 필요가 없지만, 출력 WBR은 SC가 '1'인 구간에서는 Shift를 수행하고 SC가 '0'인 구간에서 한번의 Capture를 수행해야 한다. 따라서, 그림 10과 같이 구현할 수 있다. CapDR이 '1'일 때 입력 WBR에서 Capture가 발생하지 않도록 SftCLK을 생성했으며, UpDR신호를 출력 WBR에서 Capture를 수행하기 위한 클럭으로 사용하였다.

스캔 체인은, se가 '0'인 구간에서 출력 WBR이 Capture 한 후에, 그림 10-(b)와 같이 Launch와 코어 동작 클럭 주기 후에 Capture를 수행해야 한다. 논문 [5]에서 클럭 게이팅 셀 (clock gating cell (CGC))을 이용해서 at-speed Launch와 Capture 펄스를 생성하는 회로를 제시하고 있다. CGC를 사용함으로써 글리치 (glitch)를 방지할 수 있다^[5, 17]. 그림 11이 본 논문에서

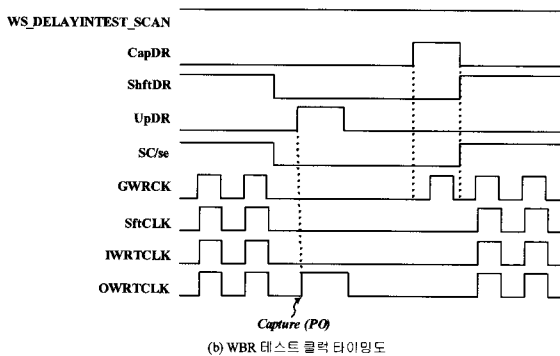
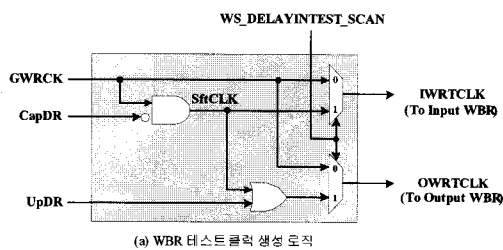


그림 10. WBR 테스트 클럭 생성 회로
Fig. 10. WBR test clock generator.

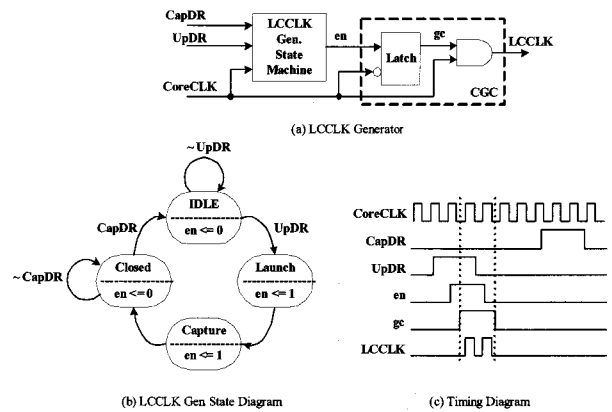


그림 11. At-speed launch-capture clock generator
Fig. 11. At-speed launch-capture clock generator.

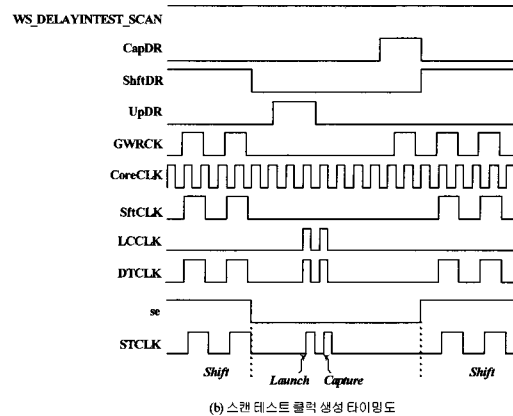
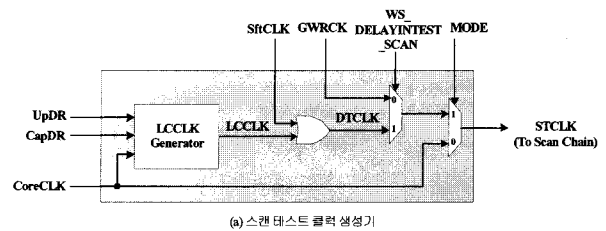


그림 12. 스캔 테스트 클럭 생성기
Fig. 12. Scan Test clock generator.

제시하는 Launch-Capture 클럭 (LCCLK) 생성 로직이다. 코어 클럭 (CoreCLK)에 동작하는 제어부를 두어 UpDR과 CapDR사이에 CGC를 2 코어 클럭 사이클 동안 인에이블 시킴으로써 at-speed Launch-Capture 클럭을 생성을 할 수 있다.

최종적으로, WS_DELAYINTEST_SCAN시에 스캔 체인은 se가 '1'일 때 Shift, se가 '0'일 때 at-speed launch-capture를 수행해야 한다. 따라서, 그림 12와 같이, 그림 10의 SftCLK와 그림 11의 LCCLK의 논리합 (OR) 으로서 at-speed 스캔 테스트 클럭을 생성하여 broad-side 방식을 구현 할 수 있다.

IV. 실험 결과

기존연구와의 일대일 비교가 어려우므로, ITC'02 SoC 벤치마크 회로^[18]를 이용하여 테스트 핀 수를 비교하고, 서로 다른 코어 클럭을 사용하는 두 코어에 제안한 방식을 적용하여 두 코어의 딜레이 테스트가 동시에 수행될 수 있음을 시뮬레이션을 통하여 확인한다.

표 3에서 "Basic"은 일반적인 스캔 테스트 방법으로써, 하나의 스캔 체인으로 구성하고 모든 입출력 및 양방향 핀과 스캔 I/O 및 스캔 인에이블을 테스트 핀으로 사용하는 경우이다. 제안한 방식에서는 TAP만 사용하여 테스트 하므로 SoC의 핀 수에는 상관없이 테스트 핀 수가 일정하다. 모든 벤치마크 회로에 대해서 90% 이상의 테스트 핀을 절약 할 수 있다. 그러므로 테스트 핀 수가 많은 고가의 ATE 장비뿐만 아니라 최소한 5개의 적은 테스트 핀을 가지고 있는 저가의 ATE 장비

표 3. 테스트 핀 수 비교
Table 3. Comparison of the number of test pins.

SoC Benchmarks	Test Pin Count		Reduction Rate (%)
	Basic	Proposed	
u226	56	5	91.07
h953	56	5	91.07
g1023	70	5	92.86
f2126	391	5	98.72
p22810	176	5	97.16
P34392	176	5	97.16
p93791	251	5	98.01
t512505	163	5	96.93
a586710	204	5	97.55

로도 테스트가 가능하게 되었다. 그리고 고속의 지연 고장 테스트 시에도 클럭 내부 회로에 의해 생성되기 때문에 고속 클럭을 생성하기 위한 고가의 ATE 장비를 사용하지 않아도 되는 장점이 있다. 그리고 테스트 핀 수가 많은 ATE 장비를 사용하더라도 multi-site 테스트를 통하여 여러 SoC를 동시에 테스트가 가능하기 때문에 보다 테스트 시간을 단축시킴으로써 테스트 비용을 줄일 수 있다.

그림 13은 실험을 위한 간단한 회로다. 앞장에서 설명한 각 회로를 모두 포함한 상세한 IEEE 1500 래퍼를 보여주고 있다. 두 코어는 SoC의 TAP에 의해 동시에 제어되며, I/O 및 스캔체인은 모두 하나의 경로로 연결되어 있다. TCK는 50 MHz, CoreCLKA는 125 MHz, CoreCLKB는 200 MHz로 설정하고 타이밍 시뮬레이션을 하였다. 그림 14는 Capture 구간에서 각각의 코어에서 at-speed Launch-Capture가 동시에 잘 수행됨을 보여주고 있다.

칩 레벨 테스트 방식에서 사용하는 JTAG (IEEE 1149.1) TAP controller와 2 flip-flop 바운더리 스캔 셀

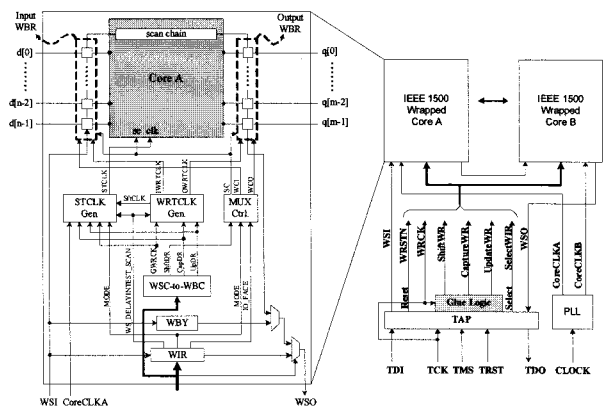


그림 13. IEEE 1500 래퍼 상세도
Fig. 13. Detailed diagram of IEEE 1500 Wrapper.

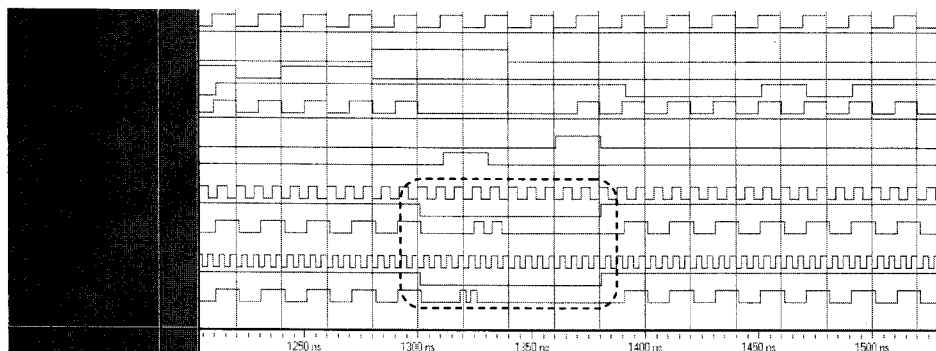


그림 14. 스캔 기반 지연고장 테스트 시뮬레이션 결과
Fig. 14. Simulation result of a scan based delay fault test.

을 각 코어에 적용하는 경우 면적 오버헤드가 상당히 커지게 된다. 본 논문에서는 IEEE 1500 래퍼 셀인 1 flip-flop 구조를 사용하였고, SoC에 내장된 테스트 제어부 신호를 모든 코어가 공유해서 사용함으로써 기존의 방식보다 면적을 50%정도 감소시킬 수 있다. 나아가서 SoC에 내장된 코어의 개수가 많아질수록 테스트 제어부 및 1 flip-flop 구조에 의하여 50% 이상의 테스트 회로 절감 효과를 가져 온다.

V. 결 론

본 논문에서는 저가의 ATE를 사용함으로써 SoC 테스트 비용을 절감하기 위한 방법을 제시하였다. TAP을 통하여 IEEE 1500 래퍼를 제어하여 코어를 테스트함으로써 테스트 핀 수를 줄이고, at-speed launch-capture 클럭 생성회로를 구현하여 스캔 기반 지연고장 테스트가 가능하도록 하였다. TAP을 활용함으로써 별도의 TAM을 추가할 필요가 없고, 널리 알려진 표준이므로 테스트 엔지니어들이 접근하기가 쉽다. 또한 at-speed launch-capture 클럭 생성회로는 각 코어의 동작 클럭에 동기 되므로 서로 다른 클럭을 사용하는 코어의 지연고장 테스트를 동시에 수행 할 수 있다. SoC 내의 모든 입출력 및 스캔 체인이 하나의 경로로 구성되기 때문에 하나의 SoC를 테스트 하는데 걸리는 시간은 비교적 오래 걸리지만, multi-site 테스트를 통하여 여러 SoC를 동시에 테스트함으로써 테스트 시간을 단축시킬 수 있다.

참 고 문 헌

- [1] R. A. Parekhji, "DFT for Low Cost SOC Test," Proceedings of IEEE Asian Test Symposium, pp. 451, Dec. 2005.
- [2] H. Hashempour, F. J. Meyer, and F. Lombardi, "Analysis and Evaluation of Multisite Testing for VLSI," IEEE Transactions on Instrumentation and Measurement, Vol. 54, pp. 1770-1778, Oct. 2005.
- [3] H. Vranken, T. Waayers, H. Fleury, and D. Lelouvier, "Enhanced Reduced Pin-Count Test for Full-Scan Design," Proceedings of IEEE International Test Conference, pp. 738-747, 2001.
- [4] J. Jahangiri, N. Mukherjee, C. Wu-Tung, S. Mahadevan, and R. Press, "Achieving High Test Quality with Reduced Pin Count Testing," Proceedings of IEEE Asian Test Symposium, pp. 312-317, Dec. 2005.
- [5] M. Beck, O. Barondeau, M. Kaibel, F. Poehl, L.ub Xijiang and R. Press, "Logic Design for On-Chip Test Clock Generation - Implementation Details and Impact on Delay Test Quality," Proceedings of the Design, Automation and Test in Europe, 2005.
- [6] IEEE Computer Society, "IEEE Standard Testability Method for Embedded Core-based Integrated Circuits," Aug. 2005.
- [7] J. Rajski, J. Tyszer, M. Kassab, and N. Mukherjee, "Embedded Deterministic Test," IEEE Transactions on CAD, Vol. 23, pp. 776-792, May 2004.
- [8] B. I. Dervisoglu, "A Unified DFT Architecture for use with IEEE 1149.1 and VSIA/IEEE P1500 Compliant Test Access Controllers," Proceedings of Design Automation Conference, pp. 53-58, June 2001.
- [9] L. Whetsel, "Inevitable Use of TAP Domains in SoCs," Proceedings of IEEE International Test Conference, pp. 1191, 2002.
- [10] Y. Zorian, A. Yessayan, "IEEE 1500 utilization in SOC design and test," Proceedings of IEEE International Test Conference, Nov. 2005.
- [11] M. Schrader, R. McConnell, "SoC Design and Test Considerations," Design Automation and Test in Europe Conference and Exhibition, pp. 202-207, 2003.
- [12] E. J. Marinissen, S. K. Goel, and M. Lousberg, "Wrapper design for embedded core test," Proceedings of IEEE International Test Conference, pp. 911 - 920, Oct. 2000.
- [13] J. Savir and S. Patil, "Scan-Based Transition Test," IEEE Transactions on Computer-Aided Design of Integrated Circuit and System, Vol. 12, Aug. 1993.
- [14] J. Savir and S. Patil, "Broad-Side Delay Test," IEEE Transactions on Computer-Aided Design of Integrated Circuit and System, Vol. 13, Aug. 1994.
- [15] J. Saxena, K. M. Butler, J. Gatt, R. Raghuraman, S. P. Kumar, S. Basu, D. J. Campbell, J. Berech, "Scan-Based Transition Fault Testing - Implementation and Low Cost Test Challenges," Proceedings of IEEE International Test Conference, pp 1120-1129, 2002.
- [16] S. Wang, X. Liu, S. T. Chakradhar, "Hybrid Delay Scan: A Low Hardware Overhead Scan-Based Delay Test Technique for High Fault Coverage and Compact Test Sets," Proceedings of Design Automation and Test in Europe, pp. 1296-1301, 2004.
- [17] Synopsys On-Line Documentation, Vol. 1, 2003.

[18] E. J. Marinissen, V. Iyengar, and K. Chakrabarty,
ITC'02 SOC Test Benchmarks. Available:
<http://www.hitech-projects.com/itc02socbenchm/>

저 자 소 개



이 현 빈(정회원)
2001년 한양대학교 전자컴퓨터
공학과 학사 졸업.
2003년 한양대학교 컴퓨터
공학과 석사 졸업.
2006년 한양대학교 컴퓨터
공학과 박사 졸업.

2006년~현재 Post Doc. at University of
Massachusetts, U.S.
<주관심분야 : SoC 테스트, ASIC 설계, 네트워크
시스템 설계>



김 진 규(정회원)
2006년 한양대학교 컴퓨터
공학과 학사 졸업.
2007년 한양대학교 컴퓨터
공학과 석사 과정 중.
<주관심분야: 반도체, 테스트,
ASIC 설계, CAD/VLSI>



정 태 진(정회원)
2007년 한양대학교 컴퓨터
공학과 학사 졸업.
2007년 한양대학교 컴퓨터
공학과 석사 과정 중.
<주관심분야: 반도체, 테스트,
CAD/VLSI>



박 성 주(정회원)
1983년 한양대학교 전자공학과
학사 졸업.
1983년~1986년 금성사 소프트웨
어개발 연구원.
1992년 Univ. of Massachusetts
전기 및 컴퓨터공학과
박사졸업.

1992년~1995년 IBM Microelectronics 연구스텝.
1995년~현재 한양대학교 전자컴퓨터공학부
정교수.
<주관심분야 : 테스트 합성, Built-In Self Test,
Scan Design, ATPG, ASIC설계, 고속 신호처리
시스템 설계, 그래프이론>