

논문 2007-44SD-11-1

적응성 양자화 레벨을 가지는 광대역 다중-비트 연속시간 $\Sigma\Delta$ 모듈레이터

(Wideband Multi-bit Continuous-Time $\Sigma\Delta$ Modulator with Adaptive Quantization Level)

이 희 범*, 신 우 열*, 이 현 중*, 김 수 환**

(Heebum Lee, Woo Yeol Shin, Hyunjoong Lee, and Suhwan Kim)

요 약

본 논문에서는, 무선 통신 응용을 위한 광대역 연속시간 시그마-델타 모듈레이터를 130nm CMOS 공정으로 구현하였다. 제안된 양자화 레벨을 효율적으로 조절할 수 있는 적응성 양자화기를 사용하여, 작은 크기의 입력에 대해서 SNR의 이득을 볼 수 있었다. 모듈레이터는 전력 소모를 줄이기 위해 2차 루프 필터로 구성되어 있고, 지터에 의한 영향을 줄이고 높은 선형성을 보장하기 위해 4 비트 양자화기, DAC를 사용하였다. 설계된 회로는 320MHz 샘플링 주파수에서 동작하며 10MHz 입력 대역에서 30mW의 전력을 소모하고 최대 SNR 51.36dB를 얻었다.

Abstract

A wideband continuous-time sigma delta modulator for wireless application is implemented in 130nm CMOS. The SNR for small input signal is improved using a proposed adaptive quantizer which can effectively scale the quantization level. The modulator comprises a second-order loop filter for low power consumption, 4-bit quantizer and DAC for low jitter sensitivity and high linearity. Designed circuit achieves peak SNR of 51.36B with 10MHz signal Bandwidth and 320MHz sampling frequency dissipating 30mW.

Keywords : sigma-delta modulator, continuous-time, adaptive quantizer, multi-bit

I. 서 론

IEEE 802.11을 표준으로 한 무선랜(wireless-LAN)은 넓은 채널 대역폭(channel bandwidth)을 통해 높은 데이터 전송률(data rate)을 요구한다. 특히 802.11 a/b/g의 경우, 10MHz의 높은 동적대역(dynamic range)을 요구하고 이는 전력 소모를 줄이는데 중요한 제한요소가 된다. 높은 차수의 넓은 동적 대역을 가지는 전형적인 나이퀴스트 율(nyquist-rate) ADC의 경우 전력 소모가 큰 제한 요소가 된다. 반면에 낮은 차수의 오버 샘플드(over-sampled) ADC를 이용하면 전력 소모에서 이점

이 있다.

오디오와 같이 낮은 속도를 가지는 응용은 신호대역에 비해 매우 큰 샘플링 주파수(sampling frequency)를 가지므로 단일 비트(single-bit) 시그마델타 ADC가 많이 사용되어진다. 반면에 채널 대역폭이 10MHz나 되는 802.11 a/b/g WLAN 수신기의 경우 단일 비트 시그마델타를 이용하면 수 GHz의 샘플링 율(sampling rate)을 요구 하게 된다. 이 속도는 현재 CMOS 공정을 사용하여 구현하기에는 너무 빠른 속도이므로 적합하지 않다. 게다가 스위치드 커패시터(switched capacitor)를 이용한 이산시간(discrete-time) 시그마델타 ADC의 경우 샘플링 주파수에 비해 몇 배나 큰 Op-amp 이득-밴드폭(gain-bandwidth product)을 요구하게 된다.^[1]

802.11까지 지원할 수 있는 시그마델타 ADC를 설계

* 학생회원, ** 평생회원, 서울대학교 전기컴퓨터공학부 (School of Electrical Engineering and Computer Science, Seoul National University)
접수일자: 2007년5월22일, 수정완료일: 2007년10월18일

하기 위해서 기본적인 구조에 두 가지 변화를 주기로 한다. 첫째로 자주 사용되는 단일 비트 양자화기(quantizer) 대신 다중 비트(multi-bit) 양자화기를 사용하기로 한다. 이렇게 하면 낮은 OSR(Over Sampling Ratio)에서도 적합한 수준의 신호 대 잡음비(Signal-to-Noise Ratio, SNR)를 얻어 낼 수 있다. 루프 필터(loop filter)의 차수를 높이는 방법도 있으나 안정성(stability) 문제와 계수변화에 민감한 점들이 단점이 될 수 있다. 두 번째로 ADC의 루프 필터를 연속시간(continuous-time) 회로로 구현하기로 한다. 연속시간 회로로 루프 필터를 구성할 경우 비교적 높은 샘플링 주파수에서도 대역폭과 전력소모에 대한 제약이 줄어든다.^[2]

본 과제에서는 블루투스(bluetooth)과 같은 응용에서부터 동적 대역이 넓은 IEEE 802.11 a/b/g 무선랜에 까지 적용할 수 있는 연속시간 시그마 델타 변조기(modulator)를 설계하는 것을 목표로 한다. 직접변환 수신기(direct conversion receiver)용으로 전력소모와 면적이 작고 중간 정도의 해상도(resolution)를 가지는 low-pass 광대역(wideband) 시그마델타 변조기를 설계한다. 높은 선형성(linearity)의 Gm-C 적분기(integrator)를 이용한, 간단한 2차 4 비트 변조기를 설계하여 적은 전력소모를 추구한다.

II. 본 론

1. 모듈레이터 구조

가. NTF 선택

낮은 OSR(=16)에서 원하는 신호 대 잡음비를 얻기 위하여 2차, 4 비트 quantizer, zero 최적화된 모듈레이터 구조를 선택 한다. 신호 대역은 10MHz까지 이므로 샘플링 주파수는 320MHz가 된다.

먼저 이산시간 시그마델타 모듈레이터의 NTF(Noise Transfer Function)를 결정한 후 연속시간 모듈레이터의 NTF로 변환한다. low-pass 시그마델타 모듈레이터이므로 Z 도메인에서 이산시간 NTF의 zero의 위치는 다음과 같다.^[1]

직접 변환 수신기의 경우 신호가 DC에 중심을 두고 있으므로 두 zero는 복소 conjugate이다. 2차 루프 필터를 사용할 때 최적화된 NTF는 다음 수식과 같다.^[3]

$$NTF(z) = (1 - W_{z1}z^{-1})(1 - W_{z2}z^{-1}) \quad (1)$$

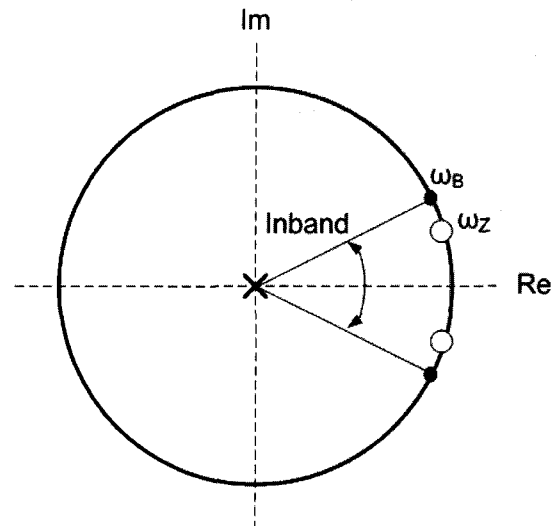


그림 1. NTF의 Pole과 Zero의 위치

Fig. 1. Pole, zero location of NTF.

$$|\omega_z| = \frac{|\omega_B|}{\sqrt{3}} \quad (2)$$

나. 블록 다이어그램

모듈레이터의 블록 다이어그램(block diagram)은 그림 2와 같다. 계수는 NTF를 연속시간 모듈레이터에 맞게 매핑 함으로써 결정한다. Half-Return-to-Zero (HRZ) 피드백 DAC를 사용하였기 때문에 이를 고려하여 계수를 결정한다.^[1]

내부 ADC는 클럭(clock)이 falling edge일 때 입력을 샘플링한다. 그러나 HRZ DAC를 사용하기 때문에 출력은 다음 번 rising edge가 되기 전까지 필요가 없다. 이러한 방법을 통해 내부 ADC는 반 클럭의 변환시간을 가지게 된다. 이로 인하여 ADC의 준안정상상태(metastability)에 의한 영향이 줄어들게 된다. DAC는 매 사이클마다 켜지고 꺼지게 되며 반 클럭 딜레이를 가지는 HRZ 신호를 제공한다. HRZ를 이용한 모듈레이터는 과거의 출력 데이터가 현재 데이터에 영향을 주지

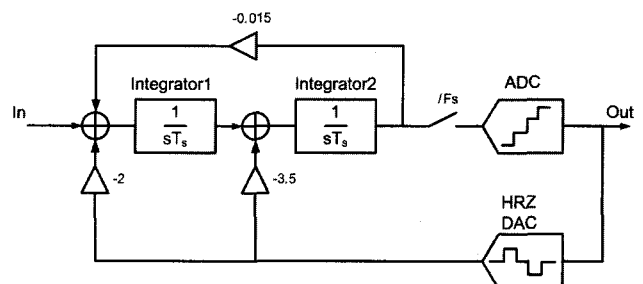


그림 2. 모듈레이터의 블록 다이어그램

Fig. 2. Block diagram of modulator.

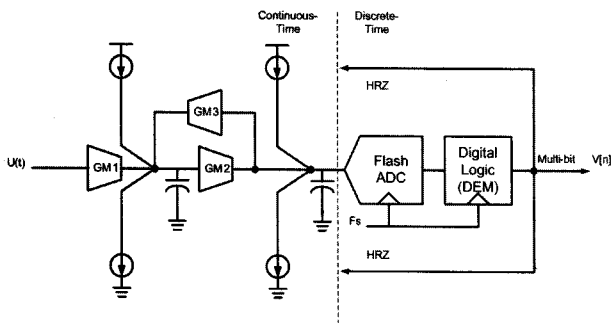


그림 3. Gm-C 적분기를 이용한 실제 모듈레이터
Fig. 3. Practical modulator using Gm-C integrator.

못하므로 DAC가 켜지고 꺼지는 과도현상에 의한 성능 감소가 적은 장점이 있다.^[4]

그림 2의 계수들은 NTF를 바르게 구현하였으나, 신호 동적 대역의 최적값을 제공하지는 않는다. 따라서 NTF에 영향을 크게 주지 않는 내에서 적분기의 선형 구간을 고려하여 계수를 스케일링하는 것을 필요로 한다.

연속시간 적분기는 트랜스컨덕터(transconductor)와 부하 커패시터(capacitor)로 구성한다. 이것을 도식화 하면 그림 3과 같다. 그림은 단일 엔드(single-ended) 회로로 나타나 있으나 실제로는 차동(differential) 회로로 모두 구성한다. 양자화기는 flash ADC를 사용한다.

그림 3에서 볼 수 있듯이, 샘플링하는 동작은 오직 flash ADC 입력에서만 일어나므로 연속시간 필터가 자체적으로 앨리어싱(aliasing)을 제거해주는 역할을 한다. 그림 2의 DAC는 두개의 전류출력 DAC로 구성한다. 이 DAC는 thermometer 코드로 동작하는 동일하고 스위칭 가능한 전류소스들의 배열로 구성되어있다. 다중 비트 변환기는 DAC의 비선형성(non-linearity)에 민감하다. 이 현상을 줄이기 위해서 동적 요소 매칭(Dynamic Element Matching, DEM) 기법을 사용하기로 한다. 동적 요소 매칭은 Data Weighted Averaging Algorithm (DWA)를 사용하여 구현한다.^[5]

2. 회로 구현

가. Gm-C 적분기

적분기는 트랜스컨덕터와 커패시터(Gm-C)를 이용하여 구현 하였다. 이 구조의 장점은 회로가 간단하고 Op-amp를 이용한 다른 회로들에 비해서 전력소모가 적다는 점이다. 본 시그마델타에서 요구하는 해상도와 선형성이 아주 높은 것이 아니므로 Gm-C를 이용한 적분기를 사용하는 것이 적합하다.^[1] 사용된 트랜스컨덕터

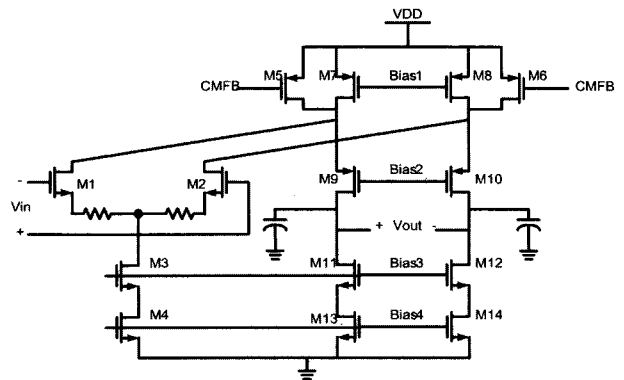


그림 4. Gm-C 적분기
Fig. 4. Gm-C integrator.

표 1. 트랜스컨덕턴스(Gm)와 커패시턴스 값
Table 1. Transconductances and capacitances.

Gm1	1.0 mA/V	C1	1.5 pF
Gm2	1.0 mA/V	C2	1.5 pF
Gm3	3 uA/V		

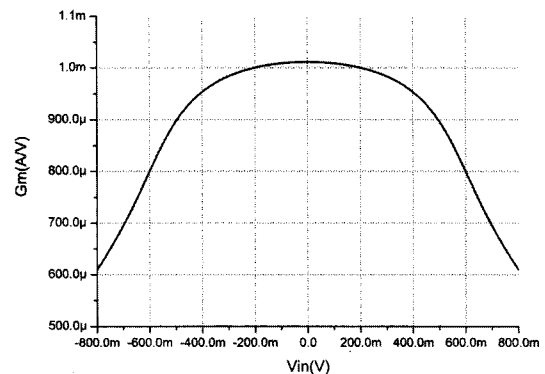


그림 5 입력에 따른 트랜스 컨덕터의 Gm값
Fig. 5. Input voltage vs. transconductances.

스 값과 커패시턴스 값들은 대략 표 1과 같다. 피드백 트랜스컨덕터 값 Gm3 는 수식 (3) 으로 쉽게 구할 수 있다.^[2] 여기서 w_{oz} 는 최적화 된 zero의 주파수 이다.

$$Gm_3 = \frac{w_{oz}^2}{Gm_2} C_1 C_2 \quad (3)$$

Gm-C 적분기의 회로도도 그림 4와 같다. 저항을 통한 소스 디제네레이션(source degeneration)을 이용하여 입력 선형 구간을 대폭 증가 시켰다. 이 트랜스컨덕터의 트랜스컨덕턴스 값은 그림 5에 나타나 있다. 입력이 0.20V~-0.20V일 때 트랜스컨덕턴스 값이 단지 ±1%까지만 변화도록 설계 하였다. 이는 신호에 변형을 적게 줌으로써 비선형성에 의한 성능저하를 줄여준다. 특히

첫 번째 적분기의 경우 잡음 성형(noise shaping)이 일어나지 않으므로 더욱 중요하다.

커패시터는 선형성을 증가시키기 위해 MIM 커패시터를 사용하였다. MOS 커패시터는 입력에 따라 커패시턴스가 선형적이지 못하므로 보다 선형적인 MIM 커패시터를 사용함으로써 모듈레이터의 성능을 보장해줄 수가 있다.

이렇게 설계된 Gm-C 적분기 3개를 이용하여 그림 3과 같이 resonator형식으로 된 루프 필터를 구성하였다. 여기서 Gm3값은 Gm1과 Gm2에 비해 매우 작으므로 적은 전력소모만으로도 구성할 수 있다.

나. 4 비트 flash ADC

4 비트 flash ADC는 기준(reference) 전압이 위쪽(REFP) 0.844V, 아래쪽(REFN) 0.556V로 설계 하였다. 0.576V를 16단계로 양자화 하는 것이므로 36mV가 LSB(Least Significant Bit)가 된다. 이 수치는 기존의 최첨단(state-of-the-art) flash ADC에 비해 큰 값이고, 게다가 flash ADC에서 발생하는 에러는 루프 필터에 의해 잡음 성형 되므로 기존의 flash ADC에서 사용하는 offset averaging 기법이나 interpolation 기법을 사용하지 않고, 전단증폭기와 래치만으로 구현 하였다. 전

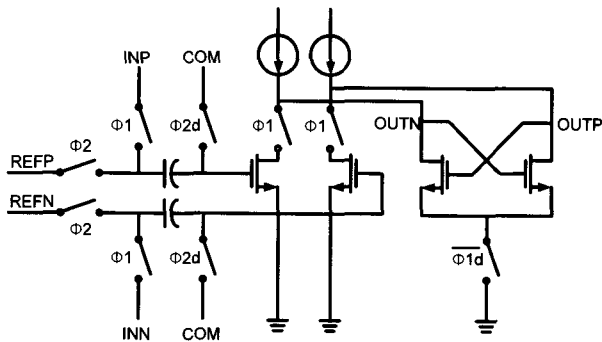


그림 6. Flash ADC에 사용되는 비교기
Fig. 6. Comparator of flash ADC.

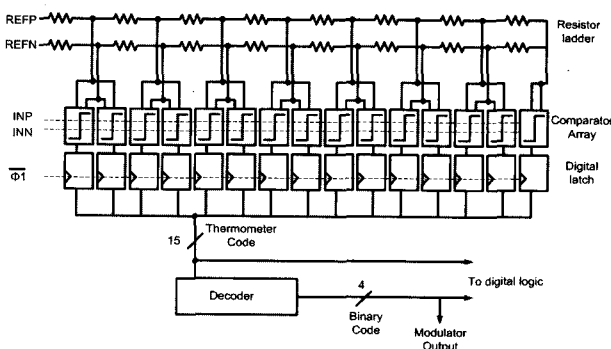


그림 7. 4 비트 flash ADC
Fig. 7. 4 bit flash ADC.

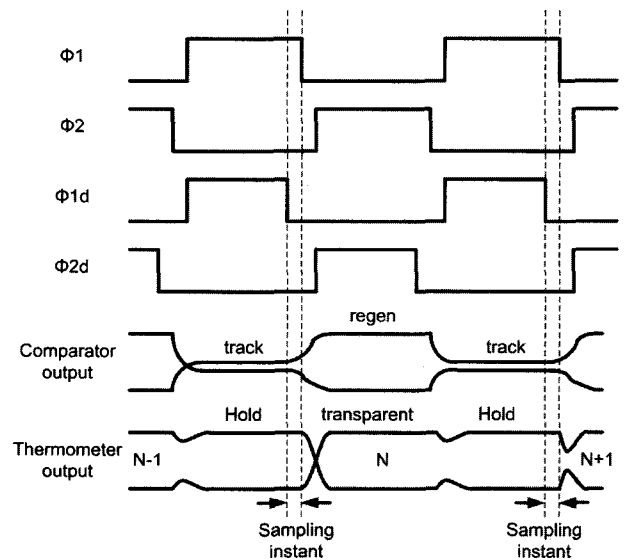


그림 8. 타이밍 다이어그램
Fig. 8. Timing diagram.

체 flash ADC의 구조는 그림 7와 같이 15개의 비교기로 구현 되며, 각각의 비교기의 구조는 그림 6과 같다. 비교기는 non-overlapping 클럭을 이용하여, 입력을 커패시터에 저장하는 안정적인 구조를 선택하여 설계하였고, 전단증폭기와 래치로 이루어져 있다.

비교기를 거친 출력 신호는 디지털 래치를 거쳐서 디지털 thermometer 코드로 변환된 후 인코더를 거치고 최종 4 비트 디지털 출력신호로 출력된다. 설계된 4비트 flash ADC의 구조는 그림 7와 같다.

다. 전류 모드 DAC

전류 모드 DAC는 동일한 15개의 전류 셀들로 구성되어 있다. 이 전류 셀들은 스위치 입력에 따라 출력버스의 양과 음의 노드들에 연결되어진다. 이 전류

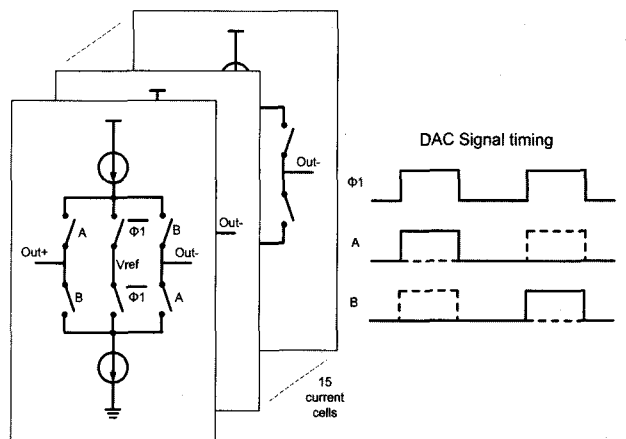


그림 9. 전류 모드 피드백 DAC
Fig. 9. Current mode feedback DAC.

셀들은 HRZ 파형이므로 반주기 동안만 출력 노드와 연결되게 된다. 전류 셀들이 출력 두 노드에 모두 연결되지 않을 때는 특정한 기준 노드에 연결되게 하여 전류 소스를 항상 포화모드(saturation mode)에 두게 한다. DAC회로의 구조와 타이밍 다이어그램은 그림 9와 같다.^[1]

라. 디지털 로직

구현한 디지털 로직은 그림 10과 같다. thermometer-to-binary 변환기와, DWA을 수행하기 위한 rotator와 adder, incrementor와 HRZ파형을 생성하는 부분으로 구성되어 있다. 각 출력 샘플 값만큼 더해진 index를 기준으로 thermometer 코드를 회전하여 DWA 알고리즘을 실제로 구현하게 된다.^[1] 이렇게 하면 다중 비트 DAC의 비선형성이 1차 성형된다. HRZ블록은 DAC의 스위치에 알맞은 파형을 생성해내는 블록이다.

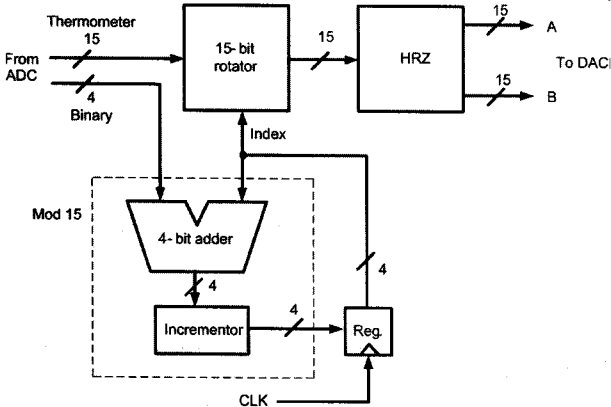


그림 10. 디지털 로직
Fig. 10. Digital logic.

마. 양자화 레벨 조절 회로

앞서 밝힌 바와 같이, 다중 비트 flash ADC를 사용하면 추가적인 신호 대 잡음비의 이득을 얻을 수 있다. 하지만 flash ADC에 들어오는 입력이 작을 경우 다중 비트를 사용하여도 다중 비트에 의한 이득을 모두 취할 수 없다. 이 경우 zero 입력 부근의 비교기만이 사용되고, 나머지 비교기들은 항상 1또는 0을 출력하게 된다. 따라서 flash ADC입력을 감지하고, 이에 맞추어 flash ADC의 기준 전압을 조절 하여 LSB의 크기를 조절하는 회로를 새로이 설계 하였다.

그림 11은 flash ADC입력을 감지하는 회로 이다. flash ADC의 출력 thermometer code중에서 11번째와 3번째 비트에 변화가 없는 경우에(= 4 번째부터 10 번째 비트들만이 변할 때) 카운터에서 계속 클럭을 세다

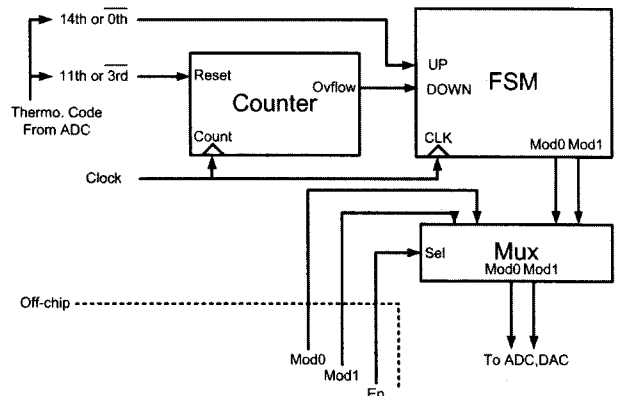


그림 11. 양자화기의 입력 구간 감지회로
Fig. 11. Quantizer input range detection circuit.

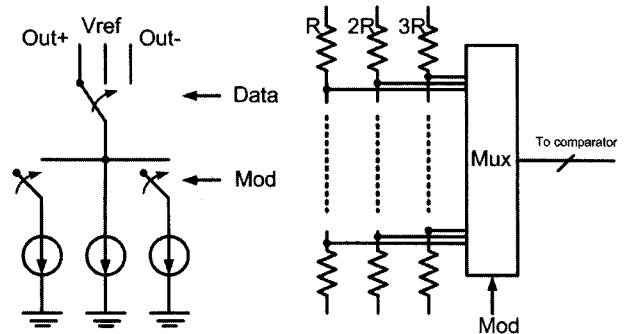


그림 12. 기준 전압 & DAC 전류 조절
Fig. 12. Reference voltage & DAC current adjustment.

가 일정 시간이 지나면 flash ADC의 LSB크기를 떨어 뜨리도록 FSM에 DOWN신호를 내보낸다. 그리고 14번째와 0번째 비트 출력이 나오는 경우에는 flash ADC의 LSB 크기를 넓히기 위해서 UP신호를 내보낸다. FSM에서는 UP, DOWN신호에 따라 flash ADC 기준 전압과 DAC 전류를 조절하는 모드 컨트롤 신호를 내보내게 된다. 만일 신호가 균일하지 않거나 기준 전압 구간이 도중에 변하는 것을 원하지 않는 경우 외부에서 모드를 고정하는 것도 가능하게 구현하였다.

그림 12는 모드 신호에 따른 ADC 기준 전압과 DAC 전류의 크기를 조절하는 회로를 나타낸 그림이다. 왼쪽 그림을 보면, 모드 신호에 따라 전류 소스를 스위칭 하여 기준 전압 크기에 비례하는 전류를 흘리도록 하였다. 이렇게 하면 블록 다이어그램에서의 계수는 변하지 않게 된다. 오른쪽 그림은 기준 전압 크기를 조절하는 방법을 나타낸 것이다. 여러 가지 다른 저항 다리(ladder)를 통하여 LSB크기가 다른 기준 전압들을 생성해내고 이를 모드에 따라 flash ADC에 공급해주는 구조로 되어있다. 이 경우 저항의 크기가 작아지면 LSB의 크기가 작아지지만 그에 따른 정확도 역시 감소하게 된다. 하지만 여기서 발생한 예러는 양자화 예러

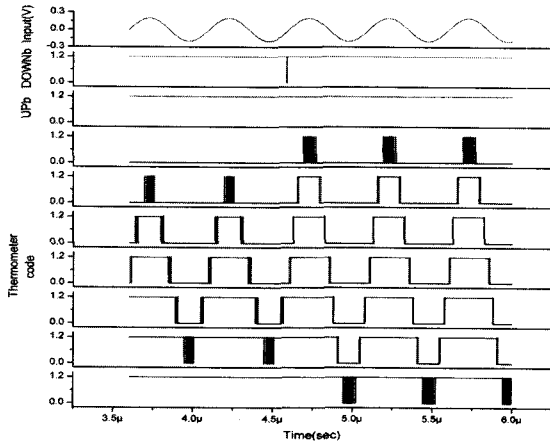


그림 13. 입력 신호가 작아서 LSB가 줄어든 파형
Fig. 13. Shrinkage of LSB for a small input signal.

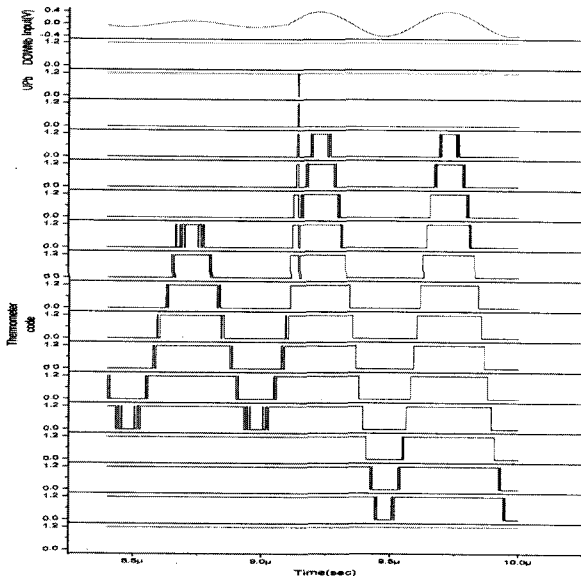


그림 14. 입력 신호가 커져서 LSB가 늘어난 파형
Fig. 14. Extension of LSB for a large input signal.

(quantization error)와 함께 성형이 되므로 이와 같은 구조를 사용하는 것이 가능하다.

그림 13은 일정 시간 동안 작은 입력을 감지했을 때 DOWN신호를 내보내 LSB 크기를 줄이는 경우의 파형이다. DOWN신호 후에 디지털 신호 진폭이 커지는 것을 볼 수 있다. 그림 14는 큰 입력이 인가되어서 최상위 또는 최하위 비트가 바뀌었을 때 UP신호를 내보내 LSB 크기를 늘리는 경우의 파형이다. UP신호 후에 디지털 신호 진폭이 작아지는 것을 볼 수 있다.

III. 시뮬레이션 결과

시뮬레이션은 MATLAB simulink를 이용하여 상위

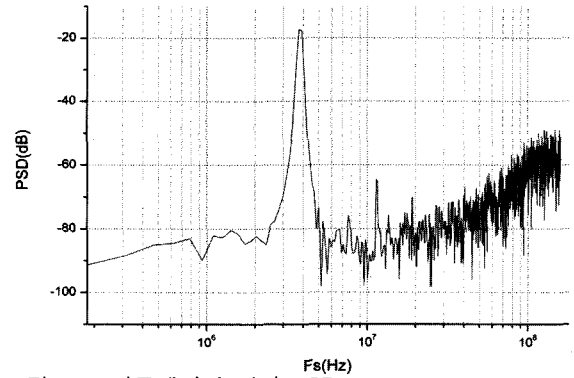


그림 15. 시뮬레이션 결과 PSD
Fig. 15. PSD of simulation result.

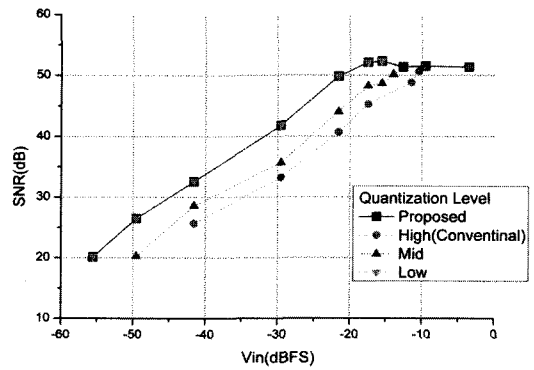


그림 16. 양자화 레벨에 따른 SNR
Fig. 16. SNR with different quantization levels.

표 2. 시뮬레이션 결과 요약
Table 2. Summary of results.

Signal Bandwidth	10MHz
Sampling Frequency	320MHz
OSR	16
Power Supply	1.2V
Power Consumption	30mW
Process	0.13um CMOS
Area(with PADs)	1.4mm x 1.1mm
peak SNR	51.36dB

레벨에서 검증한 뒤 Hspice를 통하여 0.13um CMOS 공정 파라미터를 이용하여 진행하였다. 설계된 모듈레이터는 1.2V 공급전압을 가지고 320MHz의 클럭 주파수에서 동작하며 레이아웃 면적은 패드를 포함하여 1.4mmx1.1mm로 설계 하였다. 공급 전력은 30mW가 소모 되었다.

그림 15는 Hspice를 통한 모듈레이터 출력 스펙트럼의 2048 포인트 분석 결과이다. 샘플링 주파수의 절반인 160MHz까지의 스펙트럼을 보여주고 있다. 중간 구

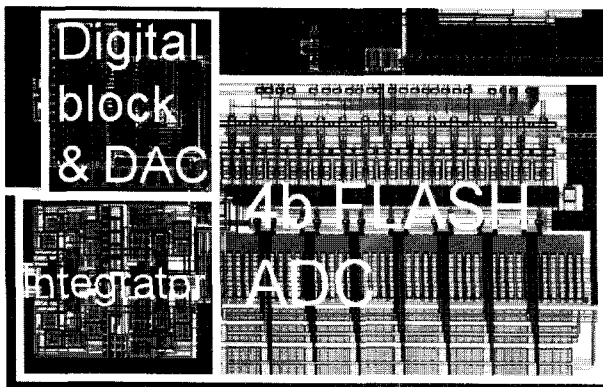


그림 17. 레이아웃 사진

Fig. 17. Layout photo.

간의 LSB를 사용하고 있으며 입력 신호는 크기 $0.56V_{p-p}$, 주파수 3.826MHz의 사인파를 인가하였다. 그림에서 볼 수 있듯이 주파수 대역 밖에서부터 잡음 성형이 일어나는 것을 볼 수 있다. 잡음 플로어(floor)는 $-80dB$ 이하에서 형성되어있으며 이때 SNR은 51.36dB를 얻을 수 있었다.

그림 16은 작은 크기의 입력에 대해서 양자화 레벨이 바뀔 때 SNR이 개선되는 모습을 나타낸 그림이다. 양자화 레벨이 낮을수록(High에서 Low로 갈수록) 다중 비트의 장점을 활용하여 SNR의 추가적인 이득을 볼 수 있으므로, 본 논문에서 새로이 제안하는 적응성 양자화기를 이용하면 작은 크기의 입력에 대해서, 실제로 성능의 개선이 일어나는 것을 확인 할 수 있다. 제안하는 모듈레이터의 SNR곡선을 보면, 입력이 작을 때 SNR특성이 더 우수한 Low모드의 특성을 가지고, 입력이 클 때 SNR특성이 더 우수한 High모드의 SNR특성을 가진다. 그 사이의 입력에서는 SNR특성이 더 우수한 Mid모드의 SNR특성곡선을 따라가는 것을 볼 수 있다.

IV. 결 론

이 논문에서 적응성 양자화 레벨을 갖는 양자화기를 제안하였고, 이 양자화기를 포함하는 새로운 구조의 광대역 4 비트 연속시간 시그마 델타 모듈레이터를 130nm 1.2V CMOS공정에서 설계하였다. 이 시그마 델타 모듈레이터는 30mW의 전력이 1.2V의 공급전압과 320MHz의 클럭 주파수에서 소모하며, Hspice 시뮬레이션에서 최대 SNR은 51.36dB로 측정되었다.

참 고 문 헌

- [1] J. Arias, P. Kiss, V. Prodanov, V. Bocuzzi, M. Banu, D. Bisdal, J. S. Pablo, L. Quintanilla and J. Barbolla, "A 32-mW 320-MHz Continuous-Time Complex Delta-Sigma ADC for Multi-Mode Wireless-LAN Receiver," IEEE J. Solid-State Circuit, vol. 41, no. 2, pp. 339-351, Feb 2006.
- [2] S. Yan, E. Sanchez-Sinencio, "A Continuous-Time $\Sigma\Delta$ Modulator With 88-dB Dynamic Range and 1.1-MHz Signal Bandwidth," IEEE J. Solid-State Circuit, vol. 39, no. 1, pp. 75-86, Jan 2004.
- [3] R. Schreier and G. C. Temes, Understanding Delta-Sigma Data Converters. New York: IEEE Press, 2005.
- [4] R. Adams, "Design and Implementation of an Audio 18-bit Analog-to-Digital Converter Using Oversampling Techniques," J. Audio Eng. Society, pp. 153-166, Mar 1986.
- [5] R. T. Baird and T. S. Fiez, "Improved $\Delta\Sigma$ DAC linearity using data weighted averaging," Proceedings of the 1995 IEEE International Symposium on Circuits and Systems, vol. 1, pp. 13-16, May 1995.

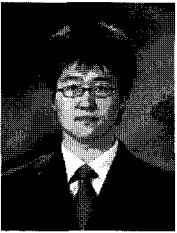
저 자 소 개



이 희 범(학생회원)
 2006년 서울대학교 전기공학부
 학사 졸업.
 2006년~현재 서울대학교 전기
 컴퓨터공학부 석사과정
 <주관심분야 : 아날로그 회로 및
 데이터 변환기 설계 >



이 현 중(학생회원)
 2005년 서울대학교 전기공학부
 학사 졸업.
 2007년 서울대학교 전기컴퓨터
 공학부 석사 졸업.
 2007년~현재 서울대학교 전기
 컴퓨터공학부 박사과정
 <주관심분야 : 아날로그 회로 및 데이터 변환기
 설계 >



신 우 열(학생회원)
 2005년 서울대학교 전기공학부
 학사 졸업.
 2005년~현재 서울대학교
 전기컴퓨터공학부
 석박사통합과정

<주관심분야 : PLL, 고속 I/O 회로>



김 수 환(평생회원)
 1990년 고려대학교 전자공학과
 학사 졸업.
 1992년 고려대학교 전자공학과
 석사 졸업.
 2001년 미시간 대학 전기공학부
 박사 졸업.
 2004년~현재 서울대학교 전기공학부 교수
 <주관심분야 : 아날로그 혼성회로 및 디바이스-
 회로 융합설계>