

논문 2007-44SC-6-8

DSP를 이용한 단상 PFC의 설계

(The Design of Single Phase PFC using a DSP)

양 오*

(Oh Yang)

요 약

본 논문에서는 DSP(TMS320F2812)를 사용하여 단상 역률개선을 디지털로 설계하였다. 이러한 승압형 역률개선 컨버터를 디지털로 구현하기 위하여 DSP는 컨버터의 입력전압과 인덕터전류, 컨버터의 출력전압이 필요하며 이를 DSP 내부에 있는 12비트 A/D변환기로 구현하였다. 승압을 위한 스위칭소자인 FET가 ON/OFF 될 때 심한 고주파 노이즈와 스위칭 리플이 발생한다. DSP에 의해 구현시 어느 시점에서 A/D 변환을 시작할지 결정하는 것은 대단히 중요하며 스위칭 노이즈가 발생하지 않는 곳에서 A/D 변환을 할 필요가 있다. PWM의 시비율(duty ratio)은 약 5%에서 95%까지 가변적이기 때문에 A/D 변환의 고정된 시작점을 찾을 수는 없다. 따라서 본 논문에서는 25 us 마다 PWM의 ON/OFF 폭을 미리 예측한 후 타이머를 이용하여 A/D 변환을 하도록 하였다. 실험 결과들로부터 광범위한 입력전압에 대하여 약 0.99의 역률과 80 Vdc 출력 전압에 대한 리플이 약 5 Vpp임을 확인하였다. 또한 윈도우즈 Xp 환경 하에서 수행되는 응용프로그램을 작성하여 원격에서 단상 PFC 컨버터의 각종 파라미터들과 전압 및 전류 제어기의 이득들을 모니터링하며 원격제어가 가능함을 보여 상용화의 가능성과 유용성을 제시하였다.

Abstract

This paper presents the design of single phase PFC(Power Factor Correction) using a DSP(TMS320F2812). In order to realize the proposed boost PFC converter in average current mode control, the DSP requires the A/D sampling values for a line input voltage, an inductor current, and the output voltage of the converter. Because of a FET switching noise, these sampling values contain a high frequency noise and switching ripple. The solution of A/D sampling keeps away from the switching point. Because the PWM duty is changed from 5% to 95%, we can't decide a fixed sampling time. In this paper, the three A/D converters of the DSP are started using the prediction algorithm for the FET ON/OFF time at every sampling cycle(40 KHz). Implemented A/D sampling algorithm with only one timer of the DSP is very simple and gives the autostart of these A/D converters. From the experimental result, it was shown that the power factor was about 0.99 at wide input voltage, and the output ripple voltage was smaller than 5 Vpp at 80 Vdc output. Finally the parameters and gains of PI controllers are controlled by serial communication with Windows Xp based PC. Also it was shown that the implemented PFC converter can achieve the feasibility and the usefulness.

Keywords : Boost PFC converter, Sampling Algorithm, Serial communication, digital control, PI controller.

I. 서 론

전원장치는 전자기기의 필수적인 장치로 초소형 용량에서부터 초대용량에 이르기까지 다양하며 이러한 전원장치들은 대개 커패시터 입력형 정류회로를 사용함으로써 고조파 전류성분을 발생할 뿐만 아니라 입력역률

이 낮아 많은 무효전력의 발생의 원인이 되고 있다. 이러한 경우에 발생하는 고조파는 전압과 전류의 왜곡을 발생시켜 전력계통설비에 접속되는 기기에 나쁜 영향을 미쳐 제어기기의 오동작이나 동작불량, 수명단축을 야기한다. 또한 많은 무효전력의 발생은 유효전력을 효율적으로 사용하지 못하는 문제점을 갖게 되고 궁극적으로 경제적인 손실을 가져온다. 따라서 이러한 단상전압에 왜곡이 생기는 것을 방지하기 위하여 IEC에서는 61000-3-2 Class D 규격에 의해 600 W 이하의 소형 전자기기를 대상으로 펄스성 전류에 대한 규격을 정하고

* 정희원, 청주대학교 전자정보공학부
(School of Electronics and Information Engineering,
Cheonju University)
접수일자: 2007년4월30일, 수정완료일: 2007년10월15일

이를 따르도록 하고 있다. 이러한 펄스성 전류에 따른 역률저하를 해결하기 위해 역률개선 회로를 이용하여 대처하고 있다. 기존의 많은 역률 개선방식은 가격이 저렴하고 이미 널리 알려진 회로와 설계 파라미터의 공개로 아날로그 제어를 기반으로 하고 있다^[1]. 그러나 반도체 기술과 전자기술의 발달로 많은 고속의 마이크로 프로세서나 신호 처리용 프로세서가 출현하고 있다. 특히 디지털 신호 처리용 프로세서와 마이크로 콘트롤러를 접목하여 디지털 제어를 구현하였으나, 최근 들어 하나의 신호처리 프로세서에 PWM 발생기, 타이머/카운터(Timer/Counter), 인터럽트 콘트롤러, A/D 변환기, 범용의 입출력 포트를 원칩(one chip)화 시킴으로서 디지털 제어방식의 편리성과 고기능을 구현할 수 있기 때문에 확산되고 있다^[2]. 이러한 고기능의 DSP, 마이크로프로세서 등을 이용하여 디지털 제어 방식으로 역률을 개선하는 방법으로는 입력전류를 연속전류 모드로 제어하는 방법과 불연속 전류 모드로 제어하는 경우가 다수 연구 되었다^[3~4]. 또한 DSP나 마이크로프로세서 이외에 FPGA를 이용하여 역률을 개선하는 경우도 있으며 이때 FPGA로 하드웨어를 구현함으로써 기존의 순차적인 프로그램의 실행이 아니라 병렬로 제어기 연산을 수행할 수 있고, 전압 전류 제어를 하드웨어적으로 구현함으로써 스위칭 주파수를 증가 시키는 연구도 다수 진행되고 있다^[5~6]. 대부분의 경우 PFC 컨버터를 구현할 때 인덕터 전류를 필요로 하는데 인덕터 전류를 사용하지 않고 예측 알고리즘 즉, 제로크로스(zero cross) 및 정현파 록업 표를 이용하여 역률을 개선함으로써 원가를 줄이는 방안도 발표되었다^[7~8]. 뿐만 아니라 PFC를 구현할 때 입력전압과 인덕터 전류 및 컨버터의 출력전압을 사용하여 전압 PI와 전류 PI를 거쳐 입력전압과 입력전류가 동상이 되고 출력전압을 원하는 전압으로 만들기 위한 최종적인 PWM 신호를 스위칭 소자인 FET에 보내게 되는데 이때 FET의 ON/OFF 되는 시점에서 과도한 고주파 노이즈가 발생하며 이러한 노이즈 신호에 의해 컨버터의 성능을 저하시키기도 하고 심한 경우에는 전압 전류 제어기가 발산하여 오동작을 하게 된다. 이를 보완하기 위해 DSP에 의해 A/D 샘플링 되는 알고리즘도 다수 발표 되었다^[9~10]. 그러나 이와 같은 알고리즘은 복잡하여 알고리즘을 구현하는데 시간제약이 따르게 되며 점점 스위칭 주파수가 증가하고 있는 현실을 감안할 때 보다 간략하고 구현하기 쉬운 자동적으로 A/D 변환이 시작되는 샘플링 알고리즘이 요구된다. 이를 위해 본 논문에서는 DSP(TMS320F2812)를 이용한

디지털 제어방식으로 역률개선회로를 설계하여 무효전력의 발생을 억제하고 펄스성 입력전류를 개선하였다. 또한 A/D 변환에 대한 간단한 샘플링 알고리즘을 DSP 내에 있는 타이머를 사용하여 A/D 변환을 자동적으로 수행하도록 하였다. 즉, PWM의 ON/OFF 듀티를 예측한 후 이를 타이머의 비교기 값으로 하였으며 PWM 발생용 카운터와 비교하여 비교 일치가 발생하면 자동적으로 A/D 변환이 시작되도록 구현하였다. 제한된 알고리즘의 타당성을 검토하기 위해 디지털 PFC 컨버터를 제작하여 실험하였고, 입력전압의 변동과 출력 전류의 변동 등에 대한 정상동작 여부를 구현하였다. 특히 기존의 아날로그 방식에 의해 커다란 제약 사항이었던 원격 제어 기능과 모니터링 기능을 구현하였다. 이를 위해 윈도우 Xp 환경하에서 수행되는 응용프로그램을 작성하여 115,200 BPS의 전송속도로 데이터가 전송되도록 RS232C 통신 시스템을 구현 하였다. 이러한 통신 시스템을 통해 PFC 컨버터의 내부 파라미터들 즉, 입력전압, 입력전류, 출력전압들과 전압 및 전류 PI 제어기의 이득을 자유롭게 변경함으로써 편리성을 도모 하고자 하였고 윈도우 프로그램에 의해 컨버터의 출력 전압을 원격으로 제어됨을 보이고자 한다.

본 논문의 구성은 II장에서 디지털 PFC 컨버터의 전체 블록다이어그램에 대한 하드웨어적인 측면과 소프트웨어적인 측면에 대하여 각각 알아보며, III장에서는 A/D 변환의 자동 샘플링 알고리즘을 제시한다.

이를 위해 PWM의 발생방법과 이로부터 얻어진 PWM ON/OFF 폭으로부터 A/D 샘플링 할 위치를 찾고 이를 타이머에 적용하여 자동으로 A/D 변환이 되는 방법을 제시하였으며, IV장에서는 제안된 PFC 컨버터의 실험 방법과 이에 대한 실험 결과들을 고찰하며, V장에서 결론을 맺는다.

II. PFC 컨버터의 디지털 제어

1. PFC 컨버터의 구조

본 논문에서 설계된 디지털 PFC 컨버터의 전체 블록다이어그램을 그림 1에 나타내었다. 이러한 제어 기법은 평균전류제어 방법으로 기존의 PFC에 널리 적용되고 있다. 역률개선을 위한 승압형 컨버터의 기본구조는 EMI 필터를 포함한 정류부, 인덕터와 FET 그리고 다이오드를 포함한 승압 회로부, 입력전압과 출력전압 및 인덕터 전류 검출부, 디지털 제어기의 제어알고리즘을 구현하기 위한 DSP 연산부로 구성된다.

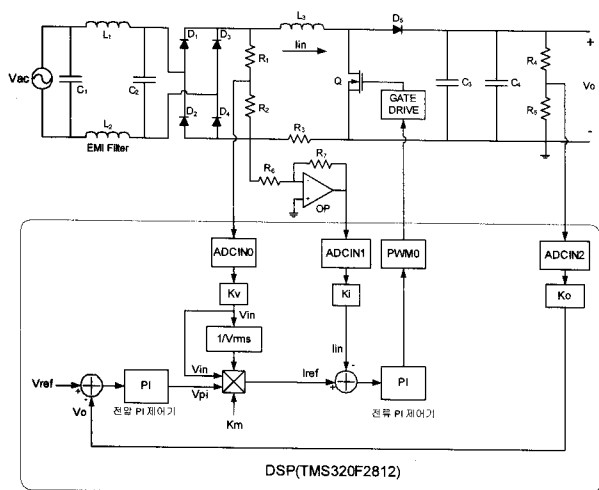


그림 1. 디지털 PFC 컨버터의 전체 블록 다이어그램.
Fig. 1. The total block diagram for digital PFC converter.

표 1. PFC 컨버터의 사양
Table 1. The specification of PFC converter.

항 목	값	단위
입력 전압(Vac)	25 ~ 50	V
출력 전압(Vo)	80	V
출력 전류(Io)	1.0	A
최대 출력(P)	80	W
스위칭 주파수	40	KHz

그림 1에서와 알 수 있듯이 DSP를 이용한 제어 알고리즘을 구현하기 위해서는 3개의 입력신호와 1개의 출력 신호가 필요하다. 즉, 전파 정류된 입력전압 Vin, 인덕터에 흐르는 전류 Iin, 출력전압 Vo가 디지털 제어기에 입력되고 연산된 결과는 PWM(Pulse Width Modulation) 1개의 신호로 출력된다. 승압형 PFC를 구현하기 위해서는 매 샘플링 시간마다 Vin, Iin, Vo가 DSP 내부에 있는 A/D 변환기에 입력되어 디지털 값으로 환산된다. 실제 DSP 내부에 있는 각각의 A/D 변환기는 입력 전압값의 범위는 0~3 V 이기 때문에 최대값 3 V가 입력될 때 12비트 A/D 변환기의 최대값인 4095가 나오도록 분압회로를 구성하였다. 표 1은 본 논문에서 설계된 PFC 컨버터의 설계 사양을 나타내고 있다.

승압형 PFC의 입력전압 Vac의 전파 정류된 신호 (Vin)가 96 V일 때 ADCIN0에 3 V가 입력되며 또한 인덕터 전류 Iin이 10 A가 흐를 때 ADCIN1에 3 V가 입력되도록 분압회로를 구성하였고, 또한 출력전압 Vo가 160 V가 입력될 때 ADCIN2에 3 V가 각각 입력되도록 분압회로를 구성하였다.

2. PFC 컨버터의 전압, 전류 제어기 설계

실제 연산에 사용되는 Vin, Iin, Vo의 값을 구하기 위해 각각의 A/D 연산 결과값에 분압 되었던 이득값 Kv(96), Ki(8), Ko(160)를 곱하여 디지털 제어기를 구현하였다. 아울러 PFC 컨버터의 최악의 상황을 고려하여 Vin과 Vo의 경우 각각 80 V와 120 V에서 과전압 보호를 하였으며 Iin의 경우 8 A이상 흐를 경우 과전류 보호를 하였다. 즉, 비 정상동작 되었을 때 PWM를 차단함으로써 컨버터의 오동작을 방지하였다.

승압형 PFC 컨버터의 출력전압을 일정하게 제어하기 위한 제어루프가 동작하는 제어기로 기준전압(Vref)과 실제 출력값(Vo)을 입력받아 전압오차 Verr가 적어지도록 다음과 같은 비례(P), 적분(I) 제어기를 구성하였다.

$$V_{pi} = K_{vp} * V_{err} + K_{vi} \int_0^t V_{err}(\tau) d\tau \quad (1)$$

식 (1)을 디지털 제어기로 구현할 때 제어기의 간편성과 속응성을 위해 실수형 변수를 사용하지 않고 정수형 변수를 사용하였다. 아울러 전압 PI 제어기의 포화 동작을 방지하기 위해 Anti-windup을 사용하였으며 전류제어기는 식 (1)에서 얻어진 Vpi와 전파 정류된 입력전압 Vin과 이에 대한 실효값 Vrms의 정보를 이용하여 기준 전류 Iref를 얻게 된다.

그림 1에서 전파 정류된 Vin에 대한 실효값을 구하기 위해서는 제곱근이 필요하며 이러한 제곱근을 연산하기 위해서는 많은 연산시간이 필요하기 때문에 전파 정류된 전압의 한주기 값에 대한 평균값을 다음 식 (2)와 같이 구하였다.

$$V_{rms} = \frac{\pi}{(2 * \sqrt{2})} \frac{1}{N} \sum_{k=0}^{N-1} V_{in}(k) \quad (2)$$

식 (2)에서 $\frac{\pi}{(2 * \sqrt{2})}$ 는 고정된 실수 값이므로 IQ(12)를 이용하여 정수화 하였다.

이제 전류 PI 제어기를 설계하기 위한 기준 전류 Iref를 구해야 되며 이에 대한 연산은 식 (3)과 같다.

$$I_{ref} = K_m * V_{pi} * V_{in} / (V_{rms} * V_{rms}) \quad (3)$$

식 (3)에서 Vpi는 식 (1)의 결과에서 얻어진 전압 PI 제어기의 출력이고 Vin은 전파정류된 전압이며 Km은 PFC 컨버터의 최소 입력전압에서 최대 부하를 구동할 수 있는 이득이며 이에 대한 식은 (4)와 같다.

$$K_m = \frac{V_{in(max)}}{V_{in(min)}} \quad (4)$$

전류 PI 제어기를 설계하기 위해서 식 (3)에서 구한 I_{ref} 와 연산 증폭기를 이용하여 얻어진 인덕터 I_{in} 과의 전류 오차 I_{err} 를 이용하여 이산형식으로 구하면 식 (5)와 식 (6)과 같다.

$$\begin{aligned} I_{pi}(k) &= K_{ip} * I_{err}(n) + I_i(k-1) \\ I_i(k) &= I_i(k-1) + K_{ii} * I_{err}(k) + K_{isat} * (I_{sat} - I_{pi}(k)) \end{aligned} \quad (5)$$

$$I_{sat} = \begin{cases} I_{max}, & I_{pi}(k) \geq I_{max} \text{일 경우} \\ I_{min}, & I_{pi}(k) \leq I_{min} \text{일 경우} \\ I_{pi}(k), & \text{기타의 경우} \end{cases} \quad (6)$$

식 (5)와 식 (6)은 각각 전류 PI 제어기의 포화 동작을 방지하기 위한 Anti-windup 방식으로 특히 적분(I) 제어기에서 누적되는 오차가 커지게 되면 PI 제어기는 더 이상 동작하지 못하기 때문에 포화동작 방지로 디지털 제어기에서 널리 사용되고 있다.

식 (5)에서 구해진 $I_{pi}(k)$ 는 PWM(Pulse Width Modulation)을 만들기 위해 사용 되어 진다. 디지털 제어기와 달리 아날로그 제어기에서는 별도의 PWM 전용 IC나 회로를 구성하여 비교기 입력에 삼각파와 기준 전류를 입력하지만 DSP(TMS320F2812)에서는 PWM 발생을 위한 클럭이 자체적으로 생성되어 이 클럭을 카운트하는 크기에 따라 삼각파의 주기와 크기를 발생할 수 있다.

즉, DSP(TMS320F2812)에서의 PWM 파형발생은 업 카운터(up counter)와 비교기를 이용하고 있다. PWM 파형발생에는 이벤트 타이머/카운터에 있는 3개의 레지스터가 사용되는데, 업 카운트 되는 $EvaRegs.T1CNT$ 레지스터, PWM의 주기를 결정하는 $EvaRegs.T1PR$ 레지스터와 PWM 파형의 듀티비(duty ratio)를 조정하는 $EvaRegs.CMPR1$ 레지스터가 있다. 여기에 사용되는 모든 레지스터는 16 비트 레지스터이고 내부 클럭은 최대 동작 주파수인 150 MHz에 의해 업 카운트된다. 이때 $EvaRegs.T1CNT$ 레지스터와 $EvaRegs.CMPR1$ 레지스터를 비교해서 일치가 되면 PWM 출력은 '0'을 내보내게 되고, $EvaRegs.T1PR$ 과 일치 되면 PWM의 출력은 '1'로 되며 동시에 $EvaRegs.T1CNT$ 레지스터의 값은 0으로 된다.

아울러 전압 PI 제어와 전류 PI 제어 연산을 위해 인

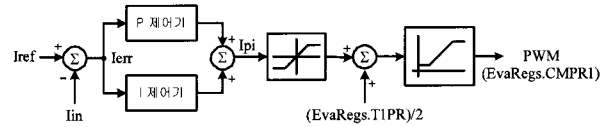


그림 2. PWM 신호 발생

Fig. 2. PWM signal generation.

터럽트를 발생하게 된다. 이에 대한 PWM 발생 로직은 그림 2와 같으며 매 스위칭 주파수마다 발생하는 인터럽트를 이용하여 전류 PI 제어기의 출력이 PWM 레퍼런스에 반영하게 된다. PWM 발생을 위한 최종적인 전류 PI 제어기의 값은 양수와 음수를 가지게 된다.

그러나 DSP 내부의 PWM의 레지스터들은 양수의 값만을 가지므로 I_{pi} 에 대한 리미트를 수행하고 이것에 $EvaRegs.T1PR$ 의 1/2를 더해 주어 양수의 값으로 조정해준다. 이에 대한 블록 다이어그램은 그림 2와 같다.

만약 스위칭 주파수가 40 KHz일 $EvaRegs.T1PR$ 는 3,750으로 설정하게 되며 25 us마다 PI 제어기의 연산 수행을 위한 인터럽트가 걸리게 된다. 아울러 매 인터럽트 실행마다 $EvaRegs.CMPR1$ 는 0~3,750의 범위에서 듀티(duty)가 0 %일 때 0이 50 % 듀티일 경우 1,875가 그리고 100 % 듀티일 경우 3,750이 각각 설정된다.

III. A/D 변환기의 샘플링 알고리즘

승압형 PFC 컨버터를 구성할 때 교류 입력전압과 직류 출력전압, 인덕터 전류에 대한 정보를 DSP 내부의 12 비트 A/D 변환기를 이용하여 정보를 취득하게 된다. 이때 스위칭 소자인 FET에 의해 PWM을 발생하게 되고 스위치가 ON/OFF 될 때 많은 임펄스 노이즈가 발생하게 되고 이러한 노이즈성 정보에 의해 오동작을 하거나 잘못 읽혀진 A/D 변환 정보로 인해 심한 고주파가 함유된 데이터를 입력받게 되며 컨버터의 성능을 저하하게 될 뿐만 아니라 전압과 전류 PI 제어기가 오동작하게 된다. 이것을 피하기 위한 방법으로 A/D 변환기의 샘플링 시간을 조절하여 피할 수 있다.

본 논문에서는 이러한 과도한 스위칭 노이즈에 의한 오동작을 피하기 위해 PWM 발생용 타이머(Timer1) 이외에 별도의 타이머(Timer2)를 사용하여 FET가 스위칭 하는 시간을 미리 예측한 후 그림 3과 같은 알고리즘을 이용하여 A/D 변환을 타이머에 의해 자동적으로 시작하게하고 아울러 A/D 변환이 완료되면 A/D 변환 완료 인터럽트를 발생시켜 A/D 변환완료 인터럽트 루틴에서 3개의 A/D 변환값을 읽도록 하였다.

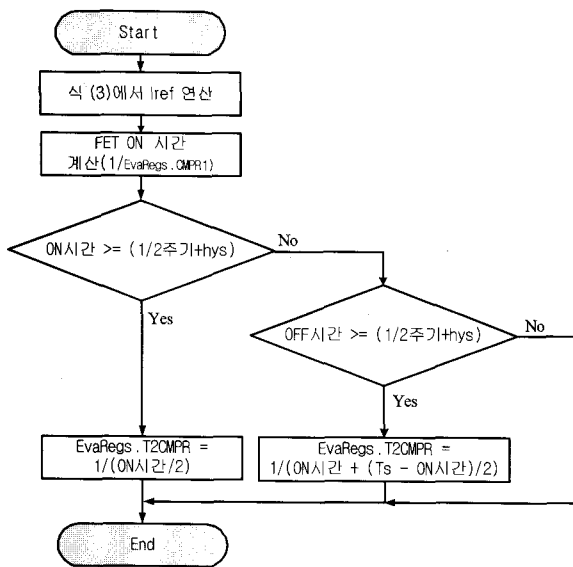


그림 3. A/D 변환시작에 대한 흐름도
 Fig. 3. The flowchart of A/D conversion start.

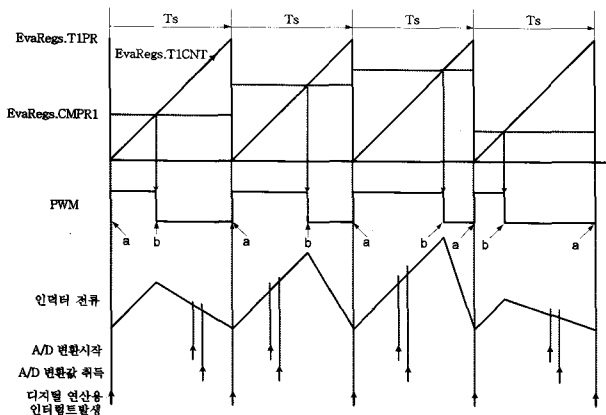


그림 4. PWM 파형, 인덕터 전류 및 A/D 변환 시작
 Fig. 4. PWM waveform, inductor current, and A/D conversion start.

그림 2에서 구해진 PWM의 듀티를 조절하기 위해 EvaRegs.CMPR1 레지스터 값을 이용하여 FET의 ON 시간이 결정된다. 그림 3에서 hys는 히스테리시스를 주기 위한 것으로 100% 듀티중 약 0.26%인 10으로 하였고 PWM의 50%(1/2주기)를 기준으로 하여 이 값보다 적으면 FET의 OFF 시간을 결정하여 이에 대한 50% 값과 ON 시간값을 더하여 A/D 변환의 시작을 하게 되고 아울러 PWM의 듀티가 50%를 초과하면 ON 듀티의 절반에 해당하는 시간값을 이용하여 A/D 변환을 자동적으로 시작하는 방법이다. 이와 같이 A/D의 시작은 타이머 2의 비교 레지스터의 값인 EvaRegs.CMPR2를 이용하여 타이머 1의 카운터값과 타이머 2의 비교레지스터 값이 같으면 자동적으로 A/D 변환이 시작하도록 DSP(TMS320F2812)의 타이머를 구성하였다.

전체적인 PWM 파형의 발생방법과 A/D 변환에 대한 동작을 그림 4에 나타내었다.

그림 4에서 Ts는 스위칭 주파수에 대한 시간(25 us)이며 PWM 파형이 천이되는 a, b 위치는 FET가 ON/OFF될 때 과도한 스위칭 노이즈가 발생하는 부분이다. 결국 이 구간을 피하여 전파 정류된 입력전압과 컨버터의 출력 전압과 인덕터 전류를 측정하도록 하였다. 타이머의 카운터 레지스터 EvaRegs.T1CNT와 타이머의 주기 설정용 레지스터인 EvaRegs.T1PR과 일치될 때 전압, 전류 PI 제어기 연산용 인터럽트가 발생되고 앞에서 설정된 비교 값들 (EvaRegs.CMPR1, EvaRegs.CMPR2)이 갱신되도록 타이머 1, 2의 제어 레지스터 값들을 설정하였다.

결국 타이머 2의 비교기 값과 타이머 1의 카운터 값이 같게 되면 소프트웨어의 도움 없이 자동적으로 3개의 A/D 변환기가 변환을 시작하고 모든 변환이 완료되면 변환된 A/D 변환 정보를 읽게 된다.

IV. 실험 결과 및 검토

본 논문에서 제안된 알고리즘을 DSP(TMS320F2812)를 사용하여 승압형 PFC 컨버터에 구현하였다. 이를 위한 전체적인 하드웨어는 그림 1과 같으며 전류 제어 방법은 평균 전류 제어방식을 사용하였으며 승압형 PFC 컨버터의 스위칭소자(Q)는 FET47N60C3을 사용하였고 다이오드(D5)는 STTH8R06D를 인덕터(L3)는 1.0mH를 각각 사용하여 하드웨어를 구현하였다.

또한 출력리플을 줄이기 위한 커패시터(C3, C4)는 270 uF를 병렬로 연결하였고 FET의 스위칭 노이즈가 교류 입력단으로 흘러들어가는 것을 방지하기 위하여 EMI 필터를 사용하였다. 이때 인덕터(L1, L2)는 100 uH, 커패시터(C1, C2)는 1 uF를 각각 사용하였다. 아울러 전파 정류용 다이오드는 GBJ2510을 적용하였고 인덕터 전류를 측정하기위한 저항(R3)은 10watt/0.1Ω, 연산증폭기(OP)로는 LM351을 각각 사용하여 하드웨어를 구성하였다. PFC 컨버터의 스위칭 주파수는 40 KHz를 사용하였으며, 25 us마다 전파 정류된 입력전압, 출력전압 및 인덕터 전류를 샘플링 하여 PI 제어기에 의해 PWM의 듀티(Duty)를 갱신하게 되며, 스위칭 소자인 FET의 ON, OFF 시점에서 A/D 변환값의 고주파 노이즈에 의한 오동작을 피하기 위한 타이머 2의 비교레지스터 값을 변경하였다. 본 논문에서 설계된 전압 및 전류 PI 제어기 이득은 표 2와 같으며 전압이득 Km은 2

표 2. PFC 컨버터의 PI 제어기 파라미터
Table 2. The parameters of PI controllers for PFC converter.

종류	기호	값
전압 PI 제어기	Kvp	25
	Kvi	20
	Kvsat	2
전류 PI 제어기	Kip	30
	Kii	100
	Kisat	2

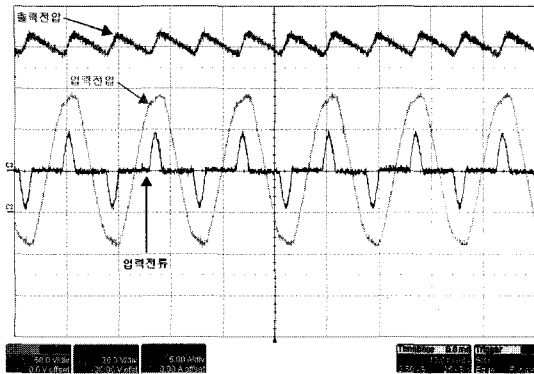


그림 5. PFC가 없을 때 출력전압, 입력전압 및 입력전류
Fig. 5. Output voltage, input voltage, and input current without PFC.

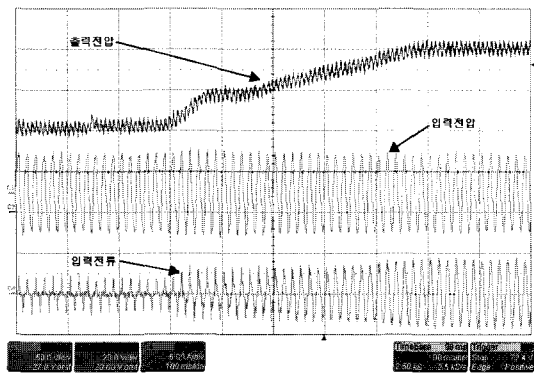


그림 6. 소프트 스타트의 실험결과
Fig. 6. The experimental results of soft-start.

로 하였다.

PFC 컨버터에 공급되는 교류 전압은 최소 25 Vrms에서 최대 50 Vrms까지 공급되며 주파수는 60 Hz로 하였다. 출력단 부하로는 전자부하를 이용하여 각각 0.5 A, 1.0 A의 부하에 대한 비교실험을 하였고 입력전압의 변동, 부하변동에 따른 과도응답 특성을 실험하였다. 전압과 전류 PI 제어기의 파라미터 및 출력전압은 윈도우즈 Xp 환경에서 수행되는 응용소프트웨어를 작성하여 원격에서 RS232C 시리얼 통신으로 모니터링과 변수값 변경이 가능하도록 설계하였다. 그림 5는 PFC를 사용

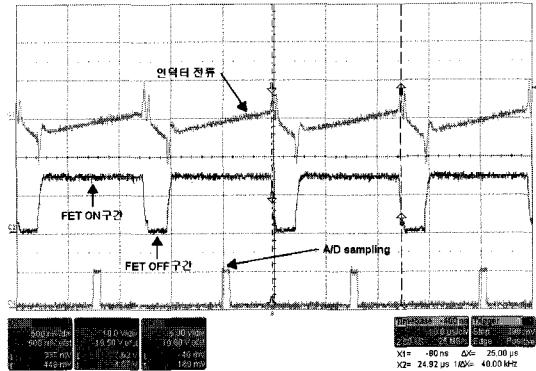


그림 7. FET ON 구간에서의 A/D 샘플링 결과
Fig. 7. The sampling results during FET ON.

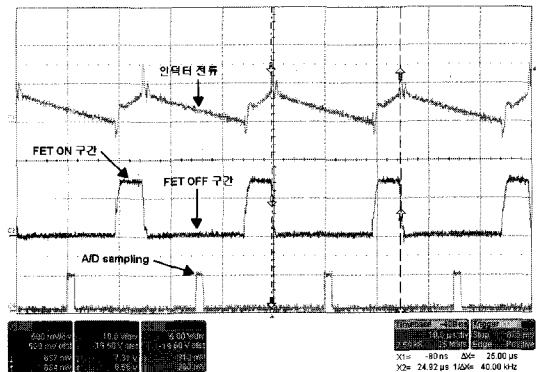


그림 8. FET OFF 구간에서의 A/D 샘플링 결과
Fig. 8. The sampling results during FET OFF.

하지 않았을 때 출력전압과 입력전압 및 입력전류에 대한 파형이다. 이 그림에서 출력전압 80 Vdc를 만들기 위해 입력전류에 고조파 성분이 많이 포함된 것을 알 수 있고 또한 출력 전압에 전압변동이 많음을 알 수 있다. 이때 1.0 A부하에 대한 역률은 약 0.75로 낮았다.

그림 6은 초기 출력전압이 40 Vdc에서 시작하며 PFC 컨버터가 동작하기 이전에 약 300 ms 동안 입력전류는 많은 고조파 성분이 포함되어 있는 것을 알 수 있다.

그러나 PFC 컨버터가 동작하기 시작하여 약 0.5 초 후에 목표값 80 Vdc까지 도달한 후에는 전류의 파형이 정현파에 가깝게 되는 소프트 스타트에 대한 실험결과 파형이다. 소프트 스타트에 대한 구현을 위해 초기 시작시 출력전압을 A/D 변환하여 DC 출력값을 계측한 후에 이로부터 전압과 전류 PI 연산이 시작되고 시간이 지남에 따라 목표값을 80 Vdc까지 증가 시키는 형식으로 소프트 스타트를 구현하였다.

그림 7과 8은 본 논문에서 제안한 A/D 샘플링 알고리즘을 적용한 인버터 전류, FET 게이트 구동파형에 대한 FET의 ON, OFF 구간을 각각 나타내고 있다. 본

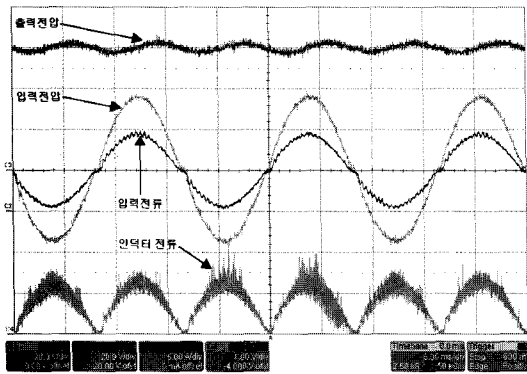


그림 9. 25 Vrms 입력전압과 1.0 A 부하에 대한 실험결과
 Fig. 9. The results for 25 Vrms input voltage and 1.0 A load.

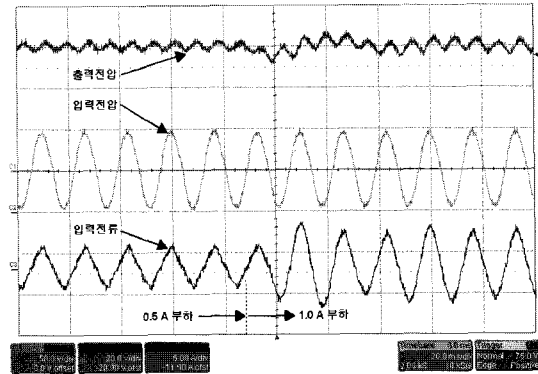


그림 11. 0.5 A 부하에서 1.0 A 부하로 변경시 실험결과
 Fig. 11. The results for 0.5 A to 1.0 A load change.

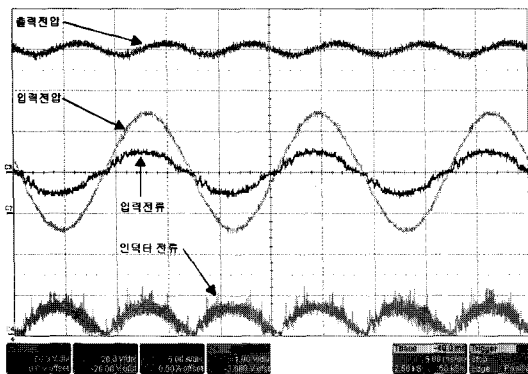


그림 10. 50 Vrms 입력전압과 0.5 A 부하에 대한 실험결과
 Fig. 10. The results for 50 Vrms input voltage and 0.5 A load.

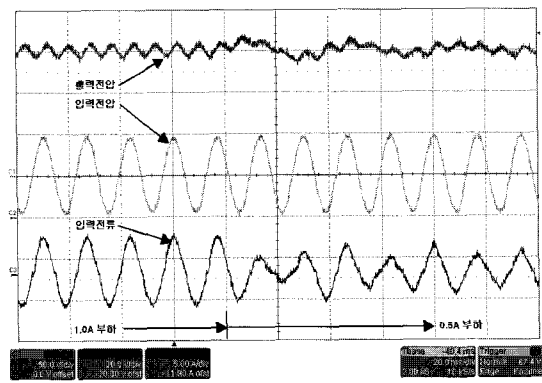


그림 12. 1.0 A 부하에서 0.5 A 부하로 변경시 실험결과
 Fig. 12. The results for 1.0 A to 0.5 A load change.

알고리즘은 그림 3에서 제시한 방법에 의해 구현된 실험결과 파형이다. 그림 7을 보면 FET가 OFF 구간이 짧을 때 어느 시점에서 A/D 변환을 시작할지가 관건이 된다. 이때 FET의 ON 구간을 미리 예측하여 이 구간이 클 때 이에 대한 1/2되는 시점을 계산하여 A/D 변환을 시작한다. 또한 그림 8은 FET의 ON 구간이 짧을 때 FET의 OFF 구간의 1/2되는 시점에서 A/D 변환을 시작하여 입력전압, 인덕터 전류, 출력전압을 각각 측정하도록 하였다. 그림 9는 입력전압 25 Vrms, 출력전압 80 Vdc, 1.0 A 부하에서의 실험결과 파형이다.

또한 그림 10은 입력전압 50 Vrms, 출력전압 80 Vdc, 0.5 A 부하에서의 실험결과 파형이다. 각각의 그림으로부터 알 수 있듯이 입력전압의 변동이나 출력부하의 변화에도 출력전압은 80 Vdc로 일정하였고, 출력전압에 대한 리플 역시 5 Vdc-pp 정도로 좋은 특성을 보이고 있다. 아울러 그림 9와 그림 10에서 출력전압의 주파수는 입력 주파수의 2배인 120 Hz임을 알 수 있다.

또한 그림 9에 대한 역률은 약 0.998이었고 그림 10에 대한 역률은 약 0.985로 좋은 실험 결과를 보이고 있다.

그림 11은 입력전압이 35 Vrms이며 출력전압 80 Vdc일 때 0.5 A 부하에서의 1.0 A로 부하변동에 따른 실험결과 파형이다. 그림 11을 보면 출력전압이 안정될 때 까지 소요되는 시간은 약 60 ms 이후에 안정되고 부하변동에 따른 입력 전류가 한 주기 동안 커진 이후에 안정된 전류가 계속 흐름을 알 수 있었다.

그림 12는 입력전압이 35 Vrms이며 출력전압 80 Vdc일 때 1.0 A 부하에서의 0.5 A로 부하변동에 따른 실험결과 파형이다. 그림 12를 보면 출력전압이 안정될 때 까지 소요되는 시간은 약 80 ms 이후에 안정되고 부하변동에 따른 입력 전류가 한 주기 동안은 적어지고 또 한 주기 동안은 전류가 커진 후 안정된 전류가 흐름을 알 수 있다.

디지털 제어방법을 이용하여 PFC 컨버터를 구현할 때 가장 큰 장점중의 하나가 PFC 컨버터의 내부 파라미터들을 모니터링 할 수 있고 또한 하드웨어의 변경 없이 소프트웨어의 변수값을 변경함으로써 출력전압을

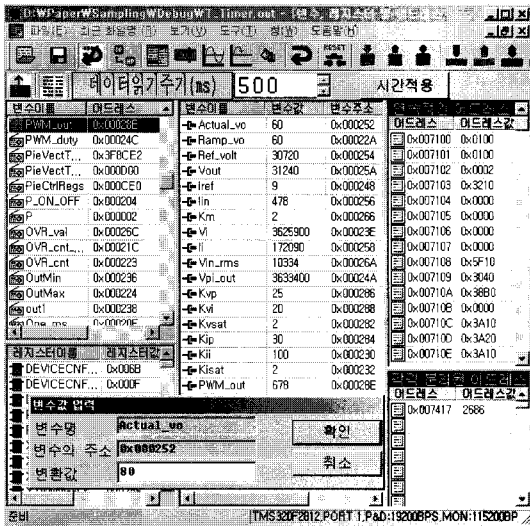


그림 13. PFC 컨버터의 모니터링과 원격제어

Fig. 13. The monitoring and remote control of the PFC converter.

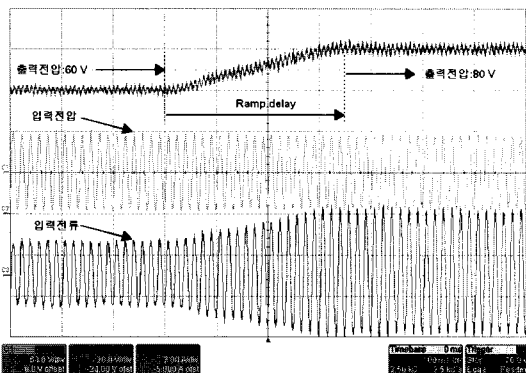


그림 14. 출력전압의 원격제어

Fig. 14. The remote control of output voltage.

가변 할 수 있고 전압 전류 PI 제어기의 이득값을 조절하여 편리하게 원하는 제어 특성을 얻을 수 있다는 장점이 있다. 이러한 통신 기능은 아날로그 제어기로는 구현이 불가능하기 때문에 이에 대한 활용과 요구는 점점 더 많이 요구 될 것이다.

그림 13은 윈도우즈 Xp 환경에서 수행되는 응용프로그램으로서 PC에서 PFC 컨버터를 115,200 BPS의 전송 속도로 DSP(TMS320F2812)와 PC간에 직렬통신(RS232C)에 의한 PFC 컨버터의 내부 파라미터들과 전압 전류 제어기의 이득들을 모니터링 및 원격 제어하는 실험 결과이다.

그림 13의 좌측 상단에 있는 변수명을 더블 클릭하면 중간의 변수 모니터링 란에 등록이 되고 이렇게 등록된 변수를 더블 클릭하면 좌측 하단의 변수값 입력이라는 다이얼 박스가 생긴다. 이때 원하는 변수의 변환값을 입력하여 확인하면 직렬 통신에 의해 변수값이 변경되

는 방식으로 응용소프트웨어를 작성하였다. 그림 13에서 모니터링 되고 있는 출력 전압(Actual_vo)을 원격제어에 의해 60 Vdc에서 80 Vdc로 변경하였을 때의 실험 결과 파형은 그림 14와 같이 입력전압이 35 Vrms이며 1.0 A 부하에서 PFC 컨버터의 출력전압이 60 Vdc에서 80 Vdc로 변경되는데 소요되는 시간은 약 0.35 초가 됨을 알 수 있다. 이러한 지연은 소프트 스타트와 같은 개념으로 출력 기준전압을 점증적으로 증가 시키도록 하여 출력 전압의 변경에 따른 PFC 컨버터의 안전한 동작을 하도록 하였으며 이러한 지연시간은 실시간 동작 하에서 변수값을 바꾸어 쉽게 변경할 수 있다.

V. 결 론

본 논문에서는 단상의 역률개선 컨버터(PFC)에 대한 디지털 제어를 구현하였다. 이를 위해 DSP(TMS320F2812)를 사용하여 전압, 전류 제어기는 비례적분(PD) 제어기로 설계하였고 각각의 제어가 포화되는 것을 방지하기 위해 Anti-windup 방식을 이용하여 디지털 제어를 설계하였으며, 전류 제어방식은는 평균 전류제어 방식을 사용하였다.

승압형 PFC 컨버터를 구현하기 위해서는 입력전압과 인덕터 전류 및 출력전압에 대한 정보가 필요하며, 디지털 제어방식에서는 A/D 변환기를 사용하여 각각의 정보를 취득하고 이를 전압 제어루프와 전류 제어루프를 수행하여 최종적인 연산결과를 PWM(pulse width modulation)으로 출력하고 이를 승압형 컨버터의 스위칭소자(FET)를 구동함으로써 입력전압과 입력전류가 동상이 되고 원하는 직류 출력전압을 얻게 되는데 스위칭소자가 ON/OFF되는 구간에서는 심한 고주파 노이즈를 발생하게 되며 이때의 A/D 변환결과를 연산에 반영하면 원치 않는 오동작을 하거나 컨버터의 성능을 저하시키게 된다. 이러한 동작을 피하기 위해 PWM의 ON/OFF 폭(duty)을 미리 예측한 후 DSP 내부에 있는 타이머를 이용하여 A/D 변환을 자동적으로 시작하도록 A/D 샘플링 알고리즘을 제시하여 안정된 PFC 컨버터를 구현하였고 실험결과를 통해 역률이 약 0.998로 좋은 역률개선 특성을 얻게 되었다.

비록 아날로그 제어 방식에 의한 PFC 컨버터는 저렴하게 역률개선이 구현될 수 있는 장점이 있지만 통신을 통한 원격제어나 내부의 파라미터의 모니터링 및 변경이 어려운 단점이 있다. 이를 보완하기 위해 본 논문에서는 DSP(TMS320F2812)내에 있는 시리얼 콘트롤러를

이용하여 원격지에서 모니터링과 제어가 가능하도록 시리얼 통신 시스템을 구현하였고, 또한 윈도우즈 Xp 환경에서 수행되는 응용프로그램을 작성하여 이에 대한 실험결과를 보였다. 실험 결과들로부터 PFC 컨버터의 출력전압을 간단히 제어할 수 있고 아울러 전압, 전류 PI 제어기들의 이득, 컨버터 내부의 파라미터들을 쉽게 변경할 수 있는 모니터링 시스템을 구현함으로써 이에 대한 실용 가능성과 유용성을 충분히 확인하였다.

참 고 문 헌

- [1] P. C. Todd, "UC3854 controlled power factor correction circuit design," U-134, Unitrode Application Note, pp. 3-269 - 3-288.
- [2] S. Choudhury, "Average current mode controlled power factor correction converter Using TMS320LF2407A," Texas Instruments Application Note SPRA902A, pp. 1-14, Jul. 2005.
- [3] Zhen Z. Ye, Milan M. Jovanovic, "Implementation and Performance Evaluation of DSP-Based Control for Constant-Frequency Discontinuous-Conduction-Mode Boost PFC Front End," IEEE Trans. Industrial Electronics, vol. 52, No.1, pp. 98-107, Feb., 2005.
- [4] S. Buso et al., "Simple digital control improving dynamic performance of power factor pre-regulators," IEEE Trans. Power Electron., vol. 13, pp. 814-823, Sept., 1998.
- [5] W. Zhang, Yan-Fei Liu, and Bin Wu, "A New Duty Cycle Control Strategy for Power Factor Correction and FPGA Implementation," IEEE Trans. Power Electron., vol. 21, No. 6, pp. 1745-1753, Nov., 2006.
- [6] A. de Castro, P. Zumel, O. Gaecia, T. Riesgo, and J. Uceda, "Concurrent and simple digital controller of an ac/dc converter with power factor correction based of FPGA," IEEE Trans. Power Electron., vol. 18, No. 1, pp. 334-343, Jan., 2003.
- [7] J. Chen, A. Prodic, R. W. Erickson, and D. Maksimovic, "Predictive digital current programmed control," IEEE Trans. Power Electron., vol. 18, No. 1, pp. 411-419, Jan., 2003.
- [8] W. Zhang, Guan Feng, Yan-Fei, and Bin Wu, "A Digital Factor Correction (PFC) Control Strategy Optimized for DSP," IEEE Trans. Power Electron., vol. 19, No. 6, pp. 1471-1485, Nov., 2004.
- [9] J. Zhou, Z. Lu, Z. Lin, Y. Ren, Z. Qian, and Y. Wang, "Novel Sampling Algorithm for DSP

Controlled 2 kW PFC Converter," IEEE Trans. Power Electron., vol. 16, No. 2, pp. 217-222, Mar., 2001.

- [10] David M. Van de Sype, Koen De Gussemme, A. P. Van den Bossche, and Jan A.A. Melkebeek, "A Sample Algorithm for Digitally Controlled Boost PFC Converters," IEEE Trans. Power Electron., vol. 19, No. 3, pp. 649-657, May, 2004.

저 자 소 개



양 오(정회원)

1983년 한양대학교 전기공학과
학사 졸업.

1985년 한양대학교 전기공학과
석사 졸업.

1997년 한양대학교 전기공학과
박사 졸업.

1985년 1월 ~ 1997년 8월 LG 산전 연구소
책임연구원

1997년 9월 ~ 현재 청주대학교 전자정보공학부
부교수

2006년 ~ 2007년 Texas A&M University
방문교수

<주관심분야: 디지털 시스템 설계 및 ASIC 설계,
DSP 응용제어>