SDR 기반 단말기 기술 및 동향

육영수 · 박순준 · 오민석 · 최진성
LG전자 이동통신 기술연구소

요 약

본 논문에서는 SDR(Software Defined Radio)을 기반으로 한 단말기의 핵심 구성 요소 재구성형 단말 모뎀 기술을 개념과 동향을 살펴 본다. SDR 단말 모뎀은 재구성형 H/W 플랫폼과 재구성을 위한 S/W 구조를 기반으로 하고 있다. 재구성을 위한 S/W의 구조에 대한 연구는 그 동안 많이 진행되었으나, 이를 실현할 H/W 기술의 개발 지연으로 인해 전면적인 SDR 개념의 단말의 도입에는 상당한 시간이 걸릴 것으로 판단된다. 반면, 최근 들어 재구성형 단말 H/W 분야에서 다양한 솔루션들이 등장하면서 상용화 가능성이 높아지고 있다. 특히 제조업체 관점에서는 새로운 시스템에 대한 개발 기간과 비용의 절감, 그리고 사업자 관점에서는 새로운 서비스의 빠른 망 적용 및 다양한 망 형상 전개 용이성 등의 장점이 있다. 본 논문에서는 재구성형 단말 플랫폼의 개념과 개발 동향 및 발전 방향을 살펴보고, 재구성형 모뎀 솔루션을 적용한 개발 사례를 소개한다.

Ⅰ. 서 론

디지털 미디어의 발전과 더불어 음성, 데이터, 비디오 신호 등이 서로 동일한 비트 스트림으로 표현되면서 핵심망의 측면에서는 기존의 전화, 인터넷, 방송 등 개별적으로 존재하던 네트워크가 통합되면서 IP 기반의 개방형 구조로 진화하고 있다. 전국적인 무선 접속망을 통해 안정적인 서비스를 지원하던 통신 서비스는 주파수의 효율적인 이용이라는 기치 아래 이동 통신, 방송, 무선 랜, 블루투스 등의 다양한 네트워크가 연동하는 방향으로 변화하고 있다. 앞으로 이렇게 다양한 무선 접속 방식들이 공존하는 상황이 확대되면서, 사용자들이 장소나 시간에 구애 받지 않고 효율적인 서비스를 받는 유비쿼터스(Ubiquitous) 서비스를 실현하기 위해서는 이와 같이 다양한 무선 접속 망에 접속할 수 있는 기능을 갖는 단말기의 필요성이 높아질 것이다. 최근 등장하고 있는 셀룰라와 Wi-Fi 폰의 결합, DMB 폰, Bluetooth 지원 핸드폰 등은 이러한 경향을 보여주는 실례이다.

또한, 무선 주파수의 활용도가 높아지면서 보다 많은 주파수 자원이 활용되고 있다. 셀룰라의 경우 800 MHz, 1.8 GHz, 2 GHz, 2.5 GHz 등으로 그 영역이 확대되고 있으며, 무선 랜/ WiMAX 등의 경우 2.3 GHz, 2.4 GHz에서 5 GHz까지 매우 다양한 주파수 대역을 사용하고 있다. 또한, 최근 WRC2007에서 결정될 4G 시스템을 위한 주파수 대역은 2.7~4.9 GHz 사이의 다양한 대역들이 논의되고 있다. 실제로 WCDMA 시스템의 경우 총 10가지 주파수 밴드를 지원할 수 있도록 하고 있다[1].

다양한 통신 규격과 주파수를 모두 지원하기 위해서 현재까지 출시되고 있는 단말기는 다수의 H/W를 동시에 내장하는 구조이다. 이러한 멀티모드 단말기는 크기나 경제적 측면에서 비효율적이며, 새롭게 등장하는 무선 접속 모드들을 모두 수용할 수 없는 한계를 갖고 있다. 또한, 기존 시스템의 버그 수정이나 새로운 기능을 추가하려면 하드웨어 일부 또

는 전체를 새롭게 설계해야 하는 번거로움이 있다. 이러한 근원적인 문제의 해결을 위해서는 RF와 통신 모뎀의 재구성이 가능한 SDR(Software Defined Radio)의 도입이 필수적이다.

SDR은 여러 단체에 의해서 다음과 같이 정의되고 있다.

- ITU-R (M.2063): 주파수 영역, 변조 방식 또는 출력 전력을 포함한 RF의 동작 파라미터가 소프트웨어에 의해서 세팅되고 제어될 수 있는 라디오 또는 그 기술[2]
- SDR Forum: 무선 기지국과 단말기가 재구성이 가능하도록 하는 하드웨어와 소프트웨어 기술의 조합[3]

두 정의의 공통적인 요소는 소프트웨어에 의해 동작 파라미터가 변경되는 것을 주요 특징으로 하는 무선 장치로 요약될 수 있다. 결국 SDR은 통신 시스템을 구성하는 기지국과 단말기에서 무선 접속 기술 별로 다른 하드웨어를 사용하던 방식으로부터 공통 하드웨어를 소프트웨어적으로 재구성하여 다른 무선 접속 모드를 지원하는 방식으로 바꿔주는 핵심 기술이다.

SDR Forum에서는 다음과 같은 SDR의 단계를 정의하고 있다.

현재 대부분의 단말기는 Tier 1의 Software Controlled Radio 단계에 있으나, GSM, TD-SCDMA 등 복잡도가 낮은 통신 시스템의 경우 Tier 2에 근접한 단말기가 출시될 예정이다.

이러한 SDR 기술은 단순히 하드웨어를 소프트웨어 적으로 재구성하는 것에만 국한되어 있지 않으며, RF단에서의 다중 대역 다중 모드 지원과 끊김없는(seamless) 핸드오버, 각 구성 요소간 인터페이스의 표준화 및 개방화, 효율적인 소프트웨어 다운로드 방식 등을 포괄적으로 다루고 있다. 또한, 최근에는 효율적인 주파수 자원의 이용과 끊김없는 통신을 위해 무선 인지(Cognitive Radio) 기술에 많은 연구가 진행되고 있는데, 무선 인지 기술은 SDR 기술

〈표 1〉 SDR의 진화 단계[3]

Tier	명칭	정의
Tier 0	Hardware radio	모든 부분이 하드웨어로 구현되어 물리적인 방법으로만 변경이 가능한 라디오
Tier 1	Software controlled radio	제한적인 기능이 소프트웨어 제어를 통해 변경이 가능한 라디오
Tier 2	Software defined radio	넓은 주파수 영역에 걸쳐 현재 사용되거나 진행중인 표준 프로토콜 규격의 신호를 소프트웨어에 의해 제어할 수 있는 라디오. 주파수 영역 변환은 여전히 안테나 스위칭에 의해 구현됨
Tier 3	Ideal software radio	안테나 단에서 AD 변환을 하여 처리하며, 모든 기능이 소프트웨어에 의해 제어되는 라디오
Tier 4	Ultimate software radio	모든 기능이 프로그램이 가능하며, 통신 모드가 수 ms 이내에 전환되며, GPS에서 Video까지 모든 기능이 지원되는 라디오.

을 근간으로 하고 있다[4].

SDR 기술은 단일 하드웨어 플랫폼을 소프트웨어적인 재구성을 통해 특정 규격 내지 특정 목적의 통신 시스템으로 변경하여 다양한 무선 규격을 하나의 플랫폼상에서 제공할 수 있다는 점을 고려할 때, 향후 차세대 이동 통신 시스템의 근간이 될 핵심 기술로 평가될 수 있다.

SDR 및 재구성형 하드웨어 기술의 장점은 다음과 같이 살펴볼 수 있다[2].

특히, SDR 방식은 이종 규격간의 끊김 없는(seamless) 핸드오버 지원에 효율적이다. 복합적인 무선 통신 환경에서는 방송 및 셀룰라 서비스 뿐만 아니라 무선 랜, PAN 등의 개인 네트워크 서비스까지 수평 또는 수직의 핸드오버가 용이하다. 즉, 다양한 형태의 서비스, 응용 및 컨텐츠를 가장 적절한 무선 접속 방식을 통해 제공하고 복잡한 네트워크들 간의 유연

한 인터페이스를 보장하는 재구성 가능한 SDR 개념 기반의 통신 플랫폼이 요구된다[5]. 특히, 최근에 많은 연구가 이루어지고 있는 무선 인지(Cognitive Radio) 기술의 진보를 위해서는 SDR 기술은 매우 핵심적이라고 할 수 있다. 이렇게 다양한 SDR의 장점에도 불구하고 현재까지 SDR의 도입이 지연되는 것은 H/W의 발전 속도가 이러한 요구를 따라 주고 있지 못하기 때문이다. 아직까지 SDR 기술의 핵심은 여전히 재구성이 가능한 하드웨어 구조에 있다.

최근 들어 SDR을 표방하는 RF/Baseband H/W가 등장하고 있으나, 아직까지 기존의 H/W ASIC 기반 모뎀/ RFIC에 비해 경제성이나 그 성능에서 한계를 드러내고 있다. 그러나 몇몇 제품들은 3G 단말 모뎀을 구현할 수 있는 성능을 보여주는 등 가능성을 보여주고 있다.

본 기고에서는 단말 모뎀 H/W를 중심으로 재구성형 단말을 위한 핵심 기술 및 개발 동향을 살펴본다. 본 논문의 구성은 다음과 같다. 2장에서는 재구성형 단말의 기본 구조와 특징을 살펴보고, 3장에서는 재구성형 RF/Baseband 모뎀 칩 개발 동향에 대해 소개한다. 4장에서는 재구성형 단말 모뎀 솔루션 중 하나인 Sandbridge 사의 SB3010을 이용한 단말 모뎀 개발의 사례를 살펴보고, 마지막으로 결론을 맺는다.

〈표 2〉 적용 주체에 따른 SDR 의 장점

적용 주체	SDR 도입으로 인한 장점
사용자	- 단말기 사용 시간 증대 - 사용자가 원하는 서비스와 응용에 맞도록 자유자재로 재구성이 가능 - Worldwide Mobility와 Coverage
통신 사업자	- 전국망과 단말 모뎀 개발에 대한 부담이 적어 새로운 서비스의 도입이 용이함 - 다양한 부가가치 서비스의 제공을 통해 다른 사업자와 차별화 가능 - 주파수 이용 효율의 증대로 인한 실질적 용량 증대 효과
제조 업체	- 하드웨어 플랫폼의 단일화를 통해 연구 개발 및 설계, 제품 생산에 대한 비용 절감 - 이종 규격간의 통합형 단말기 및 follow-up 소프트웨어의 판매 가능 - 사용자에게 추가적인 기능 및 성능 향상 기술을 매우 손쉽게 제공 가능 - 빠른 시장 대응

Ⅱ. 재구성형 단말 모뎀의 구조와 특징

[그림 1]은 ITU-R에서 정의한 SDR의 기본 구조를 단말에 적용한 것이다. 그림에 보이는 각 구성 요소들의 요구 사항과 특징은 다음과 같다[2].

- 단말 응용 계층: 다양한 특성의 데이터를 효율적으로 처리하고, SDR 관리 시스템과의 협력을 통해 데이터 특성에 따른 효율적인 통신 시스템을 연동함.
- 시스템 독립적인 운영 체제: SDR에서는 통신 시스템에 따라 달라지는 구조를 모두 수용하는 개방형 구조의 다기능 OS가 요구되며, 여러 통신 시스템 별로 데이터의 다중화를 수행함.
- 다중 모드 통신 프로토콜: 통신 프로토콜 계층은 WCDMA/HSDPA, GSM 등 이동 통신뿐 아니라, 무선 랜, PAN, Mobile-WiMAX 등의 다양한 프로토콜을 포함하고 있으며, 동시에 여러 시스템에 접속하고, 여러 시스템간 핸드 오버가 가능해야 함. SDR 관리 시스템에 시스템 정보를 수시로 보고해야 함.
- 재구성형 모뎀: 물리계층을 담당하는 모뎀은 재구성이 가능하여 다양한 시스템을 모두 구현할 수 있어야 하며, 개별 구성 요소들은 모두 S/W에 의해 제어 가능한 구조를 가져야 함.
- SDR 관리 시스템: 마지막으로 이러한 여러 계층과 시스템을 모두 관리할 수 있으며, 시스템간 스위칭 또는 핸드오버를 수행하고 환경에 따라 보다 효율적인 통신을 수행할 수 있도록 관리함.

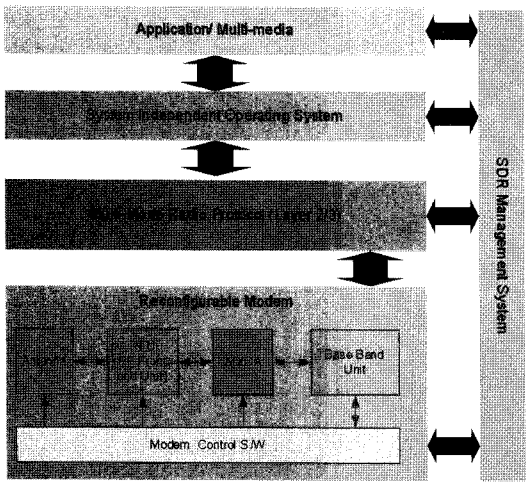
[그림 1]에서 보는 것과 같이 재구성형 단말 모뎀

은 안테나, RFU(RF Front-end Unit), AD/DA 컨버터, 기저 대역 처리기 (BBU)와 이를 제어하는 모뎀 제어 소프트웨어로 구성된다. 기본적으로 모든 구성 요소들은 소프트웨어적으로 재구성 또는 제어가 가능해야 한다.

서로 다른 물리 계층 규격의 무선 전송 시스템들은 대부분 상이한 기저대역 신호 처리 방식들을 적용하고 있어, 이들을 통합 처리하기 위해서는 기저 대역에서의 SDR 기술에 기반한 재구성형 모뎀 기술의 적용은 필수적이라 할 수 있다. 제조업체 입장에서 재구성형 모뎀의 사용은 다음과 같은 이득이 있다[6].

- 개발 기간의 단축
- 칩 성능에 대한 신뢰도 확보
- 다양한 표준에 대한 재구성 능력 지원
- 여러 표준에 대한 동일한 하드웨어 플랫폼 사용으로 인한 원가 절감
- 개발 실패에 대한 Risk 감소
- 시장 변화에 대한 빠른 적응
- 손쉬운 업그레이드

특히, 단말의 경우 동일한 플랫폼으로 다양한 통신 표준 및 모델을 지원할 수 있으므로, 모뎀 칩에 따라 다르게 설계를 수행해야 하는 불편을 줄일 수 있으며, 그에 따라 동일 하드웨어 플랫폼을 이용한 대량 생산이 가능해진다.



[그림 1] SDR 기반 단말 구조

다음에서는 재구성형 단말 모뎀의 핵심을 이루는 안테나, RFU(RF Front-end Unit), AD/DA 컨버터, 기저대역 모뎀의 요구 사항과 개발 동향을 설명한다.

2-1 재구성형 안테나

SDR을 위한 안테나는 400 MHz~5 GHz 대역에 걸치는 넓은 대역을 수신할 수 있어야 하면서 크기가 작아야 한다. SDR에서는 다양한 시스템을 수용해야 하므로 구현하고자 하는 모든 시스템의 주파수 대역에 대한 수신 성능을 만족해야 한다. 또한, 여러 시스템간 핸드 오버 등을 고려할 때 동시에 서로 다른 통신 방식에 대해 송수신이 가능해야 한다. 이 외에도 가능한 작은 크기를 만족해야 한다. SDR을 위한 안테나로는 다음과 같은 접근 방법을 검토할 수 있다.

최근에는 다양한 재구성형 안테나에 대한 연구와 함께 인체를 도체로 이용하는 안테나 기술에 대한 연구도 수행되고 있다[2],[7].

2-2 재구성형 RFU(Radio Frequency Unit)

재구성형 RFU는 다중 대역/ 다중 모드의 통신 시스템에 모두 적합하도록 재구성 가능해야 하는 것이 특징이다. 또한, 중요한 특징으로는 여러 대역의 다른 시스템들의 신호를 동시에 송수신 가능해야 하는 특징이 있다. 이를 위해서는 믹서, 증폭기, 필터 등이 모두 광대역 특성을 가지며, 상호 간섭을 제거할 수 있어야 한다.

기존의 다중 모드 수신기는 각각의 표준마다 독립적인 수신단이 필요하다. 그러나 아날로그 RF단에서의 처리를 최소화하면서 채널 선택을 디지털 필터를 사용하게 되면 보다 유연한 구성이 가능하다. 즉, 1개의 구성으로 다양한 표준과 주파수 대역을 지원할 수 있다.

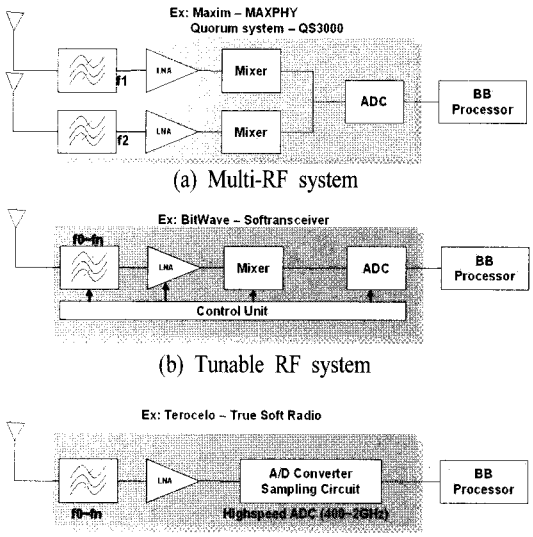
〈표 3〉 재구성형 안테나의 종류와 특징

구분	특징
다중 안테나 (Multiple antenna)	다수개의 안테나를 사용하는 방법으로 가장 간단하지만, 다중 안테나의 경우 추가적인 부품이 많아지면서 단가가 비싸지고 크기가 커지는 단점이 있다.
광대역 안테나	넓은 대역을 커버하지만 잡음이 심하고 모든 대역에 대해 동일한 이득을 줄 수 없다.
다중 밴드 안테나	선택도 등이 광대역 안테나에 비해 우수하지만, 잡음이 많고 매우 성능이 우수한 필터가 요구된다.
재구성형 안테나	효율적이나 구현에 어려움이 있다.

직접 변환 (Direct Conversion) 방식의 수신기는 IF (중간 주파수)를 사용하지 않고 반송파 (carrier)를 기저대역으로 바로 변환시켜 IF 관련 부품을 없애고 RF칩의 단순화를 통해 비용 절감의 효과를 가져오는 기술로 프로그램이 가능한 국부 발진기와 함께 사용할 경우 SDR을 위한 RF 수신기로 검토되고 있다. 반면, IF를 사용하는 수신기에 비해 채널 선택도 (channel selectivity)와 감도가 떨어지는 단점이 있다. 반면, 직접 변환 방식은 IF와 관련된 각종 SAW filter와 Mixer 등을 절약할 수 있기 때문에 원가 절감, 경량화, 시스템의 단일칩화(System on a chip: SoC) 등이 가능하다는 장점이 있다. 반면, IF를 사용하는 시스템에 비해 발진 문제, 선택도 문제와 DC offset과 같은 문제가 있으며, 광대역 특성을 갖는 저잡음 앰프 (LNA), RF Quadrature Mixer, Driver Amp 등의 연구가 필요하다[5].

SDR을 지원하기 위해서는 RF는 광대역과 다양한 모드를 지원해야 한다. 다중 모드 RF 솔루션은 [그림 2]에서 보이는 3가지 구조가 대표적이다[8].

첫 번째 접근 방법은 가장 널리 쓰이는 RF를 모두 집적하여 단일칩화 하는 Multi-RF 방안이다. 이 방법은 시스템별로 최적화가 가능한 장점이 있어 현재



[그림 2] 재구성형 RF Unit의 3가지 접근 방법

가장 널리 쓰이고 있다. 최근에 RF 칩의 집적도가 높아지면서 한 칩에 여러 개의 RF 밴드와 모드를 지원하는 칩이 증가하고 있다. 특히 Quorum System의 QS3000[9]과 Qualcomm의 RTR6285[10] RF Transceiver 칩은 단일 칩에 Quad-band GSM/GPRS/EDGE와 Tri-band WCDMA/HSPA 등 3GPP Release 6의 거의 모든 대역과 FOMA 등을 지원하는 멀티밴드 멀티모드 칩이다. 현재 주류를 이루는 단말의 기저대역 모뎀 칩들이 아날로그 인터페이스를 가지고 있기 때문에 그림에서처럼 ADC가 포함되어 있지는 않지만, 기저대역 모뎀이 DigRF 등의 디지털 인터페이스를 가지게 되면 ADC를 포함한 Multi-RF 구조를 가지게 될 것이다. 반면, 현재의 시장이 주로 셀룰라를 중심으로 되어 있었으나, 점차 WLAN, WPAN, WiMAX 등의 다양한 통신 모드가 추가되고 각 모드 별로 다양한 밴드를 지원이 필요한 멀티모드 멀티밴드 단말로 시장이 재편될 경우 적용에 한계가 있다.

이러한 문제의 해결을 위해서는 적은 수의 하드웨어를 이용하여 재구성이 가능한 RF 구조를 갖는

수신기가 필요하다. 재구성이 가능한 구조로는 먼저 조정 가능한 소자를 이용한 RF 수신기를 고려할 수 있다. [그림 2]의 (b)는 재구성이 가능한 필터, LNA, Mixer 등의 조합을 통해 다양한 시스템을 지원하는 Tunable RF 시스템의 개념을 보여주고 있다. 각 구성 요소들은 실제로 구성이 변경될 수 있으며, 또는 다수의 컴포넌트를 가지기도 하는데, 이러한 재구성의 조합을 통해 각 모드와 각 밴드별로 최적의 조합을 갖도록 한다.

Bitwave 사는 조정이 가능한 RF 소자를 이용해 소프트웨어로 재구성이 가능한 RF와 AD/DA가 결합된 칩인 Softransceiver를 선보였다[11]. 이 칩은 RF/ABB가 하나의 칩으로 구성되어 있으며, 소프트웨어를 통해 다양한 밴드와 모드로의 전환이 가능하다. 이 칩은 700 MHz에서 최대 4.2 MHz까지의 대역을 지원하며, 25 kHz에서 20 MHz까지의 대역폭을 지원한다. 특히, 내부에 재구성을 위한 Softransceiver controller 프로세서가 존재하여 소프트웨어 제어를 통해 GSM, WCDMA, Mobile WiMAX, cdma2000, Wi-Fi 등 다양한 통신 모드를 지원한다. 이러한 방식의 칩은 Multi-RF를 사용하는 경우에 비해서 RF 성능이 떨어지는 단점이 있으나, Bitwave는 이러한 문제를 ADC 이후에 이지털 시그널 프로세싱을 통해 해결한다. 반면, 이러한 구조는 멀티모드를 동시에 지원하는 경우 복수의 RF 경로를 가져야 하는 문제가 있으며, 시스템간 핸드오버 등을 위해 매우 빠른 스위칭이 지원되어야 하는 등의 문제점이 있다.

마지막으로 [그림 2](c)에 나타난 구조는 실제로 SDR의 초기에 나왔던 개념으로 RF 신호를 바로 sampling이 신호를 디지털 신호처리를 통해 처리하는 기법이다. 이러한 방법은 고속 ADC 기술과 매우 밀접한 관계를 갖고 있으며, Nyquist 샘플률 이론에 의하면 최소한 전송 대역인 수 GHz 이상의 샘플률을 가져야 한다. 최근 ADC 기술의 발전으로 인해 수 GHz를 지원하는 ADC가 출시되고 있다. 이러한 방식의 문제는 고속 ADC의 한계로 인해 송수신 밴드에 아직까지 제한이 있다는 점과, 높은 전력 소비에 의한 문제가 있다. Terocelo 사는 고속 ADC를 이용하여 RF 신호를 바로 AD 변환하여 Digital로 신호를 처리하는 True Soft Radio(TSR) 기술을 선보여서 현재 기지국에 적용하고 있으며, CMOS 공정을 통해 단말용 저전력 솔루션을 출시할 예정이다[12].

AD/DA 변환 기술은 SDR 개념에서 매우 중요한 기술이다. 재구성형 라디오 구현을 위해서 AD/DA converter는 낮은 소비 전력과 높은 정확도, 낮은 지터(jitter), 고속 변환 성능 등이 요구된다. 특히, 앞으로의 통신 시스템은 QAM, OFDM과 같이 높은 PAPR을 요구하는 전송 방식을 사용하며, 또한 수십 MHz 이상의 넓은 주파수 대역의 사용하기 때문에 대략 10 bit 이상의 높은 분해도(resolution)와 100 Msample/s 이상의 높은 샘플링 율이 요구될 것으로 보인다. 이는 또한, 단말기에 적용하기 위해서는 낮은 전력 소모와 변환 클럭의 높은 정확도가 요구된다. 또한, 서로 다른 변환 속도를 맞추기 위해서 샘플율 변환 필터가 필요하다. 보다 높은 효율을 위해서는 샘플율 변환은 기저 대역 프로세서의 앞 단에서 처리하는 것이 좋다[13].

2-3 재구성형 기저 대역 모뎀

기존의 시스템에서는 ASIC, DSP, APP(Application Processor) 등을 이용하여 기저 대역 모뎀을 구현하고 있다. 예전에는 대부분의 기능이 ASIC으로 구현되고, 프로토콜 등 일부 기능이 APP나 DSP에 적용되었지만, 최근에는 모뎀의 물리계층의 일부 연산이 DSP로 구현되는 모뎀이 등장하고 있다. 또한, 2G 시스템과 같이 상대적으로 복잡도가 적은 모뎀의 경우 기능의 매우 많은 부분이 S/W로 구현되는 모뎀도 등장하고 있다.

재구성형 프로세서로 고려될 수 있는 것으로는 DSP, FPGA, Parametric H/W 등이 있으나, 프로그래

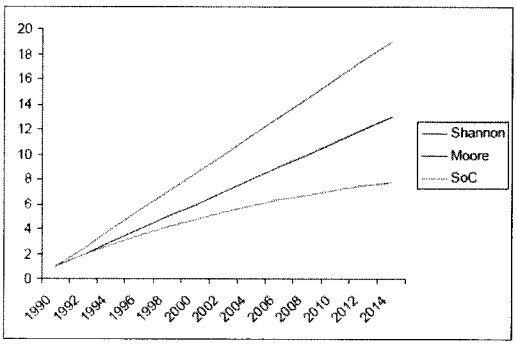
밍이 가능한 재구성의 핵심 기술은 여전히 DSP 기술이라고 할 수 있다. 특히, FPGA의 경우 계속적인 발전에도 불구하고 그 크기와 전력 소모량, 재구성 속도 측면에서 한계가 있다.

DSP로 모뎀을 구현하는데 있어서 가장 어려운 점은 DSP의 계산 속도가 아직 모뎀을 구현하기에는 부족하고, 전력 소모량은 높기 때문이다.

일반적으로 3G의 경우 10 GOPS 정도의 계산량이 요구된다고 알려져 있으며, 10 Mbps 급 HSDPA의 경우 30 GOPS, 무선 랜/WiMAX의 경우 최대 약 30 GOPS, 4G를 위해서는 약 100 GOPS 정도가 요구된다[14]. 또한, 단말 모뎀 측면에서 전력 소모량을 볼 때 200~300 mW 이내의 전력 소모량을 요구한다. [그림 3]은 Shannon의 법칙과 Moore의 법칙의 속도 차이와 SoC의 집적 속도의 차이를 비교한 것이다[15]. 이것은 현재 통신 시스템의 발전 속도를 프로세서 성능이 따라가지 못하는 것도 한계적인 요소임을 설명해 주고 있다.

DSP 외에 ASIC과 DSP의 중간적인 특성을 가지는 파라미터 기반 재구성형 하드웨어의 사용도 검토되고 있다. 재구성형 하드웨어는 DSP에 적합하지 않은 연산 등을 보완해 주는 용도로 사용될 수 있으며, 높은 복잡도를 크게 요구하면서 많은 통신 시스템에서 사용되는 FFT, FIR 필터와 같은 고속 신호 처리부, 채널 코딩/디코딩 모듈 등에 응용될 수 있다. 최근 Turbo Code나 LDPC 코드 등의 복잡도가 높은 채널 코딩 방식의 적용이 일반화 되면서 통신 모뎀에서 채널 디코더가 차지하는 복잡도 비중이 매우 높아지고 있는 추세로 이러한 형태의 하드웨어의 도입은 매우 유용하다.

반면, DSP 내부의 구조적인 변경을 통한 접근도 활발하다. 먼저 통신 시스템에서 자주 사용되는 중요한 연산을 위해 특별히 설계된 명령어 집합을 가지는 ASIP(Application Specific Instruction Processor)가 있다. FFT를 위한 Bufferfly 연산 또는 Viterbi Decoder를 위한 ACS(Add-Compare-Select) 연산 등의 지원이 그 예이다. 또한, 통신 시스템은 대부분 비트 단위의 연산이 이루어지므로 이를 위해 효율적인 비트단위 연산을 지원하는 기능이 효율적이다[16].



[그림 3] 통신 시스템의 발전속도와 반도체/프로세서의 발전 속도의 차이[15]

DSP 자체적인 성능 향상을 위해서는 Pipeline의 계층을 늘리는 방식, 메모리 Bandwidth를 크게 하는 방식 등이 있으며, 동시에 여러 연산을 수행하는 SIMD(Single- Instruction Mulitple Data) 방식 등의 적용을 통해 연산 속도를 증대하는 노력들이 있다. 실제로 Sandbridge의 Sandblaster[17]와 CEVA의 X1641[18], Tensilica의 Xtensa[19]의 경우 4개에서 최대 8개의 연산을 동시에 수행한다.

구조적인 측면에서 재구성형 프로세서 기술은 주요한 흐름은 프로세서 어레이를 사용하는 방식의 적용이다. 이러한 방식은 동일한 메모리와 버스를 공유하는 여러 개의 DSP 또는 프로세싱 유닛들이 병렬로 연결된 구조를 가지고 있으며, 여러 작업들이 동시에 이루어지는 통신 프로세스에 적합한 구조이다. 반면, 이러한 방식의 경우 복잡도와 전력 소모가 높은 단점이 있으며, 단말에서는 수 개의 코어를 사용하는 방식이, 기지국에서는 보다 많은 수의 코어를 사용하는 방식의 칩이 등장하고 있다.

실제로 최근 등장하고 있는 여러 솔루션 칩들도 이러한 경향을 따르고 있으며, 동일한 구조를 가지

는 여러 블록을 병렬로 연결하는 Multi-Core 구조를 사용하는 칩도 다수 등장하고 있다[13].

재구성형 프로세서의 중요한 성능 요소는 전력 소모량이다. 특히, 배터리를 사용하는 단말 모뎀에서는 그 중요도가 더욱 높다. 기본적으로 저전력을 구현하기 위해서 가장 기본적인 방법은 반도체 공정을 향상시키는 것이다. 기존에 출시되던 DSP들이 180 nm 공정을 사용했다면, 최근에는 대부분 130 nm 또는 90 nm 공정을 적용하여 전력 사용량을 낮추고 있다. 현재 메모리의 공정이 65 nm인 점을 볼 때, DSP 코어도 이러한 방향으로 진행될 것으로 보인다.

이와 함께 단말에서는 사용하지 않는 부품의 전력 소비량을 최소화 하는 방법을 사용하고 있는데, DSP에서도 이와 같은 방법들이 적용되고 있다.

일반적으로 적용되는 저전력 설계에는 다음과 같은 기법들이 있다.

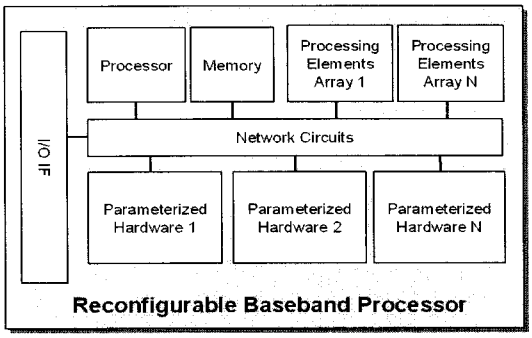
ITU-R WP8F의 SDR 보고서에서 나타난 기본적인 재구성형 기저대역 프로세서도 이와 같은 개념을 적용하여 크게 다음의 3가지 구조의 결합으로 이루어질 것으로 보고 있으며, 이를 기반으로 한 재구성형 기저대역 프로세서의 일반 구조는 [그림 4]와 같다[2].

- 높은 프로그램 능력을 가지는 프로세서 어레이 (Processing Element Array)
- 제한된 프로그램 능력을 가지나, 높은 연산 능력을 가지는, 특정 목적의 파리미터 제어형 하드웨어(Parameterized Hardware)
- 제어 등의 기능에 적용되는 CPU와 메모리

재구성형 단말 모뎀 칩은 높은 계산량과 더불어 저전력을 요구하므로 설계 및 구현에 어려움이 있다. 기지국 측면에서의 성능 요건은 계산 능력인데 반해, 단말 모뎀에서 주요한 성능의 지표는 계산 성능과 MACs/mW 와 같이 표현되는 계산 당 요구 전력이 있다. 또한, 가격도 매우 중요한 요소이다. 최근까지 등장한 재구성형 모뎀 솔루션은 대부분 높은 연산 능력을 가지는 기지국 용 솔루션이 대부분이었

〈표 4〉 저전력 DSP 설계 기술

	Low-power design method
Power management	- Gated Clock - Power-off unused parts - Reduced Clock Rate in idle parts
Reduced memory access	- Variable Instruction Length - User defined instructions - Compressed Instruction - Increased Parallelism
Data path configuration	- Full-custom data-path layout



[그림 4] 재구성형 기저대역 프로세서 구조[2]

으나, 최근에 단말용 상용 솔루션이 등장하고 있다.

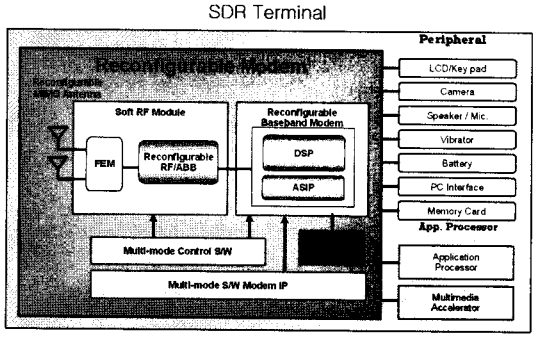
Sandbridge 사는 멀티코어/멀티thread 지원 DSP 기반 단말 모뎀 솔루션인 SB3010을 이용하여 WCDMA 384 kbps급 데이터 송수신을 시연하였다[17]. Analog Device 사는 Blackfin이라는 DSP 프로세서를 이용한 단말 모뎀 솔루션인 Softfone을 발표했다[20]. 이 외에도 Icera 사는 DSP 기반의 솔루션을 이용해 HSDPA category 7을 지원하는 데이터 카드를 출시했다[21]. 또한, Morpho Technology는 Freescale의 RCF 기지국 솔루션에 적용되었던 RC array 기술을 이용한 단말 모뎀용 프로세서 코어 SoC 솔루션을 발표하였다[22].

현재 출시되고 있는 솔루션들은 초기 단계의 상용 제품들로 최근 단말 모뎀 솔루션이 모뎀 프로세서 및 RF 칩셋, 어플리케이션 솔루션을 모두 포함하

는 통합 솔루션으로 출시되는 것과 비교했을 때 경쟁력이 약한 것이 단점이다. 실제로 많은 통신 단말 업체들이 단말 모뎀 개발에 뛰어들었다가 실제 상용화에는 이르지 못하는 것도 이러한 이유 때문이다.

그러나, 소프트웨어 기반 단말 모뎀은 하드웨어 모뎀에 비해 장점이 많아서 차세대 유비쿼터스 통신 시장의 확장과 함께 그 수요가 증가할 것이다.

[그림 5]는 단말 H/W 관점에서 고려할 수 있는 SDR 단말의 구조적인 형상을 보여주고 있다.



[그림 5] SDR 단말의 구조

〈표 5〉는 재구성형 단말 모뎀의 주요 구성 요소에 대한 요구 사항과 연구 주제이다.

Ⅲ. 재구성형 단말 플랫폼 개발

본 장에서는 SB3010을 이용하여 개발된 HSDPA-TDD 단말 플랫폼을 소개한다.

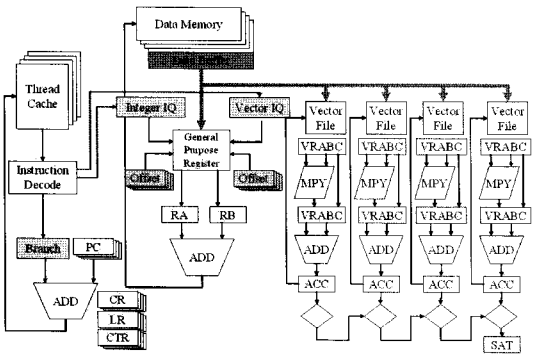
3-1 SB3010 재구성형 모뎀의 특징

SB3010은 고집적, 다중 모드, 다기능, S/W로 재구성이 가능한 저전력 디지털 기저 대역 processor이며, pthread programming에 효율적인 DSP Core(Sandblaster™) 4개와 하나의 ARM Core로 구성된다. 또한, 단말 응용을 위한 다양한 인터페이스 기능을 제공한다[17]. SB3000은 단말용 솔루션으로 다른 재구성형 모뎀 칩 솔루션들에 비해 소비 전력이 매우 낮다. 특히, 최적화된 컴파일러에 의해 매우 효율적인 병렬처리를 수행할 수 있는 장점이 있다. [그림 6]은 Sandblaster DSP core의 구조를 보여주고 있다.

Sandblaster는 pthread 기반의 프로그램을 효율적으

〈표 5〉 재구성형 단말 모뎀의 요구 사항과 연구 주제

Component	요구사항	연구 주제
Antenna	Wideband : 0.4~5 GHz small size Parallel reception and transmission	Programmable Antenna Human Body Antenna
RFU	Large Bandwidth : 25 k~100 MHz Low Interference S/W Controllable Tunable Mixer	Programmable RFU Multi-band HPA/LNA Tunable RF filters
AD/DA converter	High Bit Resolution : at least 10 bits Fast Conversion Rate : more than 100 MSa/s Low Conversion Jitter	RF/ABB Combined Circuit Fast Sampling Fast T/RX switching
Digital basebnd processor	Fast Signal Processing Multi-rate adaptive filter High Capacity Low Power Large Local Memory	Sample-rate Conversion Filter Reconfigurable Baseband Processor



[그림 6] Sandblaster DSP core 구조[17]

로 지원하기 위해 총 8개의 H/W thread를 가지고 있다. 또한, 4개의 MAC 프로세서가 존재하여 필터 연산 등을 보다 효율적으로 지원한다.

다음은 SB3010의 특징을 나열한 것이다.

- 16-bit fixed-point DSP Core
- 600-MHz Single Cycle Instruction Rate
- 최대 9.6 GMACs
- 효율적인 병렬 연산 (최대 32개의 multi-thread 지원)
- 150 MHz의 메모리 버스
- 1MB Integrated on-core Memory
- 0.021 mW/MMAC의 전력 소모
- 130 nm 공정의 저전력 CMOS Process

Sandbridge사의 SB3010은 H/W 가속기를 사용하지 않고 모든 모뎀 알고리즘을 DSP로 구현할 수 있으며, 특히 표준화된 POSIX 1.4 기반의 C 언어로 구현 가능하므로, 보다 높은 설계 유연성과 재사용성을 제공한다. 특히, 최적화된 컴파일러의 사용을 통해 보다 효율적인 모뎀 설계를 가능하게 한다.

Sandbridge사는 SB3010을 이용하여 384 kbps 전송률을 지원하는 WCDMA FDD를 약 3개의 DSP core로 구현할 수 있다고 발표했다.

3-2 SB3010을 이용한 단말 플랫폼 개발

앞서 소개한 Sandbridge 사의 SB3010 칩을 이용한 단말 모뎀 개발의 예제를 살펴보기로 한다.

전체 개발 과정은 크게 알고리즘 Coding, 계산량 최적화, thread 할당, 메모리 최적화, thread 스케줄링으로 나눌 수 있으며, 각각의 단계에서 발생된 문제는 상호 연관되어 있기 때문에 상위 및 하위 단계에서의 변화는 반대로 하위/상위 단계의 수정이 요구된다. 개발의 안정성을 위해 동일 과정이 여러 주기 반복된다.

본 개발에서는 IMT-2000의 표준 규격 중 하나로 중국 정부에 의해서 주도적으로 개발된 TD-SCDMA를 기반으로 하였다. 개발된 HSDPA TDD 시스템의 특징은 〈표 6〉과 같다[23].

HSDPA TDD 단말 모뎀 구현의 핵심 기술은 Joint Detection 수신기의 구현과 HSDPA의 높은 전송률을 지원하기 위한 채널 역다중화 및 디코딩 모듈의 구현이다.

TDD의 경우, 낮은 스크램블 코드의 사용으로 인해 코드간 간섭이 심하며, 이를 제거하기 위해 Joint Detection 방식의 다중 사용자 수신기를 사용한다. Joint Detection은 다중 사용자 및 다중 경로에 의한 간섭을 제거하기 위해 등화기를 사용하며, 등화기 구현을 위한 역행렬 연산에 많은 계산이 필요하다. 또한, HSDPA의 큰 전송블록의 크기로 인해 인터리빙, 터보 디코딩, H-ARQ를 위해 큰 메모리가 요구된

〈표 6〉 HSDPA TDD 시스템의 특징

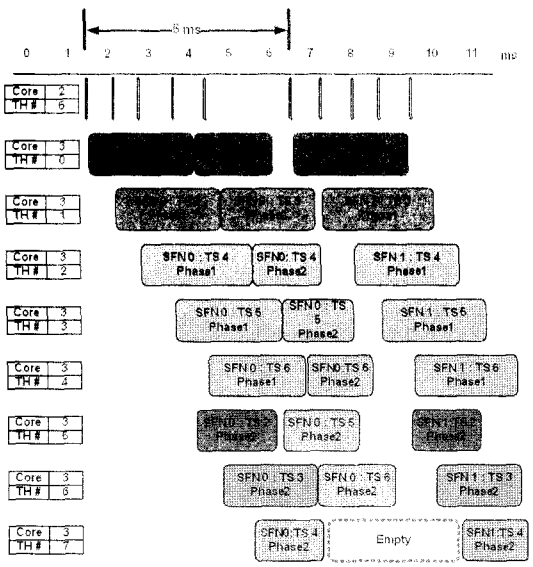
대역폭/칩속도	1.6 MHz/1.28 Mcps
이중화/다중화방식	TDD/ CDMA + TDMA
상하향 자원할당	1/6~6/1까지 변화가능
프레임구조	5 ms 부프레임, 7 Timeslot
HSDPA최대 전송률	2.8 Mbps
HSDPA TTI	5 ms
수신기	Joint Detection 수신기
확산률	16 (하향), 1~16 (상향)
상향링크동기	폐루프 동기제어

다. 특히, DSP를 이용한 구현에서 메모리의 문제는 핵심적이다.

[그림 7]은 8개의 thread를 이용하여 총 5개의 하향링크 타임 슬롯에 대한 Joint Detection을 수행하기 위한 시간-thread 스케줄 맵을 표시하고 있다. 각 타임 슬롯의 연산 시간은 5 ms 이내에 종료되어야 한다. 연산량 최적화를 통해 얻어진 전체 계산 시간이 5.9~7.1 ms로 나타나게 되어 전체 연산을 하나의 phase 1연산과 두 개의 phase 2 연산으로 나눈 뒤, 이를 총 8개의 thread에 분산 배치하였다.

다음 〈표 7〉과 [그림 8]은전체 모뎀 기능을 분화한 모듈과 각 모듈별로 Thread 할당한 예제를 보여준다. 하나의 thread가 75MHz의 동작 속도를 지원하므로, 사전에 요구되는 계산량을 통해 thread를 할당하게 된다.

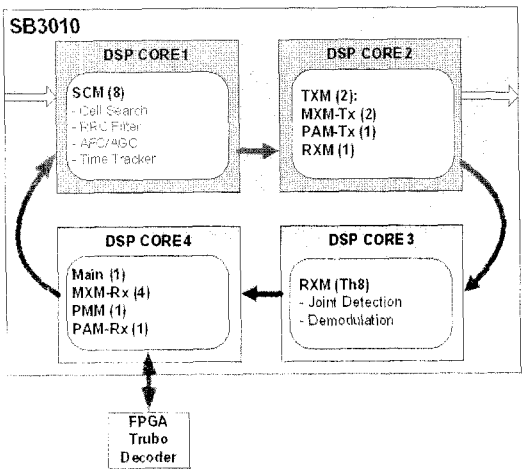
이렇게 할당된 thread는 4개의 코어에 여러가지 고려사항을 반영하여 [그림 8]과 같이 배치되었다. 추가적인 고려 사항으로는 모듈의 연관성과 코어 별 특징 구조에 기인한다. SB3010은 개별 코어에 256



[그림 7] 다중 thread를 이용한 Joint Detection 구현 예

〈표 7〉 모듈별 최대 계산량에 따른 thread 할당

모듈	최대 계산량	Thread 요구량	Thread 할당량
동기 모듈	515 MHz	6.87	8
복조기	520 MHz	6.9	9
변조기	45 MHz	0.6	1
채널 인코딩	30 MHz	0.4	1
채널 디코딩	235 MHz	3.13	4
	1,440 MHz (Turbo Decoder)	19.2	FPGA
L2/3 연동	22 MHz	0.29	2
모뎀 제어	26 MHz	0.347	1
Main			1
전체	1,393 MHz	18.57	27/32



[그림 8] 모듈별 thread/코어 할당

Kbyte의 L2 메모리를 가지며, 그림과 같이 한 방향의 링버스에 의해 전송된다. 링버스 전송이 효율적이기 위해서는 연산 순서대로 시계 방향에 위치해야 한다. 또 한가지 요소로 IQ RF 신호를 수신하는 것은 항상 코어1로, 반대로 송신은 항상 코어 2에서 수행되어야 한다.

이와 같이 thread 할당이 종료되면, 각 모듈에 대

해 연산 시간 및 메모리 Access 시간에 대한 스케줄링을 수행해야 한다.

이와 같은 과정을 통해 HSDPA 기능을 가지는 단말 플랫폼을 총 27개의 Thread를 사용하여 구현하였으며, 이 값은 전체의 약 84 %에 해당하는 값이다.

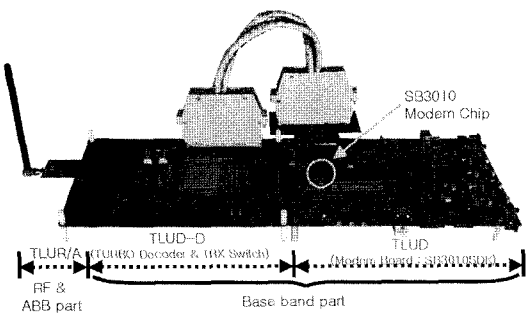
[그림 9]는 이와 같이 설계된 HSDPA TDD 단말 테스트 플랫폼을 보여주고 있다. 개발된 단말 플랫폼은 모뎀 보드인 TLUD와 Turbo Decoder 및 송수신 타이밍 제어를 위한 FPGA 보드인 TLUD-D, RF 및 AD/DA 컨버터를 포함한 TLUR/A 보드의 3가지 부분으로 구성된다.

RF/ABB 보드의 경우, 직접 변환 방식을 사용하는 Maxim의 TD-SCDMA Reference 디자인을 이용하였으나, 진정한 재구성형 단말 플랫폼을 위해서는 RF/ABB 부분에도 재구성이 가능한 플랫폼을 사용한 개발이 수행되어야 할 것이다.

Ⅳ. 결 론

본 논문에서는 차세대 통신 시스템의 핵심 기술로 평가되고 있는 재구성형 단말 모뎀의 구조와 연구 및 개발 동향을 살펴보았다. 또한, 실제 재구성형 단말 모뎀을 이용한 개발 예제를 통해 재구성형 단말의 구현 가능성을 확인해 보았다.

재구성형 단말은 제조 업체에 개발 기간의 단축, 칩 성능의 보장, 다양한 표준에 대한 재구성 능력 지원, 단일 하드웨어 플랫폼 사용 가능, 시장 변화에 대한 빠른 적응 등의 이득을 주며, 사용자에게는 소프트웨어 적으로 기능을 쉽게 확장할 수 있는 능력을 준다. 또한, 사업자 관점에서는 새로운 서비스의 빠른 망 적용 및 다양한 형상 전개 용이성 등의 장점이 있다.



[그림 9] HSDPA TDD 재구성형 단말 플랫폼

최근 다양한 다중 접속 방식들이 등장하면서 재구성형 단말 모뎀에 대한 요구가 증가하고 있으며, 최근 들어 상용화 수준의 여러 모뎀 솔루션들이 등장하면서 이에 대한 관심도 높아지고 있다.

SDR 관점에서의 궁극적인 모뎀 칩은 fully programmable한 프로세서 형태가 되어야 할 것으로 보이나, 현 단계 솔루션들이 갖는 성능과 전력 소모 같은 한계로 인해서 구현에 어려움이 있다. 최근 등장하는 구조들은 현실성을 반영하여 블록들의 특징에 따라 다른 형태를 갖는 하이브리드 형태의 칩 솔루션들이 주류를 이룰 것으로 보인다. 그러나, 여전히 DSP의 성능 발전이 SDR 단말의 가장 중요한 핵심 요소이다.

또한, 최근 단말 모뎀은 RF에서부터 단말 응용 기능까지 모두 지원하는 패키지 형태로 공급되는 것이 추세이다. 또한, 멀티미디어 및 개인화 추세에 따라 단말의 통신 기능은 개인 멀티미디어 기기에 포함되는 부속 기능이 되어가고 있는 추세이다. 앞으로의 재구성형 단말 모뎀의 성공 여부는 이와 같은 시장의 트렌드를 만족하는 통합 솔루션의 개발 여부에 달려 있을 것이다.

참 고 문 헌

[1] 3GPP TSG-RAN TS25.101, "User Equipment (UE) radio transmission and reception (FDD)".

[2] REPORT ITU-R, M.2063, "Software defined radio in IMT-2000, the future development of IMT-2000 and systems beyond IMT-2000".

[3] SDR Forum [Online]. Avalable, http://www.sdr-forum.org

[4] Jacques Palkot, Christian Roland, "A new concept for wireless reconfigurable receivers", *IEEE Comm. Mag.*, pp.124-132, Jun. 2003.

[5] SDR Forum Technical Report 2.1, Nov. 1999.

[6] H. Kalte, "Dynamically reconfigurable system- on-programmable-chip", *Proc. of EUROMICRO- PDP*, 2002.

[7] 박성욱, "Multi-antenna and tunable antenna for 4G mobile terminal", *Reconfigurable Radio Workshop 2007*, pp. 176-196, Aug. 2007.

[8] E2RII White Paper, "RF Transceiver Architecture for Cognitive Radio User Equipment", Jun. 2007., Available at http://e2r2.motlabs.com

[9] Quorum Systems [Online]. Available at http://www.quorumsystems.com

[10] Qualcomm [Online]. Available at http://www.qualcomm.com

[11] John A. Kilpatrick, Russell J. Cyr, Erik L. Org, and Geoffrey Dawe, "New SDR architecture enables ubiquitous data connectivity", *RF Design Mag.*, pp 32-38, Jan. 2006.

[12] R. Hickling, O. Panfilov, T. Turgeon, and M. Yagi, "Evolution of true software definable radio", *2004 SDRF Conference, 2004-Phoenix*, Arizona, Nov. 2004.

[13] E2R White Paper, "Hardware Technology Exploration: Impact of Technology Evolution on E2R", Available at http://e2r.motolabs.com, Dec. 2005.

[14] Y. Lin, H. Lee, M. Woh, Y. Harel, S. Mahlke, T. Mudge, C. Chakrabarti, and K. Flautner, "SODA: A high-performance DSP architecture for software-defined radio", *IEEE Micro,* vol. 27, Issue 1, pp 114-123, Jan.-Feb. 2007.

[15] White Paper (WP100) - Baseband Processors for Wireless: Issues, Analysis & a Comparison of Architecture, pocoChip Designs Ltd.

[16] Sug H. Jeong, Myung H. Sunwoo and Seong K. Oh, "Bit manipulation accelerator for communication systems digital signal processor", *EURASIP Journal on Applied Signal Processing*, Issues 16, pp. 2655-2663, 2005.

[17] John Grossner et al, "A software-defined communications baseband design", *IEEE Comm. Magazine*, pp. 120-128, Jan. 2003.

[18] CEVA-DSP [Online]. Available at http://www.ceva-dsp.com

[19] Tensilica [Online]. Available at http://www.tensilica.com

[20] Analog Devices, Inc. [Online]. Available at http://www.analog.com

[21] Icera Semiconductor. [Online]. Avaiable at http://www.icerasemi.com

[22] A. Niktash, R. Maestre, and N. Bagherzadeh, "A case study of performing OFDM kernels on a novel reconfigurable DSP architecture", *IEEE MILCOM 2005*, vol. 3, pp1813-1818, Oct. 2005.

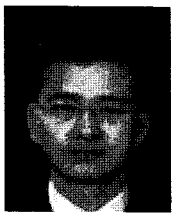
[23] Siemens White Paper, "TD-SCDMA: the solution for TDD bands", Mar. 2004.

≡ 필자소개 ≡

육 영 수

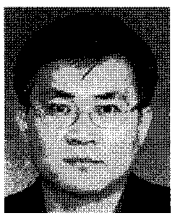
1996년 2월: 연세대학교 전자공학과 (공학사)
1998년 9월: 연세대학교 전자공학과 (공학석사)
2003년 2월: 연세대학교 전기전자공학 (공학박사)
2003년 3월~2003년 12월: LG전자 UMTS 시스템 연구소
2004년 1월~현재: LG전자 이동통신기술연구소
[주관심분야] MIMO, Turbo Code, OFDM, SDR 단말 모뎀

박 순 준



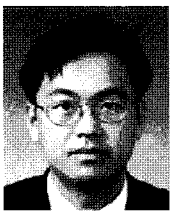
1987년 2월: 고려대학교 전자공학과 (공학사)
1989년 2월: 고려대학교 전자공학 (공학석사)
1989년~2000년: LG 정보통신 교환연구소
2000년~2003년 9월: LG전자 기간망 연구소
2003년 10월~2003년 12월: LG전자 UMTS 시스템 연구소
2004년 1월~현재: LG전자 이동통신기술연구소
[주 관심분야] 이동통신기술, TDD기술, SDR

오 민 석



1989년 2월: 연세대학교 전기공학과 (공학사)
1996년 9월: University of Surrey (공학석사)
2000년 2월: University of Surrey (공학박사)
1989년~1995년: 현대 전자 (산업 전자 연구소)
1999년~2001년: LG전자 기술원
2001년~2003년: LG전자 UMTS 시스템 연구소
2004년~현재: LG전자 이동통신기술연구소
[주 관심분야] Channel Coding & Modulation, MIMO

최 진 성



1987년 2월: 서울대학교 제어계측공학과 (공학사)
1994년 2월: University of Southern California Electrical Engineering (공학석사)
1998년 2월: University of Southern California Electrical Engineering (공학박사)
1987년~1989년: LG정보통신 TDX교환기 연구단
1989년~1992년: 삼보컴퓨터 소프트웨어 사업본부
1998년~1999년: LG종합기술원
2001년~2003년: LG전자 UMTS 시스템 연구소
2004년~현재: LG전자 이동통신기술연구소 소장 (상무)
[주 관심분야] IMT-2000, 무선인터넷, All IP