

볼로미터형 적외선 센서의 신호처리회로 설계 및 특성

김진수* · 박민영*** · 노호섭* · 이승훈** · 이제원* · 문성욱** · 송한정*†

Design and analysis of a signal readout integrated circuit for the bolometer type infrared detect sensors

Jinsu Kim*, Minyoung Park***, Hoseob Noh*, Seounghoon Lee**,
Jewon Lee*, Sung Wook Moon** and Hanjung Song*†

Abstract

This paper proposes a readout integrated circuit (ROIC) for 32×32 infrared focal plane array (IRFPA) detector, which consist of reference resistor, detector resistor, reset switch, integrated capacitor and operational amplifier. Proposed ROIC is designed using $0.35 \mu\text{m}$ 2P-4M (double poly four metal) n-well CMOS process parameters. Low noise folded cascode operational amplifier which is a key element in the ROIC showed 12.8 MHz unity-gain bandwidth and open-gain 89 dB, phase margin 67° , SNR 82 dB. From proposed circuit, we gained output voltage variation $\Delta 17 \text{ mV}/^\circ\text{C}$ when the detector resistor varied according to the temperature.

Key Words : bolometer, ROIC, readout, infrared, OP-AMP, CMOS

1. 서 론

적외선 감지 기술은 제 2차 세계대전을 기점으로 군사적인 목적으로 사용하기 위한 수요가 증대되면서 관련 기술이 급속히 발전하였으며 야간경비 시스템, 의료용 열상 카메라, 열 누수 방지 시스템, 무인자동차 항법장치 등 민수 분야와, 야간감시장비, 이동식 적외선 카메라 등 국방용으로 광범위 하게 응용되고 있다^[1,2].

적외선 센서는 크게 극저온 냉각장치를 필요로 하게 되는 냉각형과 상온에서 동작이 가능한 비냉각형으로 나눌 수 있다. 냉각형의 대표적인 방식인 광자형 센서는 반도체를 이용하여 적외선의 광자적 특성을 감지해 내는 방식이다. 저전력 손실과 탐지도가 뛰어나다는 장점이 있으나 진공용기와 냉각기의 가격이 소자를 제조하는 단가 이상으로 높고 냉각 보조장치 무게가 이동성을 제한하는 등의 단점이 있다. 비냉각형 적외선 센

서는 탐지도가 냉각형 적외선 검출소자에 비하여 떨어지나 경량성, 상온 동작과 가격대비 성능 우수성 등의 장점이 있다. 최근 선진국에서는 저가이면서 소형화가 가능한 비냉각 센서의 기술개발을 대폭 강화하고 있는 추세이며, 국내의 경우에도 기존에 진행되어 온 냉각방식의 적외선 센서 제작에 활용되었던 마스크 설계, 제작공정, 제작소자 및 시스템 평가 기술의 많은 부분을 활용하여 향상된 성능의 비냉각 센서 개발에 많은 관심을 기울이고 있다. 볼로미터는 적외선이 감지센서의 온도변화에 따른 저항변화를 측정하는 원리로 감지도와 응답도의 우수성, 집적화 형태로 제조 할 수 있다는 점에서 비냉각 적외선 센서의 기준으로 사용되고 있다. 특히 최근에 주목 받고 있는 MEMS 기술은 소형화된 마이크로 볼로미터와 실리콘 ROIC(신호검출회로)를 결합시켜 성능이 우수한 적외선 센서의 상용화를 가능하게 하였다. 적외선 감지층의 저항체로는 현재까지 VOx가 대표적이지만 그 외 금속재료로 Ti, NiFe, 그리고 초전도체인 YBCO 등을 사용하기도 한다. 현재 상용화 된 볼로미터의 감지능은 $10^8 \text{ cmHz}^{1/2}/\text{W}$ 이며 $10^8 \text{ cmHz}^{1/2}/\text{W}$ 이상으로 개선하고자 하는 노력이 활발히 진행되고 있다^[11]. 이를 위하여 새로운 구조의 소자개

*인제대학교 나노공학부(School of NANO Engineering, Inje University)
**한국과학기술연구원 마이크로시스템연구센터(Microsystem Research Center, Korea Institute of Science and Technology)

***유우일렉트로닉스(U Electronics Co.,Ltd.)

†Corresponding author: hjsong@inje.ac.kr

(Received : October 19, 2007, Accepted : November 17, 2007)

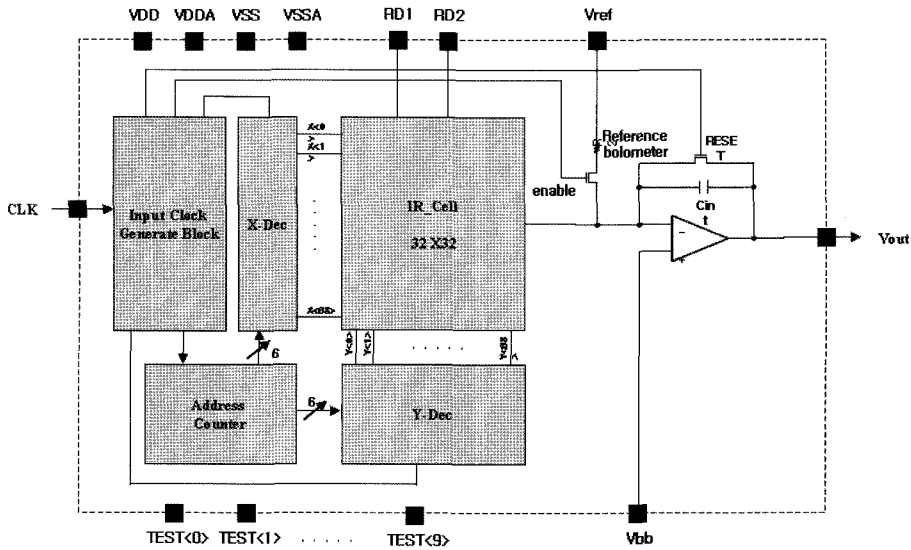


그림 1. 32×32 적외선 감지소자 어레이
Fig. 1. Block diagram of 32×32 pixel array.

발 노력과 열 손실의 최소화, 감지층의 성능지수인 TCR(temperature coefficient of resistance)값이 높은 재료의 선택 등이 모색되고 있고, 센서어레이를 실리콘 신호취득회로 위에 결합하는 방법, 잡음 면역성이 강한 신호취득회로의 개발 등이 볼로미터의 성능 향상을 위한 가장 중요한 문제로 등장하고 있다^[4,5]. 일반적으로 적외선 센서는 미약한 열 신호를 감지하여 전기적 신호를 발생시키는 적외선 감지소자와 발생된 전기적 신호를 검출하여 처리하는 신호취득회로, 그리고 영상 구현을 위한 신호처리 시스템 등으로 구성된다^[3]. 적외선 센서의 성능 평가에 있어서 가장 중요시 되는 것이 잡음 특성이다. 따라서 제작될 신호검출 회로의 특성이 감지 소자의 특성을 제한하지 않도록 신호검출 회로는 저 잡음 특성을 가지도록 설계 되어야 한다^[12,13].

본 논문은 32×32 array 구조의 볼로미터형 적외선 센서에서 사용될 수 있는 저잡음 특성의 신호처리회로(ROIC)를 제안한다. 제안하는 회로는 기준저항, 감지소자 저항, 리셋스위치, 적분 커패시터, 연산증폭기로 구성된 적분기 구조로 이루어지며 0.35 μm 2P-4M(double poly four metal) n-well CMOS 공정 파라미터를 사용하여 설계, 구현한다.

2. 마이크로 볼로미터의 신호검출회로 설계

2.1. 마이크로볼로미터 적외선 감지소자 어레이

제안하는 32×32 배열 신호취득 회로는 그림 1에서

와 같이 볼로미터 저항에서 발생하는 직류 바이어스 성분을 일차적으로 제거하기 위한 기준 저항, 전류신호를 전압의 형태로 변환하는 적분기, 내부 신호 발생기, 어드레스 카운터, X·Y 디코더로 구성된다.

기존의 신호검출회로는 구동하기 위하여 필요한 신호들을 모두 외부에서 입력을 하였다. 그러나 외부에서 많은 신호를 직접 입력할 경우 회로가 불필요하게 복잡해지고 시간 지연이 일어나게 되며 신호검출회로에서 가장 큰 문제인 잡음이 발생하게 된다. 따라서 내부에서 필요한 모든 신호를 만들어주는 내부 신호 발생기를 추가 설계하였다. 단일 픽셀 소자의 신호를 읽어내기 위해서 일반적으로 시프트 레지스터를 이용한 순차적 신호선택회로를 이용하지만 본 회로에서는 배열이 늘어나더라도 사용할 수 있는 메모리 액세스 방식인 X-디코더, Y-디코더를 설계 하였으며 이를 구동하기 위하여 행(row)와 열(column)에 각각 어드레스 카운터에서 생성된 내부 신호를 입력으로 사용하였다. 제안하는 신호검출회로는 직접 회로 위에 감지소자 부분이 집적하게 올라가는 구조이다. 따라서 전체 시스템이 동작 하지 않을 경우 그 문제점을 해결하기 위하여 신호검출회로의 문제인지 감지소자 부분의 문제인지 검증할 수 있는 테스트 패드를 적외선 셀 부분과 회로 블록 부분에 추가하였다. 본 논문에서는 감지 소자의 성능(표 1)을 바탕으로 적외선 감지 소자의 특성을 제한하지 않으면서 잡음특성이 강하고 더 큰 array로의 확장이 가능한 신호취득회로를 설계하였다. 적외선 감

표 1. 적외선 감지소자의 사양

Table 1. Designed IR detector parameter

Operating temperature	20~25 °C
Temperature of body (T ₁)	300 K
Temperature of body (T ₂)	301 K
Body variation (T)	1 K
Basic resistance of device	50 kΩ
TCR	3 %
Thermal conductance	1e-7 W/K
Temperature variation of Device	<0.0126 K
Resistance variation (R _d)	<19 Ω
Range of R _d variation	30~70 kΩ
Array pitch	50 μm
Process variation	±10 %
A/D Converter resolution	8-bit

표 2. 적외선 신호취득회로의 사양

Table 2. Designed IR ROIC parameter.

Frame rate	60 frame/s
Pixel rate	250 kpixel/s
Pixel period	4 μs
Integration time (T _{int})	1.5 μs
Integration capacitance (C _{int})	0~10 pF
Bias voltage (V _{bb})	0~3.3 V
Chip size	5 mm × 5 mm
S/N ratio	60 dB
Device resistance (R _D)	50 kΩ
Output voltage (V _{out})	0~3.3 V
R _D	<19 Ω
V _{out}	3.3~17 mV

저 소자 기본 사양은 표 1과 같다. 적외선 감지 소자의 기본 저항은 50 kΩ으로 가정하였으며 소자의 저항 변화 범위는 30~70 kΩ이며 실제 MEMS 공정으로 감지 소자가 제작될 때 공정 오차는 ±10 %로 감안하였다. 물체의 온도가 1 K 변한다고 가정할 경우 감지 소자의 온도는 0.0126 K가 변하게 되며 이에 따른 감지소자의 저항은 최대 19 Ω이 변하게 된다.

표 2에서 최대 frame 주파수를 60으로 결정하여, 배열의 크기가 2배까지 늘어나도 제안된 설계된 회로를 이용하면 단일 출력으로 30 frame/sec 의 출력 속도를 얻을 수 있도록 하였다. 또한 배열의 크기가 2배 이상 커지거나 출력 경로의 수가 증가 되더라도 출력 단의 설계는 수정 없이 원하는 속도를 얻을 수 있다. 60 frame/sec를 픽셀률으로 환산하면 64×64×60≈250 kpixel/sec의 속도가 나오게 된다. 즉, 출력 단을 설계시

250 kHz 이상의 주파수 특성이 얻어질 수 있도록 출력 단의 특성을 고려하여 설계하였다. 또 픽셀 주기는 4 μs이며 1.5 μs로 적분할 경우 출력은 3.4~17 mV로 나타났다. 기존의 신호취득회로는 구동하기 위하여 필요한 신호들을 모두 외부에서 입력을 하였다. 그러나 외부에서 많은 신호를 직접 입력할 경우 회로가 불필요하게 복잡해지고 시간 지연이 일어나게 되며 신호취득회로에서 가장 큰 문제인 잡음이 발생하게 된다. 따라서 내부에서 필요한 모든 제어 신호를 만들어주는 내부 신호 발생기를 추가 설계하였다. 단일 pixel 소자의 신호를 읽어 내기 위해서 일반적으로 시프트 레지스터를 이용한 순차적 신호선택회로를 이용하지만 본 논문에서 제안하는 회로에서는 array가 늘어나더라도 사용할 수 있는 메모리 access 방식인 Row decoder, Column decoder를 설계 하였으며 이를 구동하기 위하여 row와 column에 각각 Address counter 에서 생성된 내부 신호를 입력으로 사용하였다.

2.2. 제안하는 적분기 구조의 신호검출회로

그림 2는 신호검출회로의 적분기 이다. X-Y 디코더를 이용하여 선택된 감지소자는 전류신호를 전압의 형태로 변환하는 적분기로 사용하게 될 연산증폭기, 내부 신호 발생기, Address counter, Row-column decoder, 32×32 적외선 감지소자 배열이 공정이 될 IR Cell 부분으로 구성된다.

그림 2와 같이 기준 저항과 감지소자가 구성이 되며 전압을 인가하였을 경우 기준 저항과 감지소자 저항의

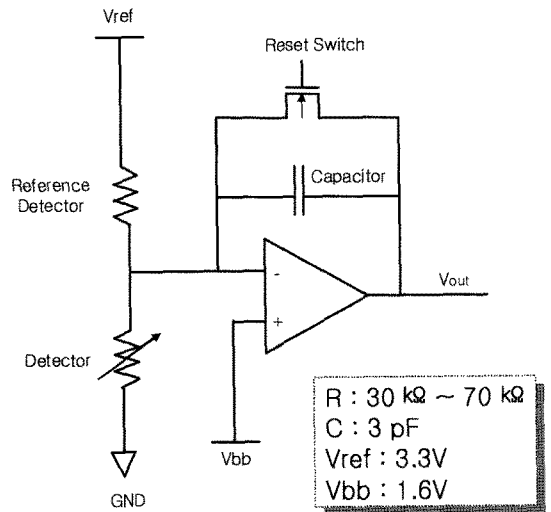


그림 2. 제안하는 적분기 구조의 신호검출회로
Fig. 2. Schematic of the proposed integrator type readout IC.

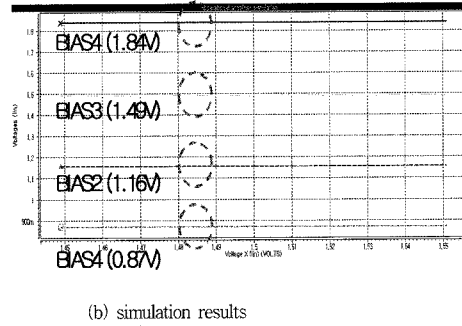
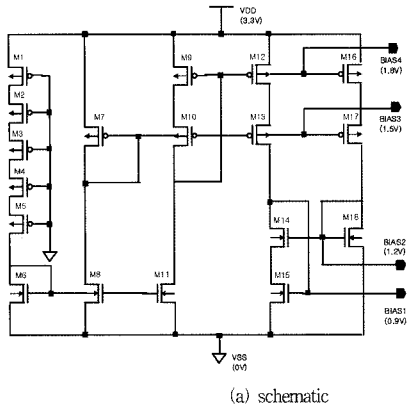


그림 3. 연산증폭기 바이어스 회로
Fig. 3. Bias circuit of operational amplifier for ROIC.

차이 만큼 따라 흐르는 전류를 일정한 시간 동안 적분하여, 전압의 형태로 신호를 출력하며 다음 감지소자를 적분하기 위해서 스위치로 리셋 시켜주는 것이 신호검출 회로의 기본 개념이다.

주어진 사양으로부터 readout 회로의 출력 단 설계에 필요한 요구 사양을 구하면, 출력 단의 경우, 동작에 있어서 가장 중요한 부분이 원하는 주파수 특성을 보이는 것이다. 일반적으로 readout 회로의 마지막 출력 단에는 output driver가 존재하여 load를 구동하게 되는데, 이러한 output driver의 동작 특성을 고려하는 것은 매우 중요한 일이다. 연산 증폭기의 설계에서 가장 먼저 해야 할 일은 어떠한 구조의 연산 증폭기를 선택할 것인가를 결정하는 것이다. 본 설계에서는 비교적 큰 이득에 동작 주파수가 높은 folded cascode 연산 증폭기를 사용한다.

제한하는 신호검출회로에는 적분기로 연산 증폭기를 사용한다. 연산 증폭기는 두 입력 차이에 대해 매우 큰 전압 이득을 갖는 증폭기로 회로를 구현하는데 있어서 가장 기본적인 구성 블록이다. 그러나 실제의 연산 증폭기를 구현하는 경우 기본적인 전압 증폭기의 성능과 여러 가지 현실적인 요소들을 고려하여 증폭기의 설계를 수행한다.

신호검출회로의 출력단 설계시 동작에 있어서 가장 중요한 부분이 원하는 주파수 특성을 보이는 것이다. 따라서 높은 전압 이득과 주파수 특성을 동시에 얻을 수 있는 folded-cascode 연산증폭기 방식으로 설계하였다. 그림 3은 본 논문에서 설계한 folded-cascode 방식의 연산증폭기를 위한 바이어스 회로이다.

일반적으로 신호검출 회로의 마지막 출력단에는 출력 드라이버가 존재하여 부하를 구동하게 되는데, 이러

한 출력 드라이버의 동작 특성을 고려하는 것은 매우 중요한 일이다. 동작 속도가 250 kHz이며 부하용량을 3 pF으로 고려할 때, 출력단의 리셋 작업이 원활하게 이루어지기 위해서는 적어도 1 μs 이하의 정착시간 (settling time)을 보이는 출력 드라이버의 설계가 필요하다. 이 경우 출력단 증폭기의 단위 이득 주파수와 개방 이득은 각각 1 MHz, 60 dB 이상이어야 하며 출력 전류가 20 μA 이상이 흘러야만 한다. 그림 4는 설계한 출력단 증폭회로이다.

출력단의 증폭기는 신호검출 회로에서 리셋 클럭의 펄스 폭을 1 μs(pixel time의 1/4)에 맞추기 위해 정착 시간을 1 μs 이내로 하고 슬루율을 2 V/μs 이상으로 하여야 한다. 여기서 정착 시간을 결정함에 있어서 오차 한계가 중요하게 되는데, 오차는 0.1 %로 하였다.

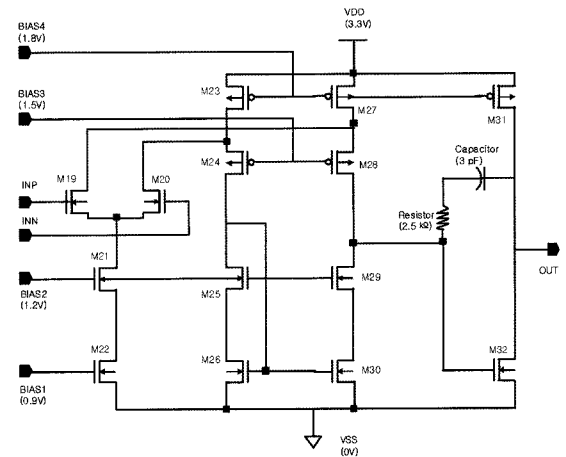


그림 4. 폴드드 캐스코드 연산증폭기 회로도
Fig. 4. Schematic of folded-cascode operational amplifier.

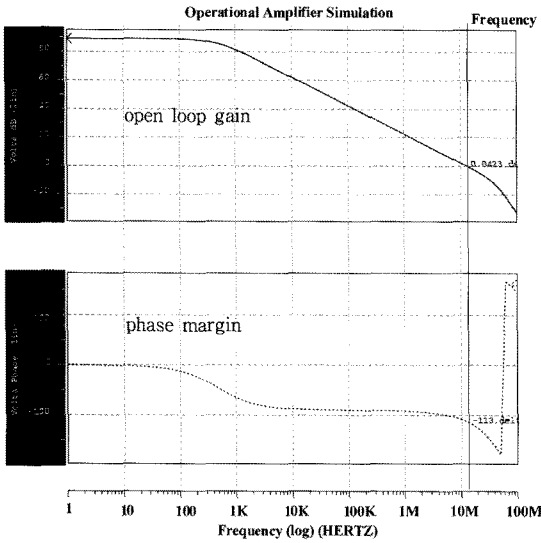


그림 5. 연산증폭기의 개방이득 및 위상특성
Fig. 5. Frequency responses of the operational amplifier.

그림 5는 설계한 내용을 바탕으로 회로 동작에 대한 출력단 증폭기를 시뮬레이션 결과이다. 이득은 89 dB이며 위상 여유는 67°으로 결과가 원하는 특성을 모두 만족하였다.

Readout 회로의 출력 단 설계에 필요한 요구 사양을 구하면, 출력 단의 경우, 동작에 있어서 가장 중요한 부분이 원하는 주파수 특성을 보이는 것이다. 일반적으로 readout 회로의 마지막 출력 단에는 output driver가 존재하여 load를 구동하게 되는데, 이러한 output

driver의 동작 특성을 고려하는 것은 매우 중요한 일이다. 동작 속도가 250 kHz이며 load capacitance를 3 pF으로 고려할 때, 출력 단의 reset 작업이 원활하게 이루어지기 위해서는 적어도 1 us 이하의 settling time을 보이는 output driver의 설계가 필요하다. 이 경우 출력 단 증폭기의 단위 이득 주파수는 1 MHz 이상이어야 하며 출력 전류가 20 μA 이상이 흘러야만 한다. 출력 단의 연산 증폭기는 readout 회로의 reset clock의 pulse width을 1 us(pixel time의 1/4)에 맞추기 위해 settling time을 1 μs 이내로 하고 slew rate을 2 V/us 이상으로 하여야 한다. 여기서 settling time을 결정함에 있어서 오차 한계가 중요하게 되는데, 출력 단 amp의 뒷 단은 8 bit ADC로 sampling 하는 것을 전제로 하므로 quantization error를 고려하여 settling의 오차는 0.1 %로 하였다. 0.1 % settling time을 1 us 이내로 하기 위하여 다음 수식으로부터 amp의 동작 주파수, 즉 unity gain freq.는 1 MHz 이상이 되어야 함을 알 수 있다. 또한 0.1 % 이내로 settling하기 위해서는 amp의 이득이 1000 이상이 되어야 한다.

출력단에서 보이는 교류 성분의 잡음 크기는 출력 증폭기와 버퍼단에 의하여 발생하는 잡음 크기의 합으로서 식 (5)과 같이 나타내어진다.

$$V_{rms}^2 = \int_0^\infty \left(1 + \frac{C_{in}}{C_f}\right)^2 E a l^2 df + \int_0^\infty E a^2 df \tag{5}$$

따라서 신호검출회로에서 발생하는 총 잡음의 크기는 식 (6)과 같게 된다.

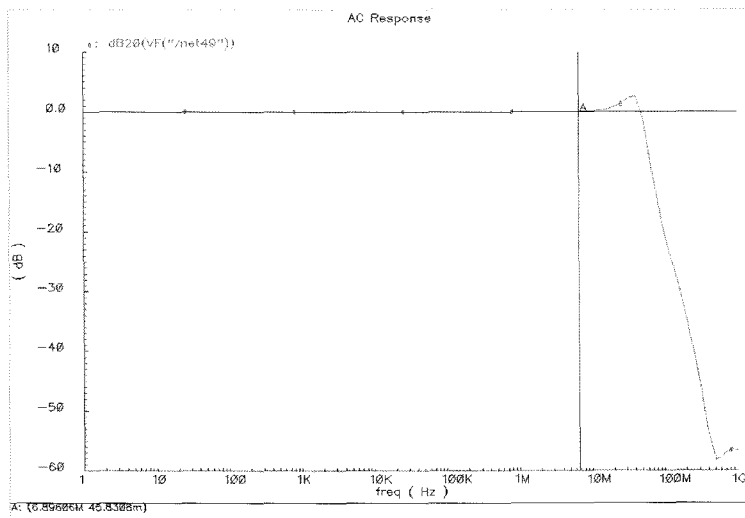


그림 6. 연산증폭기의 단위이득 특성
Fig. 6. Unit gain frequency response of the operational amplifier.

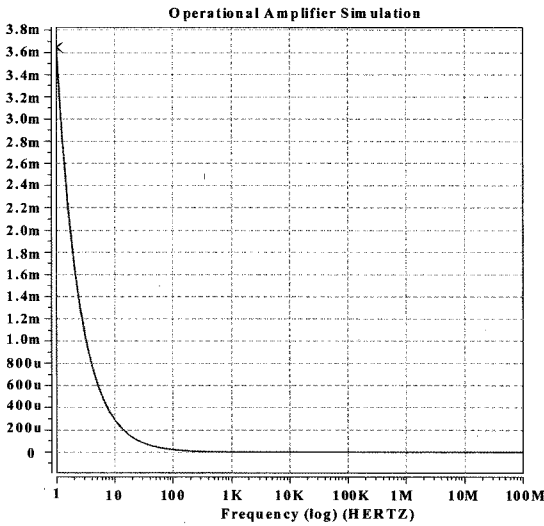


그림 7. 연산증폭기의 잡음특성
Fig. 7. Noise characteristics of folded cascode operational amplifier.

$$V_{rms}^2 = \int_0^\infty |t^2 \eta(f)|^2 \left(\frac{T_{in}}{C_{in}} \right)^2 \frac{\sin^2(\pi f T_{in})}{(\pi T_{in})^2} df + \frac{kT}{C_{in}} + \int_0^\infty E a^2 df + \frac{kT}{C_f} + \left(\frac{C_{in}}{C_f} \right)^2 E a^2 df + \int_0^\infty \left(1 + \frac{C_{in}}{C_f} \right) E a^2 df + \int_0^\infty E a^2 df \quad (6)$$

그림 7은 출력단 증폭기의 잡음에 대한 시뮬레이션 결과이다. 주파수 $f=100\text{ K Hz}$: $809.56\text{ n V/sqrt(Hz)}$, $f=1.0\text{ M Hz}$: $256.92\text{ n V/sqrt(Hz)}$ 을 확인할 수 있었다. 제안하는 신호검출 회로의 V_{out} 은 3.4 mV에서 17 mV 정도이다. 이 가장 작은 경우를 가정하였을 때 신호대 잡음비인 SNR(Signal to Noise) 값은 $20 \log(0.34\text{ mV}/256.92\text{ nV})=82.4$ 정도로 높음을 알 수 있다. 따라서 신호검출 회로에서 연산증폭기의 잡음은 무시할 수 있게 된다.

그림 8에 적외선 신호취득회로의 클럭 인가 후 출력 변화를 시뮬레이션 하였다.

제안하는 신호취득회로에서는 하나의 감지소자 Cell의 신호를 읽어내기 위해 동작 주기를 4 μs 로 하였다. Input clock generate block에서 내부 회로에 필요한 주기가 1 μs 인 디지털 Φ_{clock} 을 발생시킨다. Φ_{ADD_EN} 가 high가 되면 볼로미터 저항에서 적분기로 신호가 인가되며 Φ_{INT_RESET} 는 feedback capacitor를 reset시킨다. Φ_{OUT} 가 saturation 되는 1 μs 구간 중 가장 평균값인 3.5 μs 에서 신호 값을 sampling하면 가장 이상적인 신호 값을 얻을 수 있다.

그림 9는 기준저항이 33 k Ω 일 때 1 $^\circ\text{C}$ 당 감지소자

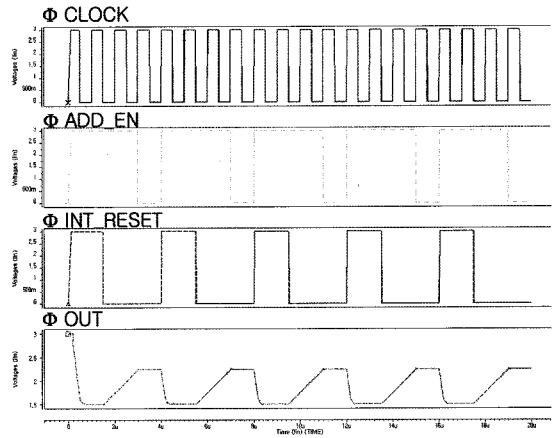


그림 8. 클럭신호에 따른 출력신호의 시뮬레이션 결과
Fig. 8. Simulation result of the output voltage by the clock timing.

의 저항 변화인 가 19 Ω 씩 30 k Ω ~30.19 k Ω 까지 적분기 구조의 신호검출회로의 변화하는 시뮬레이션 결과 값을 나타낸다. 1 $^\circ\text{C}$ ΔV_{out} 은 17 mV으로 나타났다. 출력 신호를 받았을 때 오프셋 신호가 포함된 상태가 출력 신호로 나타나게 된다. 요구되는 것은 출력 신호의 변화량 이므로 오프 신호는 상쇄되며 적분기 자체에서 발생하는 잡음은 수 이하로 무시할 수 있기 때문에 30 k Ω ~70 k Ω 사이에서 원하는 신호를 얻을 수 있게 된다.

3. 볼로미터 신호검출회로의 구현

그림 10(a)는 적외선 감지소자가 monolithic하게 공정될 적외선 Cell layout이다. Row와 Column 열에 각각 32개의 적외선 Cell이 있으며 하나의 적외선 Cell은 감지소자의 (+), (-)의 스위칭 역할을 하는 두개의 트랜지스터와 적외선 감지소자가 접촉할 금속 라인으로 구성되어 있다.

그림 10(b)에 연산증폭기로 이루어지는 신호검출 적분회로의 레이아웃을 나타내었다. 주파수 보상을 위해 capacitance 값이 3 pF로 설계 되었다. PIP capacitance 방식을 사용하는 0.35 μm 공정의 경우 1.3 fF/ μm^2 의 값을 가지므로 3 pF의 capacitance 값을 구하려면 약 2300 μm^2 (=3 pF/1.3 fF/ μm^2)의 면적이 필요하다. 그러므로 한 번의 길이가 24 μm 인 정사각형 구조를 4개 만들어 3 pF의(=24 $\mu\text{m} \times 24 \mu\text{m} \times 4$) capacitance를 구현하였다. integration capacitor의 전하를 전달 받아 전압으로 전환하는 연산 증폭기와 load를 구동하기 위한 buffering 연산 증폭기, 그리고 1.5 V의 바이어스 전압

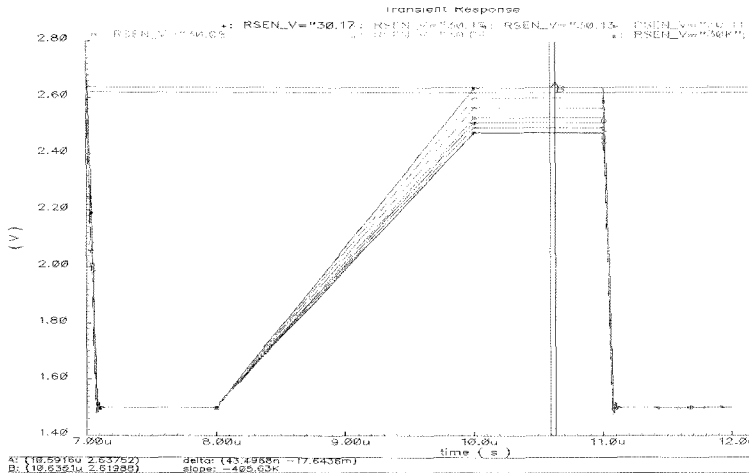


그림 9. 33 kΩ에서의 적분기 출력전압
Fig. 9. Voltage output of integrator at 33 kΩ

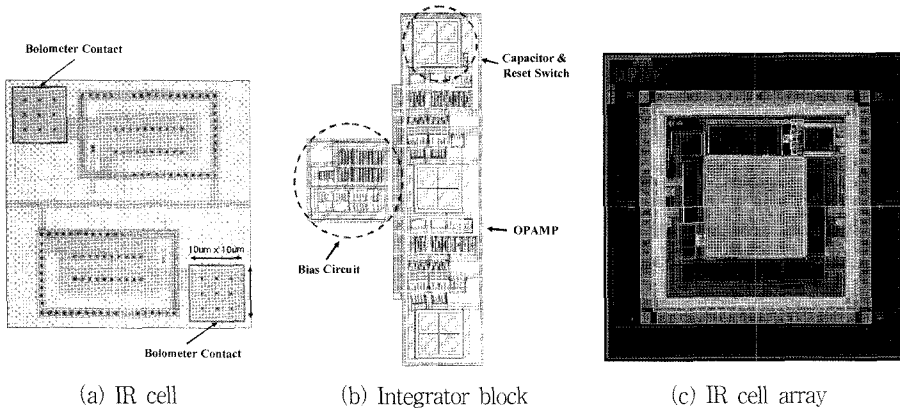


그림 10. ROIC 칩 레이아웃
Fig. 10. ROIC chip layout.

을 만들어 주는 회로 등이 포함되어 있다. 그림 10(c)는 전체 ROIC 칩 레이아웃이다.

제안하는 신호취득회로는 0.35 μm double poly 4 metal N-Well CMOS 공정으로 칩 제작되었다. 제작된 칩이 정상적으로 동작하는지 확인하기 위하여 테스트 칩을 제작하였다. 제작된 칩은 후속 공정을 진행하여 적외선 감지소자의 가장 위층인 박막 저항층만 제조하였다. 신호검출회로의 전체 구동을 위해서 V_{DD} 3.3 V, V_{SS} 0 V, 적분기 구동을 위해선 V_{ref} 3.3 V, V_{bb} 1.66 V를 인가하였다. 기준 저항 4개의 핀중 하나만 연결하였으며 1 MHz의 클럭을 가해주었다. R_{d1} , R_{d2} 핀을 통해서 측정된 마지막 적외선 셀의 저항은 5 MΩ으로 측정되었다.

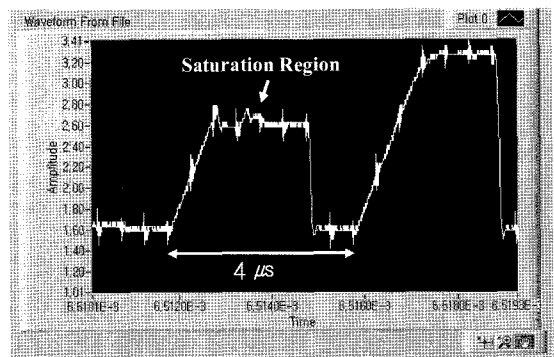


그림 11. 실제 제작된 신호검출회로의 출력전압 특성
Fig. 11. Output voltage characteristic of fabricated readout IC.

그림 11은 측정된 그래프이다. 적외선 셀 하나의 주기는 시뮬레이션 결과대로 4 μ s로 측정되었으며 적분 구간, 포화 구간, 리셋 구간 등 정상적으로 동작하는 것을 확인할 수 있었다.

5. 결 론

본 논문에서는 32×32 array를 갖는 비냉각 적외선 FPA를 사용하는 적외선 영상 시스템에 필요한 적외선 신호취득회로를 제안하였다. 제안하는 신호취득회로는 참조 저항과 감지 소자 저항의 차이만큼 흐르는 전류를 적분하여 신호를 출력하는 방식을 택하였으며 공정 오차를 감안하여 저항 변화가 가장 클 경우에도 문제 없이 회로 동작이 이루어지도록 설계하였다. 저잡음 캐스코드 폴디드 연산증폭기를 사용하였으며 적분기의 저항은 3 pF, 검출회로의 기준저항은 50 k Ω 을 사용하였다. 연산 증폭기는 교류 분석을 통하여 직류 이득은 89 dB, 위상 여유는 67°, 출력단 증폭기의 잡음은 $f=100$ K Hz: 809.56 nV/sqrt(Hz), $f=1.0$ MHz: 256.92 nV/sqrt(Hz)로 나타났다. 공정오차가 $\pm 10\%$ 를 감안하여 기준 저항이 33 k Ω 일때 ΔV_{out} 은 17 mV, 77 k Ω 일때 ΔV_{out} 은 3.4 mV 정도로 증폭기 자체 잡음이 수 μ N 이하이므로 30 k Ω ~70 k Ω 사이에서 원하는 신호를 얻을 수 있었다. 0.35 μ m 2중 폴리 CMOS 공정 파라미터를 이용하여 제작된 신호검출회로는, 전체칩 면적이 5 mm×5 mm이며 3.3 V의 전압으로 구동된다. 제작된 칩이 정상적으로 동작하는지 확인하기 위하여 테스트 칩을 제작하였다. 제작된 칩은 후속 공정을 진행하여 적외선 감지소자의 가장 위층인 박막 저항층만 제조하였다. 신호검출회로의 전체 구동을 위해서 VDD 3.3 V, VSS 0 V, 적분기 구동을 위해선 Vref 3.3 V, Vbb 1.66 V를 인가하였다. 기준 저항 4개의 편중 하나만 연결하였으며 1 MHz의 클럭을 가해주었다. Rd1, Rd2 편을 통해서 측정된 마지막 적외선 셀의 저항은 5 M Ω 으로 측정되었다.

감사의 글

본 논문은 2005년도 인제대학교 학술연구 조성비 지

원을 받아 수행되었습니다.

참고 문헌

- [1] C.T. Eliot, *Handbook on Semiconductor*, Cyril Hilsum(Ed), chap, 6B, North-Holland, New York, 4, 1981.
- [2] Rogalski, Antoni, *Infrared Detectors*, Military university of Technology Warsaw, part 8, Poland, 2000.
- [3] E.L. Dereniak, and G.D. Boreman, "Infrared detectors and systems", *John Wiley & Sons*, 1996.
- [4] A.F. Milton, "Readout mechanisms for infrared focal plane arrays", *Proc. SPIE*, vol. 443, pp. 112-119, 1983.
- [5] N. Bluzer and A.S. Jensen, "Current readout of infrared detectors", *Opt. Eng.*, vol. 26, pp. 241-248, 1987.
- [6] D.J. Burt, "Readout techniques for focal plane arrays", *Proc. SPIE*, vol. 865, pp. 2-16, 1988.
- [7] W.D. Baker, "Intrinsic focal plane arrays", in *Charge-Coupled Devices*, pp. 25-55, edited by D.F. Barbe, Springer-Verlag, Berlin, 1980.
- [8] G.J. Michon and H.K. Burke, "CID image sensing", in *Charge-Coupled Device*, pp. 5-24, edited by D.F. Barbe, Springer-Verlag, Berlin, 1980.
- [9] P. Eriksson, J.Y. Andersson, and G. Stemme, "Thermal characterization of surface-micromachined silicon nitride membranes for thermal infrared detectors", *IEEE J.MEMS*, vol. 6, no. 1, pp. 55-61, 1997.
- [10] R.E. Flannery and J.E. Miller, "Status of uncooled thermal imagers", *Proc. SPIE*, vol. 1689, pp. 379-395, 1992.
- [11] 김진상, "적외선 센서기술", 세라미스트. 제8권, 제4호, pp. 28-32, 2005.
- [12] 서상희, 김진상, 안세영, "적외선 센서/ROIC 접합을 위한 자동 평행 배열 방식의 플립칩 본더", *센서학회지*, 제10권, 제5호, pp. 65-70, 2001.
- [13] 김대원, 김모곤, 남동환, 정순기, 임순재, "적외선 및 가시광선의 센서 융합시스템의 개발", *센서학회지*, 제9권, 제1호, pp. 44-50, 2000.



김진수

- 1981년 7월 26일 생
- 2005년 12월~2006년 1월 University of Florida 전공연수
- 2007년 2월 인제대학교 나노공학부 (공학사)
- 2007년 3월 인제대학교 대학원 나노 시스템 공학과 재학 중



박민영

- 1979년 7월 28일 생
- 2005년 2월 인제대학교 광공학과 (공학사)
- 2006년 2월 인제대학교 광대역정보통신 (공학 석사)
- 2006년 3월 한국과학기술연구원 나노과학연구본부 나노바이오연구센터 연수



노호섭

- 1980년 6월 24일 생
- 2006년 2월 인제대학교 광공학과 (공학사)
- 2006년 3월 인제대학교 대학원 나노 시스템 공학과 재학 중



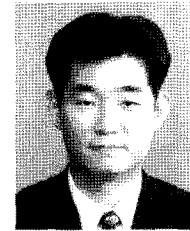
이승훈

- 1998년 울산대학교 기계공학과 졸업 (공학사)
- 2001년 울산대학교 대학원 기계공학과 졸업 (공학석사)
- 2004년~현재 서울대학교 대학원 기계항공공학부 박사과정
- 2001년~현재 한국과학기술연구원 나노과학연구본부 나노바이오연구센터



이제원

- 1969년 6월 22일 생
- 1993년 2월 한양대학교 무기재료공학과 (공학사)
- 1995년 8월 Univ. of Florida 재료공학과 (공학석사)
- 1997년 12월 Univ. of Florida 재료공학과 (공학박사)
- 1994년~1997년 Univ. of Florida, Research Assistant
- 1997년~1997년 Sandia National Laboratory of USA, Contracted Engineer
- 1998년~2000년 Unaxis, Inc. USA. Senior Process R&D Engineer
- 2000년 3월~현재 인제대학교 나노공학부 부교수



문성욱

- 1986년 연세대학교 금속공학과 졸업 (공학사)
- 1988년 연세대학교 대학원 금속공학과 졸업 (공학석사)
- 1994년 연세대학교 대학원 금속공학과 졸업 (공학박사)
- 1995년~1997년 영국Rutherford 연구소 우주연구부 객원연구원
- 1989~현재 한국과학기술연구원 나노과학연구본부 나노바이오연구센터 센터장



송한정

- 1963년 3월 25일 생
- 1986년 2월 한양대학교 전자공학과 (공학사)
- 1988년 2월 한양대학교 대학원 전자공학과 (공학석사)
- 2000년 8월 한양대학교 대학원 전자공학과 (공학박사)
- 1988년 1월~1994년 2월 금성일렉트론 선임연구원
- 1994년 3월~2004년 2월 충청대학 전자정보과 부교수
- 2001년 3월~2002년 2월 University of Florida 방문연구원
- 2004년 3월 현재 인제대학교 나노공학부 조교수