

ZigBee SoC 설계 기술

박타준_ 수석연구원 삼성전기 중앙연구소 IC Design Center (tj33.park@samsung.com)

1. 개요

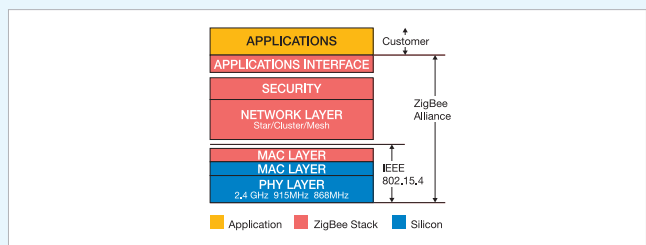
유비쿼터스 (Ubiquitous) 컴퓨팅은 언제 어디서나 사용 가능하고 현실 세계의 사물과 환경 속으로 스며들어 일상 생활에 통합되는 것을 기본 전제로 한다. 또한 유비쿼터스 네트워크는 누구든지 언제, 어디서나 통신 속도 등의 제약 없이 이용할 수 있고 모든 정보나 콘텐츠를 유통 시킬 수 있는 정보통신 네트워크를 의미하며, 이의 구현으로 기존의 정보통신 망이나 서비스가 가지고 있었던 여러 가지 제약으로부터 벗어나 이용자가 자유롭게 정보통신 서비스를 이용할 수 있도록 한다. 이러한 유비쿼터스 컴퓨팅과 유비쿼터스 네트워크를 활용하여 새로운 서비스들을 개발하려는 노력이 진행 중이며, 이에 관련된 기술의 중요성도 급증하고 있다. 또한, 향후 유비쿼터스 컴퓨팅 환경에서는 자율적인 센싱, 저전력 통신기능 제공 및 수천 개 이상의 노드 객체들로 무선 센서 네트워크를 구성하여 언제 어디서나 다양한 정보 서비스 제공이 가능할 것으로 예상된다.

LR-WPAN(Low-Rate Wireless Personal Area Network)는 유비쿼터스 환경에 적극 대처하여 향후 지능형 홈 네트워크, 빌딩 및 상업용기기 자동화, 물류, 환경 모니터링, 휴먼 인터페이스, 텔레메틱스, 군사 등의 다양한 컴퓨팅 환경에 응용 가능한 기술로써 많은 산·학·연에서 LR-WPAN의 구현을 위한 요소 기술들을 연구 및 개발 중에 있다. 미국, 일본 유럽지역 세계 주요 정보통신 분야 기업들은 대부분 제품과 조직 전반에 걸친 네트워크를 전략적 화두로 내세우며 초소형, 저가, 저전력 및 저속의 무선 칩 셋을 이용한 산업, 가전기기들간의 네트워킹 시대의 도래에 적극 대응하고 있다. AT&T, IBM, 마이크로 소프트, 인텔, 엑센추어, 제록스, 휴렛팩커드 등 미국의 정보 통신 기업과 MIT 미디어 랩 등과 같은 대학 연구소들도 무선 칩 셋을 이용한 유비쿼터스 컴퓨팅 기술개발에 적극적으로 참가하고 있다. 또한 Chipcon, Ember, ZMD, ATMEL, Freescale, Radiopulse, 전자부품연구원(KETI), ETRI 등에서 유비쿼터스 컴퓨팅 환경을 제공해주는데 필요한 소형, 저가, 저전력, 및 저속의 무선 칩 셋에 대하여 개발을 진행하고 있거나 제품을 출시하고 있다.

ZigBee는 LR-WPAN의 일종으로써 제한된 전력과 완화된 처리량이 요구되는 용도를 위하여 개발된 간단하고, 저가의 무선 접속을 위한 통신 네트워크이다. ZigBee의 주된 목적은 간단하고 유동적인 프로토콜을 유지하면서도 쉬운 설치,

신뢰할 만한 데이터 전송, 짧은 길이의 동작, 극히 낮은 가격과 적당한 배터리 수명이 있다. <그림 1>에서 보는 바와 같이 IEEE802.15.4 Task Group에서는 PHY, MAC의 표준화를 진행하고 있고, ZigBee협회(ZigBee Alliance)에서는 Network, Application, Security Layer까지 표준화를 진행하고 있다. <그림 2>에서 보는 바와 같이 ZigBee는 듀얼 PHY 형태로 주파수 대역은 2.4GHz, 868/915MHz를 사용하고, 모뎀 방식은 DSSS(Direct Sequence Spread Spectrum), MAC은 CSMA/CA를 사용하며, 데이터 전송 속도는 20Kbps에서 250Kbps까지 가능하다. 2.4GHz 대역은 전 세계적으로 사용 가능한 주파수 영역이지만, Bluetooth, WLAN 등 다양한 제품들이 사용하는 대역이기 때문에 전파 간섭이 심하다. 현재 우리나라는 2.4GHz 대역뿐만 아니라 915MHz 대역도 ZigBee에서 사용 가능하도록 추진 중이다.

본 고는 2.4GHz 주파수 대역의 SoC 칩 설계에 대해서 소개하고자 한다. 먼저 2장에서는 ZigBee 시스템에서 고려할 사항을 간단하게 살펴보고, 3장에서는 ZigBee SoC칩의 핵심 블럭인 RF, 모뎀 설계에 대해서 살펴보고, 4장에서는 삼성전기가 구현한 ZigBee SoC 칩에 대한 측정 결과를 살펴보기로 한다.



<그림 1> ZigBee 프로토콜 Stack 구조

대역	통신가능구역	데이터 전송속도	RF채널수
2.4 GHz	ISM Worldwide	250kbps	16
868 GHz	Europe	20kbps	1
915 GHz	ISM Americas	40kbps	10

<그림 2> ZigBee 주파수 및 데이터 전송속도

2. ZigBee SoC 칩에서의 시스템 설계

최근의 CMOS 반도체 공정 기술의 빠른 발달에 힘입어, 수 GHz 대역의 무선 통신 시스템을 CMOS 소자로 충분히 구현할 수 있어서 고집적화, 고기능화 된 CMOS RF-IC는 성숙되어 보편화되었다. 더욱이 CMOS 공정 기술은 안정적이고 발전된 기술이어서 값이 싸고 대량 생산에 적합할 뿐 아니라 집적도가 높아 베이스밴드(baseband) 아날로그 회로 및 디지털 회로와의 집적을 가능하게 해준다. 여러 반도체 공정 기술 중에서 CMOS 반도체 기술은 RF 무선 통신 회로, 베이스밴드 아날로그 회로, 디지털 기저대역 회로 등을 하나의 칩에 집적할 수 있는 유일한 기술이다. 경제성을 따졌을 때, CMOS 기술은 값싸고 경박 단소하게 만들어야 하는 근거리 무선 데이터 통신에 적합한 기술이다. 전체 시스템을 구성하는 부품 수를 줄여야만 가격 경쟁력이 커진다. 또한 대량생산 비용은 경박 단소하게, 즉 집적도가 높을수록 적게 든다. 한편 집적도가 높아지면 대량 생산 시 비용이 적게 든다는 장점 외에, 성능이 높아진다는 추가적 이점이 있으나, 이 경우 개발기간 및 비용이 늘어난다는 단점이 있다.

ZigBee SoC는 <그림 3>과 같이 마이컴 (MCU), 메모리 (SRAM, Flash), 주변 기기, Transceiver 등으로 일반적으로 구성된다. 현재 개발 중이거나 출시된 SOC에서 사용하는 마이컴의 종류는 8bit에서 32bit까지 다양하며, 이것은 개발업체가 목표로 하는 시장 및 응용 분야가 서로 다르기 때문인 것으로 판단된다. 또한 SoC 칩이 지원하는 기능 및 메모리 종류/크기도 업체마다 차이가 있다. SoC 칩 설계에서 제일 중요한 것은 목표로 하는 시장을 설정하고 거기에 적합한 칩 사양을 결정하는 것이다. 그러나, 아직 ZigBee 시장이 초기 단계이고 보편화되어 있지 않기 때문에 명확한 목표를 설정하는데 어려움이 많다.

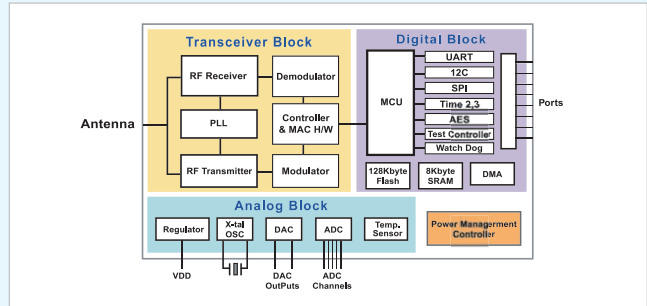
일반적으로 SoC의 장점은 다음과 같다.

- 시스템 가격이 저렴하다.
- 신뢰성이 개선된다.
- 조립이 단순하다.
- 외부의 잡음에 덜 민감하다.
- 측정이 쉽다.
- 소형화가 가능하다.

ZigBee SoC를 설계하는데 있어서 적절한 칩 성능과 가격을 만족하기 위하여 하드웨어와 소프트웨어에 대한 분할을 잘 해야 된다. 특히, IEEE 802.15.4의 MAC Layer를 구현하는데 있어서 하드웨어로 처리할 부분과 소프트웨어 처리할 부분을 시스템 설계에서 우선 결정해야 한다. 일반적으로 MAC 기능 중 비트 동기, 중요 타이밍 정보, CRC(cyclic redundancy check) 등은 속도가 빠른 소프트웨어로 처리하는 것보다 하드웨어를 사용하면 MCU의 전력 소모를 줄이고 더 단순한 MCU를 사용가능하기 때문에 가격 면에서도 장점이 있다.

다른 시스템과 비교하여 ZigBee 시스템에서 내세우는 가장 큰 장점은 대부분의 시간을 거의 전력 소모가 없는 슬립 모드(sleep mode)로 동작한다는 데 있다. 따라서, 경쟁력이 있는 ZigBee SoC 칩을 구현하기 위해서는 동작 상황에 따라 적절히

저전력 동작 모드로 운영할 수 있는 전력 관리 제어부(Power Management Controller)를 설계해야 한다.



<그림 3> SOC 칩 블록도

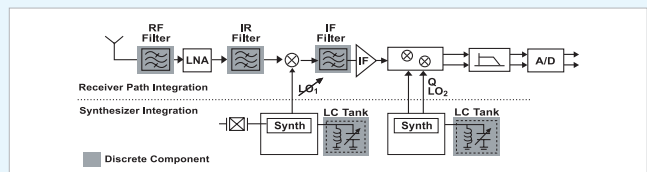
3. Transceiver 설계 기술

<그림 3>과 보는 바와 같이 Transceiver 블록은 크게 RF (송수신기 및 주파수 합성기), 모뎀, 제어/MAC 하드웨어 등 크게 3개 부분으로 나눌 수 있다. 일반적으로 RF 블록이 칩의 주요 특성인 전류, 칩 크기, 수신감도 등에 가장 큰 비중을 차지하기 때문에 RF 블록의 설계 중심으로 설명하고자 한다. 그러나, 모뎀, 제어/MAC 하드웨어도 무시할 수 없는 중요한 블록이다.

낮은 가격과 소형 칩을 만족하기 위하여 외장 부품을 사용하지 않는 집적도가 높은 RF 구조로 설계해야 한다. 그러나 유전체 필터, SAW 필터, 인덕터 등을 외부에서 필요하지 않도록 칩 내에 직적화하여 가격을 낮추면서 동시에 ZigBee에서 중요한 저전력 동작을 실현하는 것은 RF 설계에서 매우 도전적인 일이다.

3-1 RF 수신기 설계

RF 수신기는 크게 헤테로다인, Zero-IF (or Direct-Conversion), Low-IF 방식으로 나눌 수 있다. 헤테로다인 수신 구조는 과거 대부분의 수신기에서 채용했던 방식으로 RF 신호를 2 단계 이상에 걸쳐 기저대역 신호로 변환시키기 때문에 수신감도 (Sensitivity)와 선택도 (Channel Selectivity) 특성이 우수하다. 그러나, <그림 4>에서와 같이 이 방식은 기본적으로 2개의 LO(Local Oscillator)가 필요하며 다른 방식들에 비해 전력소모가 많고 면적이 증가하는 단점이 있으며 사용되는 BPF

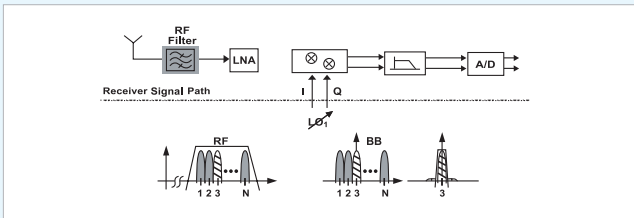


<그림 4> 헤테로다인 수신 구조

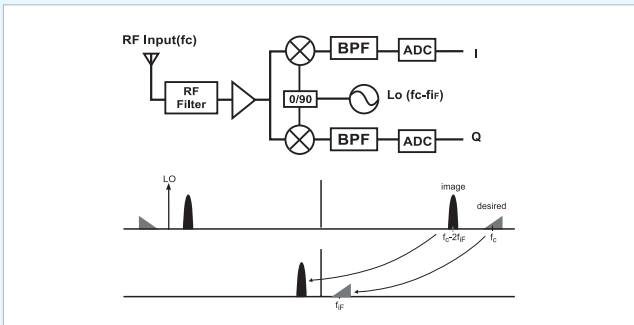


(Band Pass Filter)로써 비싼 SAW Filter가 대부분 필요하고 SoC를 통한 단일 칩으로 구현하기가 어렵다.

Zero-IF 방식은 RF 신호를 IF 주파수 대역을 거치지 않고 RF 신호에서 선택된 채널을 곧바로 기저 대역으로 변환하는 방식으로 전체적인 구성이 간단해지고 전력 소비가 낮으며 칩 외부 소자가 필요 없어 비용이 싸고 SoC 설계가 용이하여 단일 칩 구성을 위해 알맞은 방식이라고 할 수 있다. 하지만 변환된 신호의 I/Q mismatch 문제, DC offset 문제, flicker noise, LO radiation, Even-order distortion 등의 문제점이 있으나, Zero-IF 방식은 Low-IF 비해 이미지 신호 문제점이 없다는 장점이 있다. Zero-IF 방식은 DC 주위의 베이스밴드 신호 정보를 무시할 수 있는 무선 랜(WLAN IEEE 802.11 b/a/g) 같은 시스템에서 널리 사용하고 있다.



〈그림 5〉 Zero-IF 수신 구조



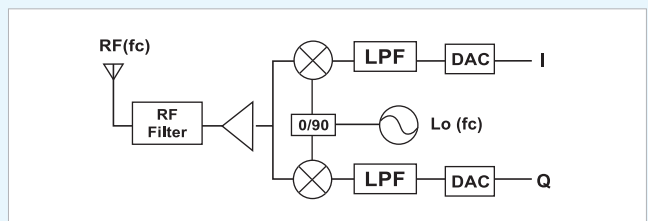
〈그림 6〉 Low-IF 수신 구조

Low-IF 방식은 RF 신호에서 선택된 채널의 대역의 신호를 기저 대역에 가까운 신호로 곧바로 변환하는 방식으로 헤테로다인 방식과 DCR 방식의 장점을 결합한 방식이라고 할 수 있다. 이런 장점 때문에 Low-IF 방식은 가장 널리 사용되는 RF 구조이다. 그러나 Low-IF 수신구조는 헤테로다인 수신구조와 같이 중간주파수 (IF)신호를 사용하기 때문에 이미지신호 제거 기능이 필요한데, 수십에서 수백 MHz 대역을 IF 주파수로 사용하는 헤테로다인 수신 구조와는 달리 near-DC 근처로 설정하기 때문에 원 칩 이미지 제거 믹서 (IRM)를 이용하여 이미지 신호 제거가 가능하다는 차이가 있다. 또한 Low-IF 수신구조는 디지털 도메인에서 복조를 수행하기 때문에 I/Q mismatch를 최소화 할 수 있는 장점이 있다. Zero-IF 수신구조와 달리 Low-IF 수신구조는 채널선택을 위해 LPF 대신에 BPF를 사용해야 하므로 필터의 복잡도가 다소 증가하고 IF 신호를 직접 ADC(Analog-Digital

Converter)로 입력시키기 때문에 고성능 ADC가 필요하다는 단점이 있다. 그러나 Zero-IF 수신 구조와 마찬가지로 별도의 외장 부품을 사용하지 않기 때문에 저전력 및 고집적 수신기 설계에 적합한 구조라 할 수 있다. 특히, 이미지 밴드 (또는 이미지 채널에 가까운 인접 채널) 제거 요구가 약한 블루투스, ZigBee와 같은 시스템에서 적합한 RF 구조이다.

3-2 RF 송신기 설계

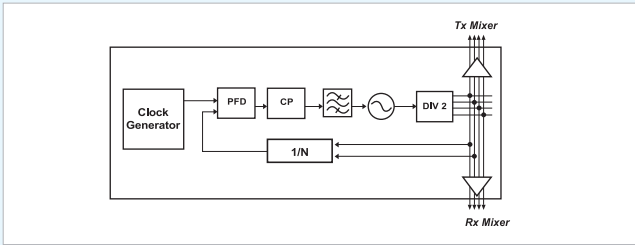
송신기는 상대적으로 수신기에 비해 고집적화하기가 용이하다. 그러나, 이것은 시스템에서 요구되는 사양에 따라 다르다. CMOS 칩에서 가장 널리 사용되고 있는 방식 중 하나는 〈그림 7〉과 같은 기저 대역 또는 IF에서 바로 I/Q up-conversion하는 것이다. I/Q 방식은 다양한 변조 방식을 지원할 수 있다는 장점이 있으나, 단점으로 2개의 DAC (Digital-to-Analog Converter)와 up-conversion mixer가 필요하다는데 있다. Up-conversion전에 IF를 사용하면 I/Q mismatch에 의한 원하지 않는 이미지 밴드 전송을 방지할 수 있다. I/Q up-conversion 방식은 전력증폭기로부터 가생 피드백에 의해 VCO 신호 왜곡이 발생할 수 있는 문제점이 있으나, VCO를 원칩화하고 송신 주파수의 2배가 되는 LO 주파수를 선택함으로써 방지할 수 있다. 저전력 송신기를 구현하기 위해서는 비선형 전력증폭기를 사용할 수 있는 변조 방식이 중요하다. 이것은 RF 신호 레벨이 일정하다는 것을 의미한다. IEEE 802.15.4 변조 방식은 신호 레벨이 일정한 half sine shaping을 이용한 Offset-QPSK 이기 때문에 비선형 전력 증폭기를 사용하여 전력 소모를 줄일 수 있다.



〈그림 7〉 I-Q up-conversion 송신 구조

3-3. RF 주파수 합성기 설계

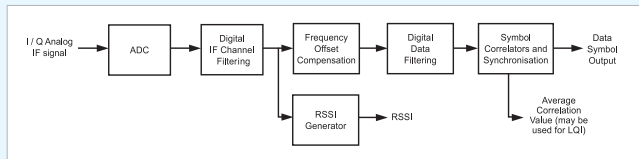
주파수합성기는 〈그림 8〉과 같이 구성하여 이미지 제거 믹스에 필요한 Quadrature LO 신호를 제공할 수 있어야 한다. Low-IF 수신 구조에서 이미지 신호 제거 성능은 주파수 합성기에서 제공하는 Quadrature LO 신호의 진폭과 위상관계에 매우 민감하기 때문에 정교한 Quadrature LO 신호를 제공할 수 있어야 한다. 전압제어발진기(VCO)의 동작 주파수를 믹서(Mixer)에서 요구하는 주파수의 2배(2×LO)로 설계하면, 원 칩 인덕터의 소요 면적을 줄이고, Quadrature LO를 만들기가 용이하다는 장점이 있다.



〈그림 8〉 주파수합성기 구조

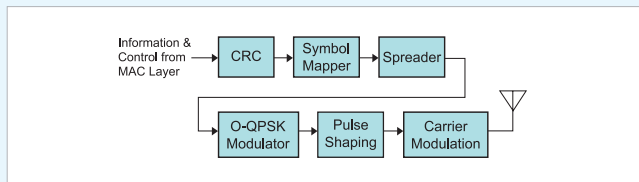
3-4. 모뎀 설계

복조기의 일반적인 구성은 〈그림9〉와 같다. 채널 필터 및 주파수 옵셋은 표준에서 저가격 ± 40 ppm X-tal을 사용하기 위하여 주파수가 ± 80 ppm 또는 ± 200 kHz까지 벗어나도 특성 저하가 없어야 하기 때문에, 이에 대한 충분한 설계 검토가 있어야 한다.

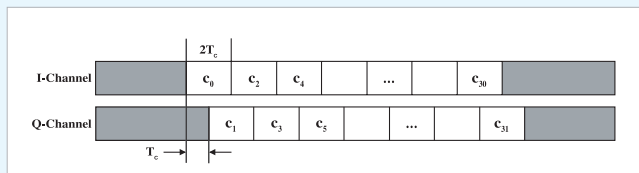


〈그림 9〉 모뎀 복조기 블록도

변조기는 〈그림 10〉과 같이 간단히 구성할 수 있으며, 복조기에 비해 설계가 용이하다. 데이터 코딩은 비트를 심벌로 매칭 후 다시 심벌을 32-칩의 PN 순차 (PN sequence)로 칩 확산한 후 변조는 옵셋 직교위상편이 변조(O-QPSK)를 사용하며 칩 속도 (chip rate)는 2Mchip/s를 사용한다.



〈그림 10〉 IEEE 802.15.4 송신부 블록도

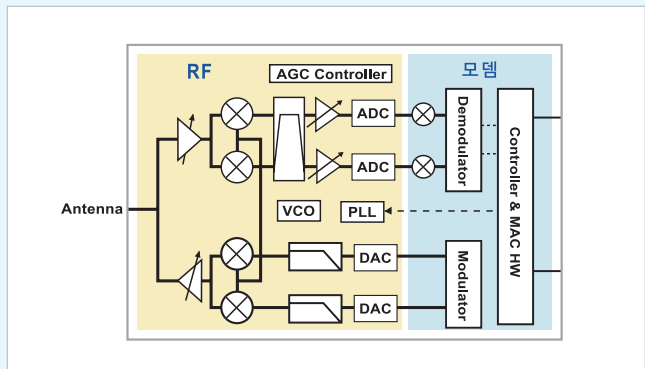


〈그림 11〉 O-QPSK 변조

3-5. Transceiver 구조

삼성전기가 채택한 Transceiver 구조는 〈그림 12〉와 같다. 수신기는 Low-IF 구조로 안테나에서 수신된 RF 신호를 IF 신호로 변환하고 다시 ADC를 거쳐 디지털 신호로 변환되는 구조를 사용하며 송신기는 베이스밴드에서 받은 디지털 신호를 DAC에서 아날로그 신호로 변환한 후 바로 RF 신호로 바꾸는 Direct-up conversion 구조를 사용하였다. VCO는 4.8~5GHz의 주파수를 발생시키며 2.4~2.5GHz LO 신호를 만들기 위해 나누기 2를 사용하였다.

수신기에서는 ADC를 사용하므로 ADC 입력 level을 일정하게 유지시켜야 하기 때문에 자동이득제어(AGC)가 필요하다. 따라서 수신기는 dynamic range가 넓은 programmable gain amplifier(PGA)를 포함하고 있으며 디지털 제어 신호를 받아 이득을 정밀하고 정확하게 제어할 수 있도록 하였다. 또한 저잡음 증폭기와 믹스의 이득을 제어하여 고 이득 모드와 저 이득 모드로 동작하도록 설계하였다.



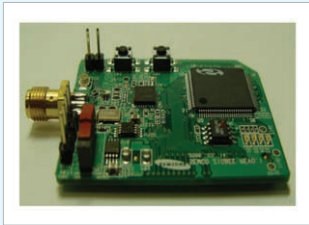
〈그림 12〉 Transceiver 블록도

4. SoC 칩의 구현 및 측정

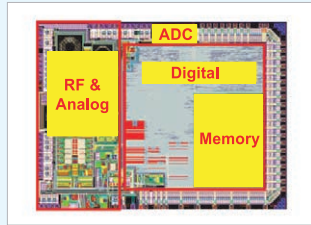
삼성전기는 RF, 모뎀, MCU, ADC, DAC, Flash, SRAM 등을 통합하여 단일 칩 SoC를 제작하였으며, 그 결과는 〈그림 14〉와 같다. SoC는 TSMC 0.18m 1P6M 공정을 이용하여 제작하였다. RF와 디지털 블록과의 간섭을 최소화하기 위한 isolation 기법이 사용되었다. 삼성전기 SoC 칩의 구조는 〈그림 13〉에서 보는 바와 같이 8-bit MCU를 사용하였으며, ZigBee 디자이너의 사용을 편리하게 128kbyte Flash, 8kbyte SRAM 및 Peripherals을 내장하였다. 또한 VCO, loop Filter, Regulator, Switch 등을 내장하여 외장 부품 수를 최소화하였다. 사용자 응용을 지원하기 위한 GPIO, UART, SPI, I2C, ADC, DAC, 비교기, 범용 타이머 등을 내장하였으며, ~1uA Deep Sleep 모드로 동작이 지원함으로써 ~수년

이상의 배터리 사용이 가능하도록 하였다.

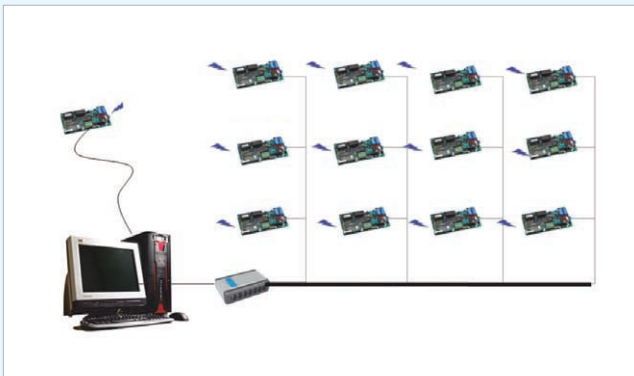
칩 및 소프트웨어의 오류를 쉽게 검출하여 개발을 용이하기 위하여 <그림 15>와 같이 유선 랜으로 측정 보드 각각을 제어할 수 있도록 측정 시스템을 구성하였다. <그림 16>은 SoC의 ZigBee 신호 출력 파형이며, <표 1>에서 측정 결과를 요약 정리하였다.



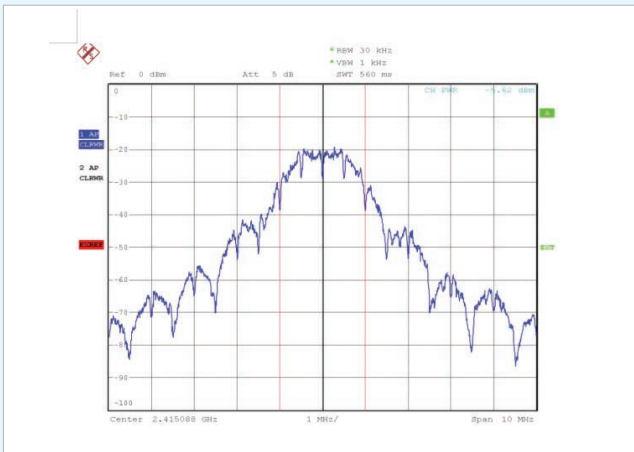
<그림 13> ZigBee 칩 측정 보드



<그림 14> ZigBee 칩 배치



<그림 15> ZigBee SoC 칩 및 네트워크 통신 측정 구성도



<그림 16> 송신 출력 스펙트럼

<표 1> ZigBee 칩 성능 요약표

측정 항목	측정 결과	IEEE802.15.4 표준규격
동작 주파수	2405 ~ 2480MHz	2405 ~ 2480MHz
외부 전압	2.2V ~ 3.6V	-
칩 내부 전압	1.8V	-
수신감도	-97dBm	-80dBm
수신 전류	25mA	-
인접 채널	> 20dBc	≥0dBc
최대 허용 입력 전력 레벨	10dBm	-
출력	-20 ~ 3dBm	Minimum -3dBm
EVM	≤10%	≤30%
송신 전류	24mA	-
VCO Phase noise	-103dBc/Hz@1MHz offset	-
TX/RX 전환 시간	< 30us	< 192us

5. 결론

지금까지 ZigBee SoC 칩의 설계 기술에 대해서 살펴 보았다. ZigBee SoC에 서는 하드웨어, 소프트웨어 분할을 어떻게 하는냐에 따라 칩 크기, 전류 등 특성이 많이 바뀌기 때문에 최소한 하드웨어, 소프트웨어를 종합적으로 설계할 수 있는 능력이 있어야 SOC 개발을 원활히 진행할 수 있다. 앞에서 살펴 본 바와 같이 RF 수신은 현재 Low-IF 방식이 가장 적합구조이며, 일부에서는 Zero-IF 구조로 하고 있다. ☺

[참고문헌]

- [1] IEEE Standard for Information technology, IEEE 802.15.4 Specific requirements Part 15.4 : “Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate” Wireless Personal Area Networks (LR-WPANs) IEEE Standard, October 2003.
- [2] B. Raszvi, “RF MicoElectronics,” Prentics Hall, 1998.
- [3] Bob Koupal, Marshall Wang and Cory Edelman “Designing a Bluetooth Transceiver in RF CMOS”, Microwave Journal 2002년 2월호 Features.
- [4] Federico Beffa., “A Low power CMOS Bluetooth Transceiver,” Dissertation ETH, No. 15303, 2003.
- [5] Ken Leong Fong and R.G Meyer, “Monolithic RF Active Mixer Design,” IEEE Trans. Circuits and systems-II: Analog and digital signal processing, Vol.46, no.3, March 1999.