



# SoC산업진흥센터 SoC 설계검증기술 지원 안내

## 가. 지원 개요

- SoC 설계단계에서 기능검증(Functional Verification)에 소요되는 시간을 대폭 단축시키기 위해 FPGA 및 ARM 기반의 SoC 설계검증 장비를 SoC산업진흥센터에 구축하여 산업체가 공동 활용토록 장비의 대여 및 기술 지원

## 나. 지원 대상

- SoC 개발 중소벤처기업

## 다. 지원 내용

- 1) FPGA 기반의 SoC 설계검증장비 지원
  - 1000만 게이트급 FPGA(Xilinx Virtex 4)를 탑재한 iPROVE 장비 대여 및 기술 지원
- 2) ARM 기반의 SoC 설계검증장비 지원
  - Core Tile과 800만 게이트급 FPGA(Xilinx Virtex 2)를 탑재한 Logic Tile 등으로 구성된 Versatile 보드와 Integrator 보드 대여 및 기술 지원

## 라. 장비 보유현황

장비명	주요 규격	보유 대수	사용료(1일 기준)
ARM 7TDMI Integrator Set	AP/CM/LM/MultiICE/ADS/WorkStation (LM은 Xilinx FPGA XCV2000탑재)	1	2,700원
ARM 940T Integrator Set	AP/CM/LM/MultiICE/ADS/WorkStation (LM은 Xilinx FPGA XCV2000탑재)	2	2,700원
ARM 926EJ-S Versatile Set	PB(FOR ARM926EJ-S)/CT(CT926EJ-S)/ LT(LT-XC2V8000)/RealViewICE/RVDS	2	3,400원
ARM 1136JF-S Versatile Set	PB(FOR ARM926EJ-S)/CT(CT1136JF-S)/ LT(LT-XC2V8000)/RealViewICE/RVDS	2	3,400원
iPROVE X4-100	Xilinx FPGA XC4VLX100/SDRAM 256M/ SystemC Package(S/W)/AMBA Package (S/W)/ iGnite Package(S/W)	5	5,000원

## 마. 사용 신청

- 홈페이지(www.asic.net)의 "IT-SoC산업센터/IP지원/사용신청/에뮬레이터사용신청"에서 신청
- 대여기간 : 1개월 단위, 연장사용 가능
- 하드웨어장비(보드)는 대여지원, 소프트웨어는 네트워크 라이선스 지원
- ※ 문의처 : SoC산업기술팀 박성천 (Tel: 02-3433-6086, E-mail: scpark@etri.re.kr)



# SoC산업진흥센터 SoC 시험 지원 안내

## 가. 지원 개요

- SoC 시제품 및 소량양산품에 대해 전기적특성시험 및 불량분석 시험과 신뢰성시험을 지원함으로써, 고가의 시험비용을 경감시키고, 종합적이고 체계적인 시험평가 서비스를 제공하여 SoC 개발 중소벤처기업의 SoC에 대한 품질향상 및 성장 육성 지원

## 나. 지원 대상

- SoC 개발 중소벤처기업

## 다. 지원 내용

- SoC 전기적특성시험 및 불량분석시험 지원
  - SoC 시제품이 설계규격에 맞게 동작하는지를 검증하기 위한 고가의 시험장비와 시설을 SoC산업진흥센터에 구축하고, 외국 시험전문업체 이용 비용의 1/10 수준으로 시험을 수행 및 지원함.
  - SoC 시제품의 시험 프로그램 개발 및 시험 지원
  - SoC 시제품 및 소량양산품에 대해 웨이퍼 및 패키지 레벨의 시험

## 라. 장비 보유현황

장비명(제조사)	장비 주요 규격	시험장비 용도	시험 가능 품목
Quartet One Plus (Credence)	<ul style="list-style-type: none"> <li>• Data Rate : 200MHz</li> <li>• Digital Ch. : 448</li> <li>• Jitter 800MHz &amp; 30picosec 측정</li> <li>• Analog Option</li> </ul>	Logic Device, Analog Device, Mixed Signal Device	DMB, PLL, LVDS, Graphics Chipset(AGP4X), CDROM, DVDROM, Super I/O, MCU, DSP, Processor, MP3 Decoder, Audio/Video Converter, 각종 Logic&Mixed Signal Device 등
IP750 (Teradyne)	<ul style="list-style-type: none"> <li>• Data Rate : 100MHz</li> <li>• Digital Ch. : 128</li> <li>• Image Process Memory : 2GB/Slot</li> <li>• Image Memory Size : 24bits/16M</li> <li>• 광 고속 캡처 : 2,125Gbps</li> </ul>	Logic Device	CIS, MCU, DSP, Smart Card, MP3 Decoder, Converter, 각종 Logic Device, CCD Sensor 등
UF200(2대) (TSK)	<ul style="list-style-type: none"> <li>• Wafer 5~8 inch</li> </ul>	Wafer 상태의 시험 및 불량 분석	Wafer 상태의 시험 및 불량 분석
Illuminator (InterAction)	<ul style="list-style-type: none"> <li>• Lighting Area : 35 x 35 (mm<sup>2</sup>)</li> <li>• Light Intensity : 0.1~1,000 Lux</li> <li>• Light Uniformity : + -2.0%</li> </ul>	CIS, CCD의 광원 소스	CIS, CCD의 광원 소스
TDS Software (Fluence)	<ul style="list-style-type: none"> <li>• Quartet One, IP750 Test Vector Conversion S/W</li> </ul>	Test Pattern 및 Scan Pattern을 생성	Simulation 결과를 Timing, Format, Time-set을 적용한 Test Pattern 및 Scan Pattern을 생성

# SoC산업진흥센터 SoC 시험 지원 안내

## ❖ 마. 시험 비용 안내

### □ SoC 시제품 시험비

▽ 웨이퍼 시험 및 패키지 시험, 시험 프로그램 개발비

장비	기능	등급	Pin Count [Pins]	Data Rate [MHz]	시험비용[천원]
Quartet	Logic	Grade-1	128핀 이하	50MHz 이하	1,000
		Grade-2	129핀 ~ 255핀	51MHz ~ 99MHz	1,500
		Grade-3	256핀 이상	100MHz 이상	2,000
	Mixed	Grade-3	-	-	2,000
IP750	Logic	Grade-1	256핀 이하	50MHz 이하	1,000
	CIS	Grade-2	-	-	1,500

- ※ Grade-1은 핀수가 128핀 이하이면서 Data Rate이 50MHz이하의 SoC가 해당됨.
- ※ Grade-3는 핀수가 256핀 이상 혹은 Data Rate이 100MHz이상의 SoC가 해당됨.
- ※ 웨이퍼 시험과 패키지 시험을 동시 의뢰의 경우 50% 할증
- ※ 재시험의 경우 시험프로그램이 변경이 없으면 1회 무료

### □ SoC 소량양산품 시험비

▽ 시간당 시험료 및 기술료 기준

장비	시험료 [원]	기술료 [원]	총 시험비 [원]
Quartet	35,000	30,000	65,000
IP750	30,000	30,000	60,000

※상기의 시험비용의 적용은 2006년 2월 21일이후 접수분부터 적용

## ❖ 바. 사용 신청

o 홈페이지(www.asic.net)의 "IT-SoC산업센터/SoC시험지원/사용신청"에서 신청

※ 문의처 : SoC산업기술팀 박성천 (Tel : 02-3433-6086, E-mail : scpark@etri.re.kr)

# 2006년 하반기 IT SoC 산업체 실무교육 일정

## 중장기 설계교육

### JPEG 알고리즘을 활용한 MultiMedia Processor SoC 설계

최근 Deep Submicro SoC(ASIC) 구현에 따른 고비용과 Debugging의 용이성 때문에 FPGA를 이용한 Prototype Board를 설계하여 시스템 동작 검증 및 Debugging을 완료 후 SoC(ASIC)를 제작하는 추세이다.

2006년 현재, SoC를 기반으로 하는 IT 시장의 성향이 임베디드 시스템과 멀티태스킹을 요구하기 때문에 임베디드 SoC가 대세로 출현하였으며, FPGA에서도 임베디드 프로세서 코어나 DSP, ASC, DAC 코어가 내장된 FPGA가 많이 보편화 되었다. 따라서, 반도체 칩에 구현되는 시스템의 복잡도가 증가하고 혼성 신호 SoC 설계가 요구됨에 따라 이질적인 (Analog, Digital, RF) IP들을 통한 설계하기 위해서는 다양한 CAD Tool을 복합적으로 활용하고, 본인의 전문영역 이외의 다른 IP들에 대한 이해 및 통합 능력이 요구된다.

특히, PMP(Personal Multimedia Player) 수요에 의한 영상처리 분야의 데이터 통신 처리 능력이 중시 되고 있으며 영상 정보의 방대한 데이터의 효과적인 통신 수단을 위해 JPEG, MPEG 등의 압축 방식을 이용한 Media Processor가 IT 제품 군들의 주류로 잡아가고 있다. 현재 산업계의 이러한 동향 및 추세에 필요한 JPEG이 포함된 Media Process를 SoC 미니프로젝트로 설계하는 과정을 개설한다.

본 강의는 JPEG이 포함된 Media Processor SoC를 설계하는 과정으로 Multi Media 관련 SoC를 설계하고자 하는 산업체 요구에 부응하는 강좌이다. 위에서 언급한 Processor 설계에 필요한 JPEG과 Image Processing 지식 및 SoC 설계의 전반적인 내용을 SoC Prototype으로 많이 활용되고 있는 Altera Excalibur를 이용하여 실습한다.

» 교육일정 : 2006. 10. 16. ~ 2006. 11. 24. (6주)

» 교육대상 : SoC설계기업 위탁교육자 또는 관련학과 대학 졸업예정자 등 일반전형 지원자

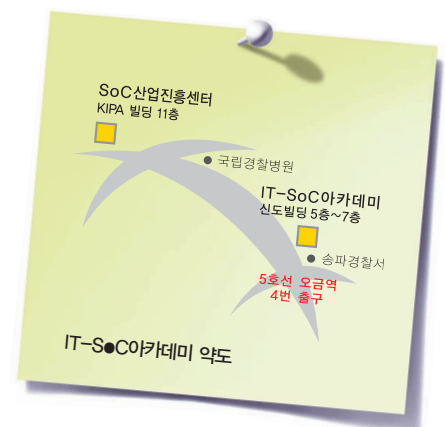
» 교육신청 : 각 과정별 15명 내외 (자세한 내용 : 홈페이지(www.asic.net) 참조)

» 문의 : 노예철(Tel. 02-3433-6062, E-mail. ycrho@etri.re.kr)

손병복(Tel. 02-3433-3032, E-mail. bbsohn@etri.re.kr)

### » 중장기 교육일정 교육(2006. 09. ~ 12.)

번호	강좌명	강의일정	강사	수강료	소속
1	JPEG을 활용한 MultiMedia Processor SoC	10.16~11.24(6주)	박현철 교수	500,000	산기대
2	MPW 칩 설계를 위한 Back-End 설계	10.23.~11.10(3주)	미정	300,000	
3	유비쿼터스 홈 네트워크 시스템 및 SoC설계	11.20.~12.8(3주)	김기봉 사장	300,000	
4	16Bit MPU 구조 및 어셈블리 프로그래밍	11.27.~12.8(2주)	조용범 교수	200,000	건국대학교



» 단기설계 교육일정 교육 (2006.09~12)

※ 교육일정은 강사 사정에 의해 변경될수 있습니다.

번호	강좌명	강의일정	강사	수강료	소속
1	Verilog HDL을 이용한 회로설계	9.18.~20.(3일)	조경순 교수	60,000	외국어대
2	OLED 구동 기술 및 구동 회로설계	9.18.~20.(3일)	권오경 교수	60,000	한양대학교
3	Altera FPGA 구조 및 툴 사용법	9.26.~28.(3일)	이재철 차장	60,000	원텍코리아
4	VHDL을 이용한 회로설계 및 응용	10.11.~13.(3일)	박현철 교수	60,000	산기대
5	Xilinx FPGA 구조 및 툴 사용법	10.11.~13.(3일)	엔지니어	60,000	Xilinx
6	아날로그 회로 설계실습	10.18~20.(3일)	임신일 교수	60,000	서경대학교
7	TFT-LCD 구동 기술 및 구동 회로설계	10.26.~27.(2일)	최병덕 교수	40,000	한양대학교
8	지상파 DMB(디지털오디오방송)/위성 DMB기술	10.26.~27.(2일)	서종수 교수	40,000	연세대
9	Zigbee 시스템 이해 및 Application 개발방법	11.1.~2.(2일)	엔지니어	20,000	레디오펄스
10	Verilog HDL을 이용한 회로설계	11.6.~8.(3일)	조경순 교수	60,000	외국어대
11	고품질 시스템 IC를 위한 실용테스트 설계기법	11.7.~8.(2일)	박은세 박사	40,000	
12	Xilinx FPGA 구조 및 툴 사용법	11.14.~16.(3일)	엔지니어	60,000	Xilinx
13	지상파 DMB용 H.264. 구조 및 설계	11.14.~15.(2일)	연구원	40,000	ETRI
14	지상파 DMB용 수신모뎀(OFDM) 구조 및 설계	11.16.~17.(2일)	연구원	40,000	ETRI
15	지상파 DMB용 RFIC 및 모듈 설계	11.21.~22.(2일)	연구원	40,000	ETRI
16	지능형 로봇 구조 및 설계기술	11.21.~22.(2일)	연구원	40,000	ETRI
17	VHDL을 이용한 회로설계 및 응용	11.28.~30.(3일)	박현철 교수	60,000	산기대
18	MPU 구조 및 어셈블리 프로그래밍	11.29.~30.(2일)	엔지니어	40,000	
19	Altera FPGA 구조 및 툴 사용법	12.5.~7.(3일)	이재철 차장	60,000	원텍코리아
20	RF 기초 및 광대역 CMOS RFIC 설계	12.5.~7.(3일)	이창석 교수	60,000	한밭대학교

» 설계 툴 교육일정 교육(2006. 09. ~ 12.)

번호	강좌명	강의일정	강사	수강료	소속
1	Chip Synthesis	9.5.~7.(3일)	장정우 과장	60,000	Synopsys
2	Calibre - Rule Writing	9.5.~8.(4일)	김봉준 대리	80,000	Mentor
3	PrimeTime 1	9.12.~14.(3일)	송기진 이사	60,000	Synopsys
4	CoWare SPW for Algorithm Design	9.12.~14.(3일)	박순배 차장	60,000	CoWare
5	VLE(Virtuoso Layout Editor)	9.21.~22.(2일)	신창현 과장	40,000	Cadence
6	Incisive Simulation	10.11.~13.(3일)	류종형 부장	60,000	Cadence
7	Astro 1	10.17.~19.(3일)	황준철 과장	60,000	Synopsys
8	CoWare SystemC Training for SoC Design	10.17.~18.(2일)	박순배 차장	40,000	CoWare
9	CoWare Platform Architect for SoC	10.19.~20.(2일)	박순배 차장	40,000	CoWare
10	Calibre DRC/LVS	10.18.~20.(3일)	성영섭 차장	60,000	Mentor
11	Design for Test with DFTC	10.24.~26.(3일)	이시원 과장	60,000	Synopsys
12	Calibre xRC Parasitic Extraction	11.2.~3.(2일)	김봉준 대리	40,000	Mentor
13	Chip Synthesis	11.7.~9.(3일)	장정우 과장	60,000	Synopsys
14	CoWare HDS for Algorithm to Silicon	11.12.~14.(3일)	박순배 차장	60,000	CoWare
15	VLE(Virtuoso Layout Editor)	11.13.~14.(2일)	이길재 과장	40,000	Cadence
16	PrimeTime 1	11.14.~16.(3일)	송기진 이사	60,000	Synopsys
17	Astro 1	11.21.~24.(3일)	황준철 과장	60,000	Synopsys
18	ICStation - Accelerating Your Productivity	11.22.~24.(3일)	성영섭 차장	60,000	Mentor
19	Design for Test with DFTC	11.28.~30.(3일)	이시원 과장	60,000	Synopsys
20	Calibre - Rule Writing	12.5.~8.(4일)	김봉준 대리	80,000	Mentor

»교육일정 확인 및 신청 : 한국전자통신연구원 IT 융합·부품연구소 SoC산업진흥센터 홈페이지  
(<http://www.asic.net>)의 IT-SoC아카데미 교육센터 참조

# 2006 IT SoC 대상 공모

정보통신부와 IT-SoC협회는 우수한 IT SoC 설계 기술의 공개적인 발굴 및 포상을 통하여 산업계의 개발 의욕을 고취하고 전략적 기술 개발과 효율적인 산업화 방향을 제시하고자 '2006 IT SoC 대상' 을 공모하오니 많은 신청바랍니다.

## ❖ 참여대상

- 현재(2006년 9월) 생산 판매중이거나 개발이 완료된 우수 IT SoC (System on Chip)

## ❖ 신청

- 제출서류 : 참가신청서, 제품설명서
- 제출기한 : 2006. 9. 11(월) ~ 9.22(금)
- 신청방법 : 원본 1부 우편 제출 및 사본 1부 e-mail 제출  
138-711 서울시 송파구 가락본동 79-2 KIPA빌딩 8층 IT SoC협회 'IT-SoC 대상' 담당자 앞
- 문 의 : IT-SoC협회 마케팅지원팀 임인영 대리  
E-mail : bei97@itsoc.or.kr TEL : 02-407-9041 FAX : 02-407-9014

## ❖ 심사기준

- 기술가치(30) : 독창성 및 혁신성, 핵심성, 기술과 지식의 발전에 미치는 영향력
- 산업가치(20) : 산업적 파급효과, 전략적 시기 부합성
- 시장성(50) : 세계 및 국내 시장 점유율, 향후 시장 점유율의 확보 가능성, 미래 성장 가능성, 수익성, 기대한 산업가치의 실현 가능성

## ❖ 시상내용

- 대 상 (1점) : 정보통신부 장관상 및 상패
- 신기술상 (1점) : 정보통신부 장관상 및 상패
- 우수 상 (2점) : IT-SoC협회장상 및 상패

## ❖ 당선작에 대한 지원

- 전자신문 및 IT SoC Magazine 특집 기사화
- IT-SoC협회 홈 페이지 등을 통한 온라인 홍보
- IT-SoC Fair 2006 및 해외 전시회 참가 지원
- 협회 주관 각종 IR 참가 시 우선권 부여
- 비즈니스 상담회 등 관련 행사에 우선 참가권 부여

## ❖ 기타

- 본 공모와 관련된 양식 및 안내사항은 IT-SoC협회 홈페이지 (www.itsoc.or.kr) 참조
- 2006 IT SoC대상 결과 및 시상 - 수상내용 및 수상자 언론발표 : 2005년 10월 초  
시상식 : IT SoC Fair 2006에서 시상