

DM

» Design Methodology

와이브로 SoC

설계 기술

와이브로 SoC 설계 기술

백영석 한국전자통신연구원 SoC연구개발그룹 책임연구원 (ysbaek@etri.re.kr)

1. 개요

정보통신산업의 발달, 네트워크의 광대역화/초고속화, 높은 서비스 요구 증대 등으로 이동통신 서비스의 융합화 멀티미디어화가 다양한 분야에서 점차 가속화 되고 있어, 언제 어디서나 자유롭게 통신망에 접속하여 음성, 데이터 및 영상까지의 고품질 멀티미디어를 활용할 수 있는 소위 4A(Anyone, Anytime, Anywhere, Anything)가 가능한 고도의 정보사회로 발전할 것으로 전망되고 있다. 고속 무선인터넷에서는 최근 802.11 표준에 기반하여 널리 보급된 WLAN 기술이 커버리지가 AP당 반경 30~200m 이내로 지역을 커버하기에 한계를 나타내자, 셀 반경이 수 Km이고, 수 Mbps 에서 수십 Mbps 처리속도로 고정 또는 도심의 vehicular 속도의 이동 중에도 고속의 무선인터넷을 사용할 수 있는 802.1/802.16e의 WMAN 기술이 차세대 무선접속기술로 자리잡고 있다.

국내 TTA에서 표준화 된 2.3 GHz 휴대 인터넷 기술인 와이브로는 802.16e의 규격 중 OFDMA/TDD 방식을 고려하고 있어, 802.16e의 파라미터와 성능 향상 기술 중 일부만을 사용하는 802.16e 규격의 서브 셋 기술로 간주될 수 있으며, 이동 중에 고속 데이터 통신을 가능하게 하는 이동통신 인터넷용 모뎀 핵심 IP개발은 파급효과가 클 것으로 기대된다.

본 고에서는 와이브로 규격의 설계방법에 대하여 기술한다. 먼저 와이브로 규격에 대하여 부동소수점 모델을 수행하여 규격에 대한 기능의 검증과 규격에서 요구하는 성능을 만족하기 위한 알고리즘의 선택이 이루어 지며, 고정소수점 모델을 수행하여 하드웨어에서 사용하는 신호들의 비트 수에 대한 결정을 수행한다. 본 고는 지면 관계상 와이브로 표준문서에 나타나 있는 방대한 규격 가운데 물리계층의 몇 가지 내용에 대하여 간단한 설명과 설계 방법에 대하여 기술하기로 한다.

2. 와이브로 물리계층의 규격

TTA에서 제정이 완료된 와이브로 1단계 표준안에서 사용되는 주요 파라미터의 값들은 다음과 같다.

Parameter	value
System bandwidth	8.75MHz
Sampling frequency(Fs)	10MHz
Sampling rate(1/Fs)	100nsec
Size of FFT(NFFT)	1024
Number of used sub-carrier	864
Number of data sub-carrier	768
Number of pilot sub-carrier	96
Sub-carrier spacing	9.765625KHz
Useful symbol time(Tb=1/?f)	102.4µs
Cyclic prefix time(Tg=Tb/8)	12.8µs
OFDMA symbol time (Ts=Tb+Tg)	115.2µs
TDD frame length	5ms
Number of symbols in a frame	42
TTG+RTG	161.6µs

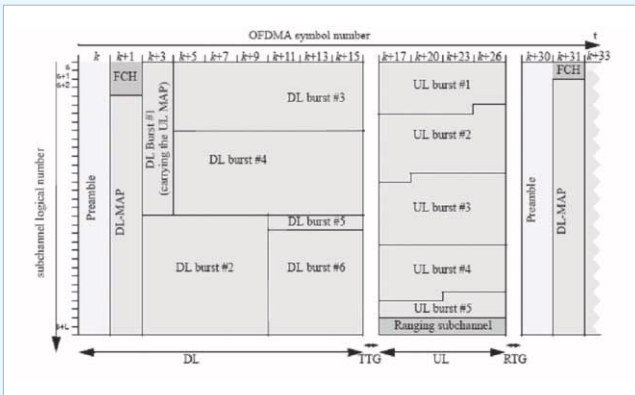
〈그림 1〉 와이브로의 주요 파라미터 값

와이브로 시스템은 기지국에서 단말로 정보를 보내는 하향 링크와 단말에서 기지국으로 정보를 보내는 상향 링크를 시간으로 구분하는 TDD 방식이 사용된다. 와이브로 시스템의 다중접속 방식으로는 OFDMA가 사용된다. 각 OFDMA 심볼은 총 1024개의 부반송파로 이루어져 있다.

OFDMA 심볼은 부반송파로 구성되며 여러 종류의 부반송파가 존재한다. 데이터 부반송파는 데이터 전송용으로 사용되고, 파일럿 부반송파는 채널

상태의 예측 및 보정 등 다양한 측정을 위하여 사용된다. 보호 대역은 신호를 자연적으로 감쇠토록 하며 FFT 장벽을 생성하는 데 그 목적이 있다. OFDMA 모드에서 유효 부반송파는 부반송파의 부세트로 나누어 지며 각각의 부세트는 채널로 명명된다. 하향링크에서 부반송파는 또 다른(그룹의) 수신기로 적용될 수 있으며 상향링크에서 하나 이상의 부채널이 송신기에 할당 될 수 있으며 여러 개의 송신기는 동시에 송신을 할 수도 있다. 부반송파는 인접하지 않고서도 하나의 채널을 형성할 수 있다. 심볼은 범위성, 다중 접근 및 향상된 안테나 배열 처리능력을 지원하기 위해 논리적 부 채널로 나누어 진다.

기지국으로부터 MAC 계층으로부터 하향링크를 통하여 받은 프레임에는 다음의 구조를 가진다. 단말은 preamble 의 정보를 이용하여 동기를 맞추고, 이후의 FCH와 DL_MAP 정보를 통하여 기지국으로부터 자신에게 보내는 정보를 찾고 해당 DL burst 를 수신하게 된다. 또한 UL_MAP을 통하여 단말 자신이 기지국에 보내는 시간과 제어정보를 추출하고, 정해진 방식으로 정해진 OFDM 심볼의 구간과 부채널의 범위 내에 정보를 할당하여 기지국에 보낸다.

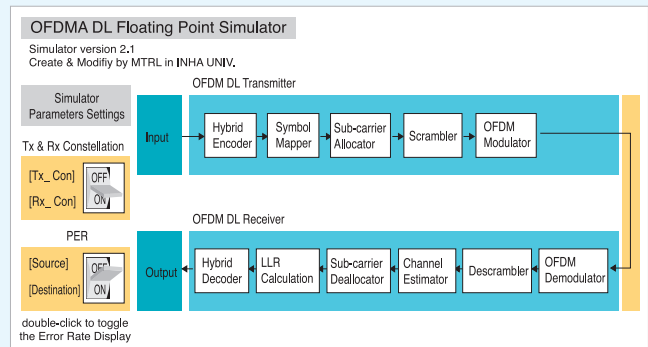


〈그림 2〉 와이브로의 프레임 구조

3. 와이브로의 부동소수점 모델/고정소수점 모델

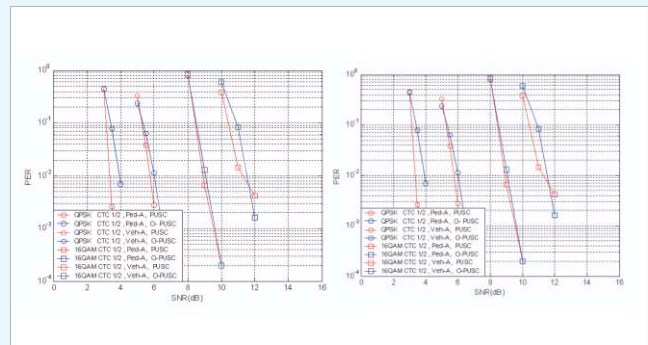
하향링크/상향링크 트래픽 채널의 상위 모델인 부동소수점모델과 고정소수점 모델은 C언어, M언어, SPW, Simulink 등 다양한 방법으로 모델이 되어질 수 있다. 본 고에서는 Mathworks 사의 Simulink를 사용하여 모델을 설계 하였다. 부동소수점모델과 고정소수점 모델과 같은 상위모델 설계 툴로 Simulink를 사용한 이유는 편리한 인터페이스와 다양한 라이브러리 및 분석기능을 사용할 수 있는 장점을 들 수 있다. 그 반면에 실행속도가 매우

느린 단점도 가지고 있다. 따라서 이러한 단점을 보완하기 위하여 와이브로의 규격을 C 프로그램으로 모델하고, C 프로그램을 Simulink와 연결하는 기능을 이용하여 보다 빠른 시뮬레이션 속도를 가지게 하였다.



〈그림 3〉 하향링크 / 상향링크 트래픽 채널의 부동소수점 모델

〈그림 3〉은 Simulink를 이용하여 와이브로의 트래픽 채널에 대한 부동소수점 모델을 설계한 시뮬레이터이다. 하향링크 / 상향링크 트래픽 채널은 와이브로를 포함하는 IEEE 802.16e OFDMA 방식을 기반으로 하여, Channel Encoder, Symbol Mapper, Sub-channel Allocation, Scrambler, OFDM Modulator등으로 설계 되어 있다. 상위 모델 설계에서는 먼저 부동소수점 시뮬레이터를 구성하고 구성된 시뮬레이터를 통하여 물리계층의 성능 검증 및 알고리즘 개발 / 검증을 시행한다.



〈그림 4〉 부동소수점 하향/상향링크 Diversity 모드 성능

부동 소수점 설계 모델을 이용하여 알고리즘 개발 및 검증이 이루어지면 고정소수점 시뮬레이터를 개발하게 되며, 이는 부동 소수점 모델로부터 각 블록들에 대하여 주요 신호 선에 대한 비트 수를 결정하고, 결정된 비트 수들의 값을 조합하여 원하는 성능을 만족하는지를 검증하게 된다. 최소의 하

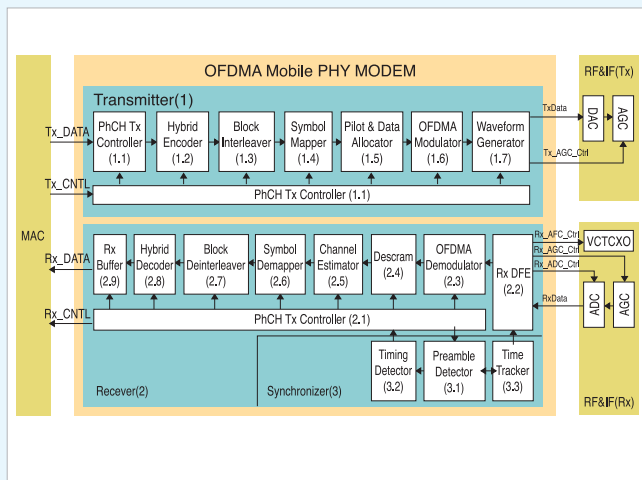
드웨어 자원으로 규격의 원하는 성능을 만족하는 조건을 찾는 부분으로 각각의 다양한 조합에 대하여 시뮬레이션이 이루어지므로 매우 시간이 많이 걸리는 부분이다.

〈그림4〉는 부동소수점모델에서 하향링크, 상향링크 각각에 대한 시뮬레이션 결과를 보여준다. 성능검증을 위해 사용된 채널은 ITU-R M.1225 Veh. -A 60km/h, Pedestrian-A 10km/h 채널 모델을 사용하였다.

부동소수점 하향링크 다이버시티 모드에서의 성능 그래프에서 QPSK, 16-QAM, 64-QAM 모두 Pilot의 개수가 상대적으로 많은 PUSC가 PER 10^{-2} 에서 약 0.5 ~ 1dB 정도 성능이 좋게 나타남을 확인할 수 있다. 부동소수점 상향링크 Diversity 모드의 Veh-A 60km/h채널과 Ped-A 10km/h에서의 성능 그래프에서도 하향링크와 마찬가지로 Pilot의 개수가 상대적으로 많은 PUSC가 OPUSC 보다 PER 10^{-2} 에서 약 0.5dB성능이 좋게 나타남을 확인할 수 있다.

4. 와이브로의 상세 설계

와이브로의 상위설계의 성능분석을 통하여 확정된 알고리즘을 기반으로 물리계층을 구현하기 위하여 상세설계에 앞서 구조설계를 수행한다. 물리계층의 구조설계에서는 기능블록들의 상세설계를 수행하기 전에 전체적인 H/W의 구성 및 블록별 H/W의 구조적인 설계를 확정함으로써 상세설계에서의 오류를 줄이고 각 블록간의 인터페이스를 확정하여 상세설계에서의 각 블록설계를 독립적으로 원활히 수행할 수 있게 된다. 〈그림 5〉는 와이브로 단말 모듈의 최상위 구조도를 나타내고 있으며 각 블록의 구조설명은 블록별 설계에서 자세히 기술하고 있다.



〈그림 5〉 와이브로의 최상위 구조도

MAC으로부터 PhCH_Tx Controller 블록에 있는 레지스터부분에 전송부의 제어를 위하여 필요한 정보가 저장된다. 이 제어 정보는 예로 채널인코딩의 종류(CTC, CC, 등), 변조모드(QPSK, 16QAM, 64QAM), 반복부호의 종류(2, 4, 6), 부반송파의 할당 채널 모드 등의 정보이다.

이 후 MAC 으로부터 전송되어질 데이터 정보를 받으며, 이 데이터는 Hybrid Encoder 블록을 통하여 인코딩 되고, Block Interleaver를 거쳐 인터리빙 된다. 이후 Symbol Mapper를 통하여 QPSK, 16QAM 또는 64QAM의 모드로 변조되며, 이 결과는 Pilot과 Data Allocator 를 통하여 OFDM의 각 부반송파에 할당된다. 주어진 제어 신호에 따라 PUSC, OPUSC, AMC 의 방식으로 할당 된다. 할당된 신호는 Scrambler를 거쳐 파일럿 신호와 데이터 신호가 난수화 된다. 각 OFDM 심볼단위로 할당된 신호들은 Guard Band와 DC 부반송파를 추가하고, IFFT 수행 및 Guard 를 추가한다. 이 후 Waveform Generator를 이용하여 신호를 필터링 한다.

PhCH_Rx_Controller 블록은 Write/Read 레지스터, 단말모뎀 내의 인터럽트 제어, Sleep 제어 및 동기화기로부터 프레임 타이밍 신호를 받아 수신기 내에서 공통으로 필요한 공통 제어 신호들을 생성하는 기능을 수행한다.

Rx DFE & PC 블록은 RF/IF 칩으로부터 아날로그 수신신호를 입력받아 ADC 변환을 수행하고, 수신신호의 크기 변화를 최적화하기 위한 수신 증폭기의 이득 제어 신호 생성, ADC의 직류전압 성분 제거 기능, 페루프/개루프 전력제어 기능 및 저전력을 위한 송신 전력증폭기 및 수신 LNA의 On/Off 제어기능을 수행한다. OFDMA Demodulator 블록은 초기 동기 수행시에는 Coarse Timing Synchronizer 블록으로부터 신호를 받아 FFT를 수행한 후, 그 결과를 Cell Searcher에 전달하고, 다시 Cell searcher로부터 입력받아 IFFT를 수행한 후 Fine Timing Synchronizer로 전달한다. 동기작업 이 완성된 후에는 Rx_DFE로부터 수신 신호를 입력받아 CP를 제거하여 Input Buffer에 저장하며, Input Buffer로부터 데이터를 읽어 FFT를 수행한다.

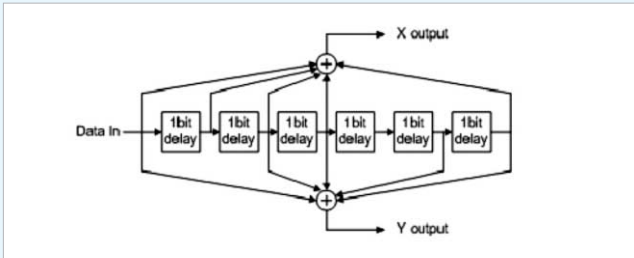
Channel Estimator 블록의 기능은 가드밴드제거, 디스크램블링, 채널추정과 부 채널의 추출 등의 기능을 수행한다. 심볼 복조기는 컴바이너에서 심볼을 받아서 해당 심볼복조 방법에 의한 연성판정을 수행하며, BPSK, QPSK, 16QAM 및 64QAM 등의 복조로 이루어져 있다. 각 해당 전송율에 따른 복조방식은 심볼변조에서 정의한 값에 따른다.

디인터리버는 인터리버의 역과정으로 각 전송율에 따른 심볼의 위치를 변환하기 위한 심볼 디인터리버와 블록 디인터리버로 구현된다.

1) Convolutional 부호기 와 Convolutional Turbo 부호기

Convolutional 부호기 블록은 부호율이 1/2이고 K=7인 CC에 의해 부호화된다. 이 Convolutional 부호기의 생성다항식 및 구조는 다음과 같다.

$$G1=171_{oct} \text{ for } X, \quad G2=133_{oct} \text{ for } Y$$

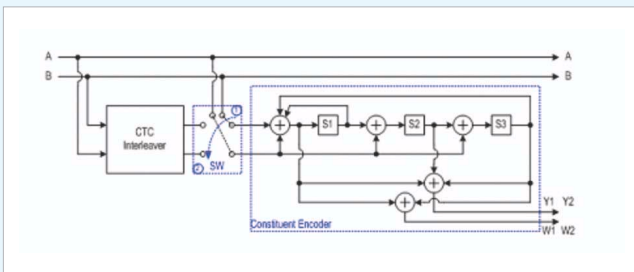


〈그림 6〉 부호율 1/2인 Convolutional 부호기

Convolutional Turbo 부호기는 2개의 Binary Circular Recursive Systematic Convolutional 부호를 사용하고 있다. 부호화 될 비트들은 입력 A, B에 번갈아 들어가게 되는데 A에 들어가는 첫 번째 바이트의 MSB부터 입력이 시작된다. 부호기에 입력되는 블록은 k 비트 또는 N 커플($k=2*N$ 비트)이다. 모든 프레임 크기에 대하여 k 는 8의 배수이며, N 은 4의 배수이다. N은 $8 \leq N/4 \leq 1024$ 로 제한된다. 생성 다항식들은 다음과 같다.

- Feedback branch: $0xB=1+D+D_3$
- Y parity bit: $0xD=1+D_2+D_3$
- W parity bit: $0x9=1+D_3$

CTC 부호기를 다음 그림에 도시하였다.



〈그림 7〉 CTC Encoder

2) 블록 인터리버/블록 디인터리버

모든 부호화된 블록 크기 Ncbps 당 부호화된 비트 수에 해당하는 크기의 블록 인터리버로 인터리브된다. 인터리버는 두 단계 Permutation으로 정의된다. 첫 번째는 인접한 부호화된 비트들은 인접되지 않은 부 반송파로 매핑된다. 그리고, 두 번째는 인접한 부호화된 비트가 성상도 중에서 더 적게 혹은 많게 주요한 비트로 교대로 매핑된다. FEC로 CTC를 사용할 때는 이 인터리버는 사용되지 않으며, CTC 자체의 인터리버를 사용한다.

Ncpc를 부반송파 당 부호화된 비트 수, 즉 QPSK, 16-QAM 혹은 64-QAM에 대하여 각각 2, 4, 6으로 한다. $s=Ncpc/2$ 로 한다. 전송 시 Ncpcs 비트의 블록 내에서 k를 첫 번째 순열 이전의 부호화 비트 인덱스, mk를 첫 번째 이후 두 번째 순열 이전의 부호화된 비트 인덱스, 그리고 jk를 변조 매핑 바로 전 두 번째 순열 이후의 인덱스, 그리고 d를 순열에 사용되는 모듈로 정의한다.

$$m_k = (N_{cbps}/d) \cdot k_{mod(d)} + \text{floor}(k/d) \quad k=0, 1, \dots, N_{cbps}-1, d=16$$

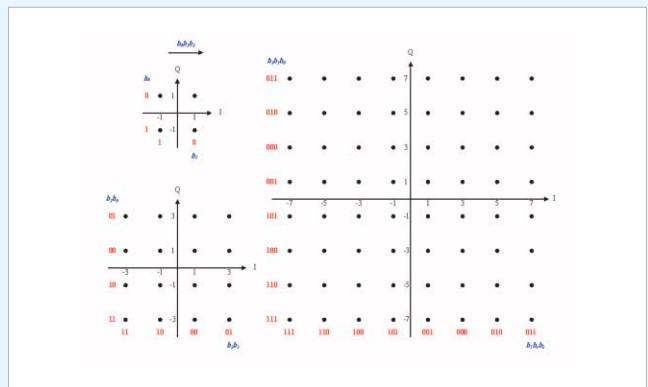
$$j_k = s \cdot \text{floor}(m_k/s) + (m_k + N_{cbps} - \text{floor}(d \cdot m_k / N_{cbps}))_{mod(s)}$$

$$k=0, 1, \dots, N_{cbps}-1$$

블록 인터리버는 두 단계의 인터리빙을 수행하여야 하나, 상세설계 시에는 이 부분이 시간의 병목이 되는 부분으로 두 단계의 인터리빙 방법을 분석하여 직접 한 단계의 인터리빙 방식으로 수행되는 방식으로 바꾸어 구현한다. 이는 인터리빙 메모리의 절약 뿐 아니라 신호 흐름의 병목을 해결한다. 복조기 부분에서 사용되는 블록 디인터리빙에서도 두 단계 인터리빙 방식을 직접 한 단계의 인터리빙 방식으로 수행되는 방식으로 바꾸어 구현한다.

3) 심볼 매퍼/심볼 디매퍼

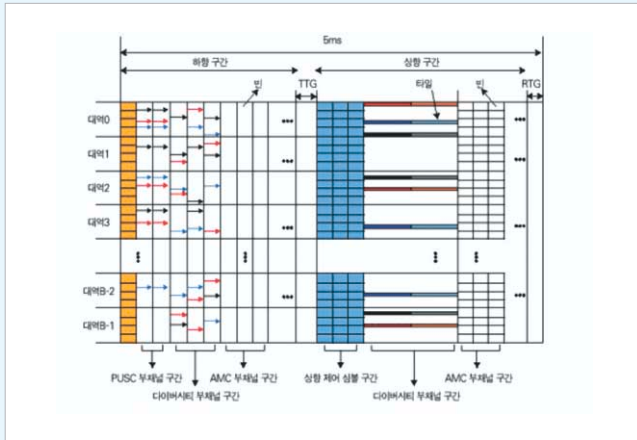
블록 인터리빙 후 데이터 비트는 직렬로 입력되어 성상도 상에 매핑 된다. 성상도는 그레이 코드로 매핑되며, QPAK, 16QAM, 64QAM이 있다. QPSK와 16-QAM 은 기본으로 지원되는 반면 64-QAM은 선택사항이다. 성상도는 지시 인자 c와 성상도의 점을 곱하여 정규화되며, 따라서 동일한 평균 파워를 갖는다.



〈그림 8〉 심볼매퍼의 성상도

복조기 부분에서 사용되는 심볼 디매퍼는 심볼매퍼의 역이 되는 부분으로 파일럿 부반송파를 이용하여 등화기 과정을 거쳐 일정한 값으로 정규화된 후 심볼 값을 찾은 후 이에 대한 원래의 데이터 값을 얻게 된다.

4) 파일럿 할당과 데이터 할당



〈그림 9〉 와이브로의 프레임 구조

PUSC Tile Builder 블록은 주어진 UL_PermBase 값에 따라 부채널 0 부터 35 번에 해당하는 tile의 인덱스에 대한 집합을 생성하는 블록으로, 데이터가 저장되는 부채널의 범위가 결정되면 쉽게 해당 tile 인덱스들의 값을 추출할 수 있다. Uplink에서는 프레임 내에서는 UL_PermBase 의 값이 변하지 않으며, UL_PermBase의 값이 변할 때 마다 PUSC Tile Builder 블록의 집합은 갱신된다. 다음의 식은 슬롯에 대한 tile의 인덱스 값을 얻는 식이다.

$$Tile(s, n) = 35n + (Pt[(s+n) \bmod 35] + UL_PermBase) \bmod 35$$

PUSC Subcarrier Index Generator 블록은 주어진 부채널의 값에 따른 타일내의 부반송파의 배치 정보를 나타낸다. 부반송파의 배치정보는 슬롯내에 있는 0~47개의 부반송파 배치 가능위치를 재배열한다. 슬롯 s에 대한 부반송파 번호 n(0~47)의 위치를 얻는 식은 다음과 같다.

$$subcarrier(n, s) = (n + 13 \cdot s) \bmod 48$$

Optional PUSC Tile Builder 블록은 주어진 UL_PermBase 값에 따라 부채널 0 부터 35 번에 해당하는 tile의 인덱스에 대한 집합을 생성하는 블록으로, 데이터가 저장되는 부채널의 범위가 결정되면 쉽게 해당 tile 인덱스들의 값을 추출할 수 있다. Uplink에서는 프레임 내에서는 UL_PermBase 의 값이 변하지 않으며, UL_PermBase의 값이 변할때 마다 Optional PUSC Tile Builder 블록의 집합은 갱신된다. 다음의 식은 일반적인 FFT 크기에 대하여 슬롯에 대한 tile의 인덱스 값을 얻는 식이다.

$$Tile(s, m) = \begin{cases} 48 \cdot m + 16 \cdot S + [s' + P_{1,c1}(m) + P_{2,c2}(m)] & 0 < c_1, c_2 < 16 \\ 48 \cdot m + 16 \cdot S + [s' + P_{1,c1}(m)] & c_1 \neq 0, c_2 = 0 \\ 48 \cdot m + 16 \cdot S + [s' + P_{2,c2}(m)] & c_1 = 0, c_2 \neq 0 \\ 48 \cdot m + 16 \cdot S + s' & c_1 = 0, c_2 = 0 \end{cases}$$

Optional PUSC Subcarrier Index Generator 블록은 PUSC Subcarrier Index Generator 블록과 동일한 동작을 수행한다. AMC Sub Range Generator 블록은 AMC Permutation 영역에서 부채널을 구성한다. AMC 에서의 부채널은 서로 인접한 6개의 빈으로 구성된다. 부채널의 형태는 빈이 어떠한 형태로 이루어지는가에 따라 4가지 형태로 나누어 진다. Type 1은 하나의 부채널이 인접한 6개의 빈 x 1개의 OFDM 심볼로 구성되며, Type 2은 하나의 부채널이 인접한 2개의 빈 x 3개의 OFDM 심볼로 구성된다. Type 3은 하나의 부채널이 인접한 3개의 빈 x 2개의 OFDM 심볼로 구성되며, Type 4는 하나의 부채널이 인접한 1개의 빈 x 6개의 OFDM 심볼로 구성된다. 이 0~47까지의 부반송파 위치는 AMC영역에 주어진 순열과 부반송파 생성식에 의하여 위치가 재조정된다. 제공되는 순열은 다음과 같다.

P0={01, 22, 46, 52, 42, 41, 26, 50, 05, 33, 62, 43, 63, 65, 32, 40, 04, 11, 23, 61, 21, 24, 13, 60, 06, 55, 31, 25, 35, 36, 51, 20, 02, 44, 15, 34, 14, 12, 45, 30, 03, 66, 54, 16, 56, 53, 64, 10}

상기의 순열은 7진수의 표기(GF(7₂))이다. 그리고 AMC Permutation의 부반송파 생성식은 다음과 같다.

$$S_{per}^{off}(j) = \begin{cases} P_{per}(j) + off & P_{per}(j) + off \neq 0 \\ off & P_{per}(j) + off = 0 \end{cases}$$

여기에서,

$$per = UL_PermBase \bmod 48$$

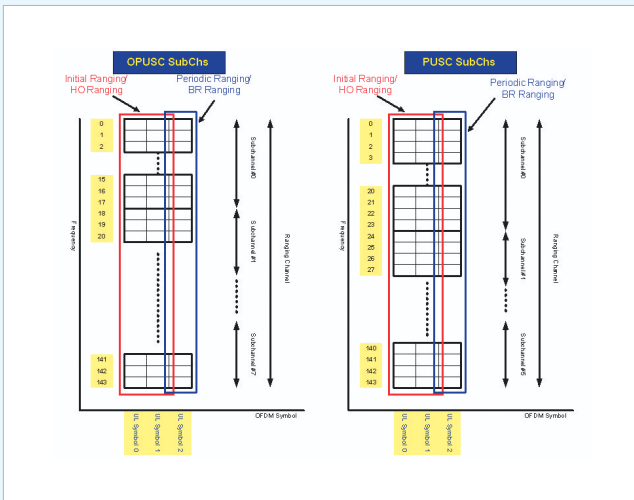
$$off = (\lceil UL_PermBase / 48 \rceil) \bmod 49$$

이러한 부반송파 할당 시 사용되는 연산 가운데, mod 48, mod 49, div 48, mod 35, mul 48 등의 상수 연산을 수행하는 것이 있다. 이들의 구현은 상수 modular와 상수 divider, 상수 multiplier 등을 이용하여 구현하여야 하며, 일반적인 modular, divider, multiplier IP를 이용하여 구현하면 하드웨어의 낭비와 시간의 낭비를 가져오게 된다.

레이징 신호는 동일한 시간에 다수의 단말로부터의 레이징 신호 송출이 허용되는데, 각 단말은 앞서 설명된 용도에 따라 레이징 모드를 구분 사용하게 된다. 레이징 신호 변조를 위하여 단말은 사용 가능한 레이징 부호 중에서 하나를 임의로 선정하고 BPSK 변조하여 송출한다. 이 때 단말은 임의로 선택한 레이징 부호로 레이징을 시도하기 때문에 레이징 채널 상에서 총

돌릴 수 있다. 레인징 채널에 할당된 부반송파의 수는 144이며, 3×3 타일 형태의 상향링크 다이버시티 부채널 8개를 할당해서 0~143번의 부반송파를 사용한다.

레인징 부호는 BPSK 변조되기 때문에 레인징 부호 길이 또한 144이다. 이 때 단말이 임의 선택하여 전송 가능한 해당 레인징 모드별 레인징 부호 수는 시스템 배치 때 결정되는 시스템 운용 파라미터이다. 단말에게 허용된 레인징 전송 구간은 레인징 모드에 따라 다르다. 초기 레인징과 핸드오프 레인징 전송 슬롯은 상향 링크 프레임 구간에서 첫 번째와 두 번째 OFDMA 심볼로 구성되며, 주기적 레인징과 대역폭 요구 레인징 전송 슬롯은 상향 링크 프레임 구간에서 세 번째 OFDMA 심볼로 구성된다.



〈그림10〉 레인징 신호의 구성

5) OFDMA Modulator/Demodulator

Tx OFDM Modulator 블록은 크게 IFFT 기능을 수행하는 IFFT 블록과 cyclic Prefix를 첨가하는 Guard Insertion 블록으로 나누어지며, 수신부의 OFDM Demodulator 블록은 cycle prefix 부분의 추출 및 제거와 FFT 기능을 수행하여 원래의 정보를 추출한다. IFFT/FFT 블록은 1024 point 를 수행하며, Guard Insertion 블록은 OFDM 방식의 특성인 Guard 부분을 추가함으로 신호의 주파수 선택적인 채널 특성을 AWGN 특성으로 변환시켜준다.

IFFT블록은 주파수 영역(Frequency Domain)의 신호를 시간영역(Time Domain)으로 변환하는 블록으로 다음의 식으로 표현할 수 있다.

$$S(t) = Re \left\{ e^{j2\pi f_c t} \sum_{\substack{k=-(N_{sub}-1)/2 \\ k \neq 0}}^{(N_{sub}-1)/2} C_k \cdot e^{j2\pi k \Delta f (t-T_0)} \right\}$$

여기서

t 는 $0 < t < T_s$ 범위에서 OFDMA 심볼의 초기부터 경과한 시간을 의미한다.
 C_k 는 복소수로서 OFDMA 심볼 기간동안 주파수 오프셋 인덱스가 k 인 부반송파상에서 전송될 데이터를 의미한다. 이것은 QAM배열에서 한 점을 나타낸다.

T_0 는 보호구간을 나타낸다.

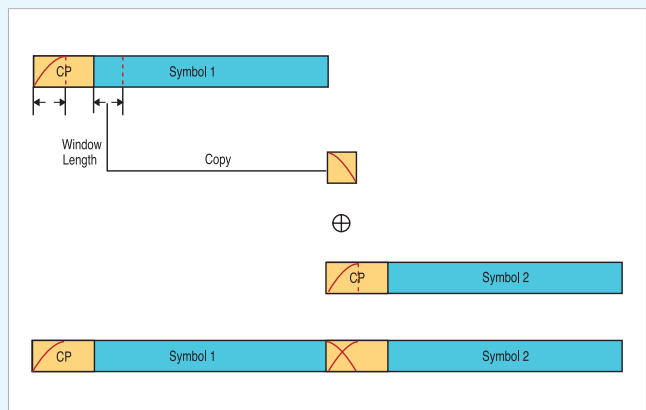
T_s 는 보호구간을 포함하는 OFDMA의 심볼구간을 의미한다.

Δf 는 부반송파 주파수 간격을 의미한다.

IFFT/FFT기능을 수행하는 블록은 모드 단자를 이용하여 FFT모드와 IFFT 모드를 선택할 수 있으며 와이브로 시스템이 TDD 이므로 하나의 IFFT/FFT 하드웨어 블록으로 OFDM Modulator, OFDM Demodulator 뿐 아니라 동기화기에서도 시간을 분할하여 사용함으로 하드웨어 비용 감소와 전력소비를 감소 시키는 설계를 하고 있다.

6) Waveform Generator

전송된 신호의 spectral density는 주어진 것처럼 Spectral Mask 내에서 떨어져야 한다. 이 부분은 보통 FIR 필터를 이용하여 이루어지며, FIR 필터를 이용시 와이브로의 500이상의 차수를 이용하여야 한다. 본 설계에서는 이 부분을Windowing 방식을 이용하여 설계하였으며, 이는 하나의 곱셈기와 하나의 덧셈기로 구현이 가능하다.



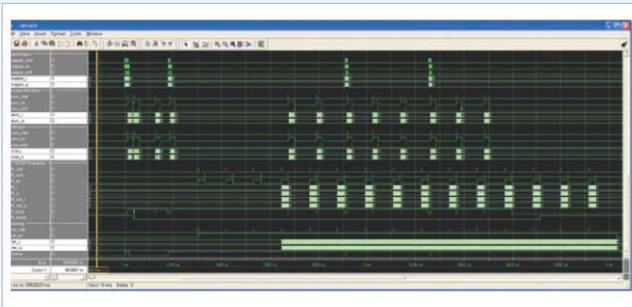
〈그림11〉 와이브로의 Windowing 구조

7) 동기화기

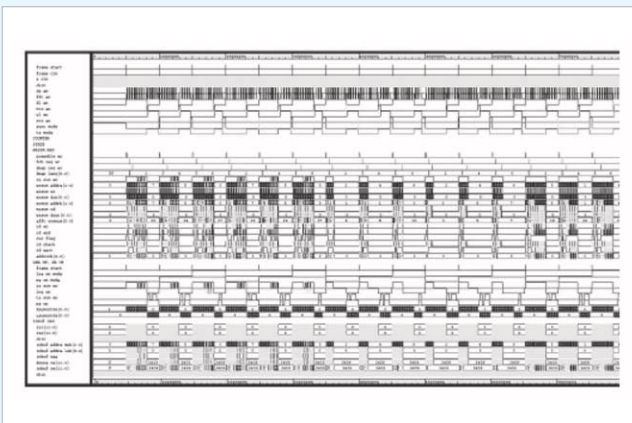
동기화기는 초기모드, 트래킹모드와 핸드오버 모드 세가지의 모드가 있다. 초기모드에서는 시간 도메인에서 coarse timing 동기를 잡고 주파수 도메인에서 셀 탐색과 정수배 주파수 오차를 찾은 후 다시 시간 도메인에서 fine timing 동기를 잡는다. 트래킹모드에서는 동기화기는 preamble 구간에서 time tracking 과 fractional freq. tracking 그리고 CINR 추정을 수행한다. 핸드오버 모드에서는 동기화기는 Handover Mode에서 기본적으로 time tracking 과 fractional freq. tracking을 수행하며 후보 기지국에 대한 CINR과 timing offset을 측정한다.

8) 설계 시뮬레이션

다음은 변조기 블록과 복조기 블록의 시뮬레이션 결과를 나타낸다. 처음 그림에서 앞의 3개의 심볼은 상향링크의 제어신호를 나타내고 9개의 심볼



<그림12> 와이브로 변조기 IP의 시뮬레이션 결과



<그림13> 와이브로 복조기의 시뮬레이션 결과

은 데이터가 할당된 OFDM 심볼을 나타낸다. 가장 아래의 신호는 windowing 을 통하여 생성된 신호이다. 두 번째 그림은 수신된 신호에서 동기화를 거쳐 OFDM 심볼을 추출하고 이로부터 cyclic prefix부분을 제거하고 FFT를 통하여 데이터를 추출하는 부분에 대한 시뮬레이션 결과이다.

5. 결론

본 장에서는 와이브로의 상위설계 모델을 기반으로 구조모델 설계 및 RTL 상세설계에 대하여 기술하였다. 설계된 부분들은 상위모델에서 도출된 테스트벡터에 대한 시뮬레이션 검증을 완료하였으며, 실시간 검증을 위한 모뎀 IP 검증용 플랫폼의 제작 및 플랫폼 상에서의 검증 환경이 구축된 상태이다. 이러한 모뎀 IP들의 물리계층 구현은 OFDM 및 OFDMA 분야 물리계층 모델을 구현할 수 있는 핵심 IP 기술로서 와이브로와 802.16e 관련 단말 시스템 시장에 진입할 수 있는 단말기 및 시스템 구현의 핵심 IP로 활용이 가능하므로 저렴한 비용으로 단기간에 관련 부품을 개발할 수 있는 효과를 기대할 수 있다. ☺

[참고문헌] -----

- [1] TTAS,KO-06.0082/R1 2.3GHz 휴대인터넷 표준 -물리 계층 및 매체접근 제어 계층, Dec, 2005
- [2] Draft IEEE Standard for Local and metropolitan area networks Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems Amendment for Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands, IEEE, Sep, 2005
- [3] 05MB4600-01-100P, 모바일용 저전력 모뎀 핵심 IP 개발에 관한 연구, 한국전자통신연구원, Feb, 2006