

# Hot Issue

>> Hot Issue

43rd Design Automation  
Conference를 다녀와서

# 43rd Design Automation Conference를 다녀와서

미국 샌프란시스코에서 지난 7월 24일부터 28일까지 5일간 제43회 Design Automation Conference(DAC)가 개최되었다. 500여개의 IP/SoC 관련 기업 및 대학이 참가하여 SoC 설계분야의 이슈와 해결방안을 논의하였다.

김진혁\_ IT-SoC협회 기술지원팀 과장 (jhkim@itsoc.or.kr)



DAC는 올해로 43회를 맞는 반도체 설계 자동화 컨퍼런스 및 전시회로써 인텔, ARM, IBM, Sun Microsystems 등 첨단 IP/SoC 설계 회사와 Cadence, Synopsys 등 설계용 EDA(Electronic Design Automation)개발 회사, 그리고 TSMC, UMC 등 반도체 파운드리 회사들이 참가하였다. 각 회사의 상용제품들의 전시와 아울러 연구개발의 결과를 발표하고 토론하는 컨퍼런스도 동시에 열렸다. DAC에서는 전세계 IP/SoC 관련 기술발전 방향 및 트렌드와 최근 가장 이슈가 되고 있는 분야를 알 수 있었다. 본 고에서는 제43회 DAC에서 가장 이슈가 되었던 분야와 전시회에 참여한 한국의 SoC 기업들

을 돌아보고자 한다.

## 1. DFM/DFY를 해결하라

최근 공정기술이 나노급(90나노 특히 올해의 65n, 40n급)으로 급속히 진행되고 있지만 광학(Optical)기반의 리소그래피장비 등이 발전하지 않고 있기 때문에 이를 해결하기 위한 총체적인 문제를 DFM(Design for Manufacturability)/DFY(Design for Yield)로 규정하여 해결하고자 하고 있다. 리소그래피 장비가 기술적으로 미세공정을 대응하지 못하기 때문에, 설계와 공정간의 문제가 크게 대두되고 있는 실정이다. 특히 RC 추출, interconnect 간섭 현상이 심화되고 있어서 DFM 방법 중의 하나인

RET(Resolution Enhancement Technology) 기술을 이용하고 있으나, 해결해야할 과제가 많은 것이 현실이다.

하지만, 해결하고자 하는 시도는 여러 곳에서 이루어지고 있다. Synopsys는 OPC(Optical Proximity Correction)를 이용하여 나노공정의 광학적인 문제를 보완하고 있으며, Mentor는 자사의 EDA 제품인 Calibre 내에 DFM 패키지를 제공하여 OPC, ORC(Optical Rule Check)를 함으로써 DFM 문제를 해결하고자 하고 있다. 또한 Cadence는 공정과 설계를 통합하여 공정을 고려한 설계가 가능할 수 있도록 Virtuos-RET suite를 제공하고 있다.



<그림 1> DAC 전시장 전경



## 2. 시스템레벨 설계방법(ESL)의 대두

수 년 전까지만 해도 Verilog나 VHDL과 같은 RTL 레벨의 설계가 상위레벨의 설계를 주도하였으나, 최근에는 다양한 기능의 제품이 빠르게 출시되고 있다. C, C++, 혹은 시스템 C 등의 행위적기술언어(Behavioral Language)를 사용하여 시스템을 서술적으로 기술한 후 RTL로 변환하여 칩으로 구현하는 방법을 활용하고 있다. 칩 면적, 파워소모등의 면에서 단점을 가지고 있지만 SoC의 Time-To-Market이 중요한 요즘에는 최선의 방법으로 대두되고 있는 실정이다. C, C++, 시스템 C 구현과 이미 개발된 많은 IP의 입출력을 정의하여 사용하면 시스템레벨로 구현할 지라도 최적화된 IP들로 인하여 IP간의 인터페이스 동작을 최적화시킬 수 있으며, 설계시간 단축과 칩 면적, 파워소모를 축소할 수 있고, 설계 도면의 검증시간을 단축할 수 있다.

Coware, Celoxica에서는 IP를 C언어로 기술하고, C언어로 설계된 회로를 RTL로 변환하는 방법을 제시하고 있으며, Synopsys에서는 IP라이브러리를 이용하여 System Verilog를 이용한 설계 방법을 제공하고 있다.

## 3. MP(Multi-Processor)SoC 설계

급격하게 발전하고 있는 통신 및 가전기기는 다기능, 고성능, 저전력의 필요로 인해 멀티프로세서 사용하는 MPSoC를 요구하고 있다. MPSoC는 다수의 Processor를 사용하는 대표적인 SoC이며, 다수의 프로세서 코어를 사용하면 고속, 저전력의 고성능을 구현할 수 있기 때문에 현재 급속히 확산되는 설계기술이다. 그러나 SoC가 ARM, DSP와 같은 다수의 프로세서를 포함하고 있으면 프로세서간의 인터페이스, 여러 개의 OS 등으로 인하여 발생하는 문제를 해결해야만 한다. 예를 들어 N개의 프로세서를 사용하면서 각각의 프로세서의 퍼포먼스를 모두 최적화시키는 것은 매우 어려운 일이다. 즉, 프로세서 상호간의 메모리 인터페이스나 상호 동작의 동기, 기타 다른 인터페이스에서 문제점을 드러내고 있다.

아직은 적절한 해결책이 나오지 않는 실정이지만, 많은 EDA사가 멀티프로세서 코어에 대한 대응책을 수립하고 있는 실정이다. MPSoC설계는 구조상의 특성으로 인해 많은 인터페이스를 개발하여 문제점을 보강하고 있다. 앞으로 ARM, MIPS, DSP 등의 프로세서 코어들과 하드 IP, 소프트 IP 들이 호환 가능할 수 있는 인터페이스 설계 방법론들이 개발되면 MPSoC설계기술이 확산될 것으로 보인다.

## 전시회 둘러보기

### (주) 다반테크 [www.davan.co.kr](http://www.davan.co.kr)

주문형반도체 디자인서비스 및 반도체회로설계(EDA)를 전문 업체인 (주)다반테크(대표 박상조)는 이번 DAC 행사에 처음 참가하면서 두가지에 역점을

두었다. 하나는 자사 TFT-LCD 분석 검증 제품인 엑스퍼트엘시디(ExpertLCD)이고 다른 하나는 시스템온칩(SoC) 플랫폼 서비스와 솔루션이다.

SoC 플랫폼 서비스와 솔루션의 경우 국내 고객 뿐만 아니라 해외의 고객 유치를 위하여 참가를 하였다. 제공되는 서비스 영역은 턴키 디자인서비스를 기본으로 RTL to GDSII 서비스, RTL to Wafer서비스, RTL to Chip 서비스, 임베디드 CPU 디자인서비스 와 Timing Closure, Platform Solution, Power Closure, DFT Closure, IP/LIB Qualification에 대한 솔루션 등을 제공한다.

자체 기술 엔지니어를 보유하고 있는 다반테크 첨단기술연구소에서 개발 공급하는 엑스퍼트 엘시디(ExpertLCD)는 국내(LG필립스LCD) 및 해외 수출(중국:SVA, 대만:AUO,QDI,CMO등, 일본:S사, H사 등)을 하고 있는 소프트웨어로써 LCD 및 유기EL 전문 분석 제품이다. 엑스퍼트엘시디는 기존의 제품들은 액정(Liquid Crystal)의 광학적 특성 분석만 가능한 반면, 본 제품은 광학적 특성뿐 아니라, 전기적 특성 및 이 두 가지 특성이 결합

된 특성 분석이 가능한 통합 시뮬레이션 제품이 며, 3차원 수직 다중 배향(MVA) TFT LCD 설계 기술과 플랫 패널 이미지 해석 기술도 적용 가능하다. 이에 따라 TFT-LCD 액정 제품에 대하여 공장에서 초기 데이터 값을 통하여 엑스퍼트엘시디에 값을 입력하면 실제 만들어져 나올 액정의 실제 상황을 컴퓨터 상에서 만들어 소프트웨어적으로 분석 검증을 할수 있다.



(그림 2) (주) 다반테크 부스 전경

### 셀로코 (주) [www.seloco.com](http://www.seloco.com)

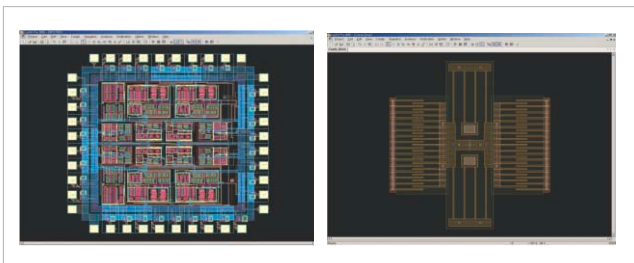
셀로코(주)는 DAC에 유영욱 대표이사 등 총 6명의 임직원이 참가하여 전 세계에서 찾아 온 많은 고객들을 상대로 MyCAD 제품을 소개하였다.

#### • MyChip Station™ Pro

MyChip Station™ Pro는 Windows에서 Engineering Workstation처럼 정교한 Physical Design을 할 수 있는 IC Design Solution이다. Layout Editor인 LayEd Pro는 Customizable Polygon 기반으로 Mask 제작에 필요한 모든 도형을 설계할 수 있으며 Command 방식으로 신속하

고 편리하게 디자인 할 수 있는 Full Custom IC Layout Editor이다. Physical design verification에는 Design Rule을 검사하는 MyDRC Pro와 Layout과 Schematic의 Netlist를 비교하는 MyLVS Pro로 구성되어 있으며 Parasitic information과 Netlist를 추출하는 LayNet Pro도 포함되어 있다. 이러한 Verification Tool은 사용자가 정의한 룰 파일을 사용할 수 있으며 DRACULA™ 과 호환된다. 마지막으로 CifGDS Pro는 Industry Standard (GDS II, CIF, DXF/DWG)를 사용하여 Layout data를 Import, Export 할 수 있으며 Industry Standard의 상호변환도 가능하다.

현재 국내의 수많은 대학교내 기계, 나노, 전기, 전자, 전산, 반도체 관련 학과에서 MyCAD를 이용한 설계 교육을 진행하고 있으며, 산업체에서도 IC layout, MEMS Design, LCD, Optical 및 관련분야의 Layout 설계에 사용하고 있다. 또한, 미국, 일본, 유럽, 중국, 인도 및 아시아 등에서 Analog 및 Mixed IC 설계에 수년간 사용되어 뛰어난 성능이 입증되고 있다.



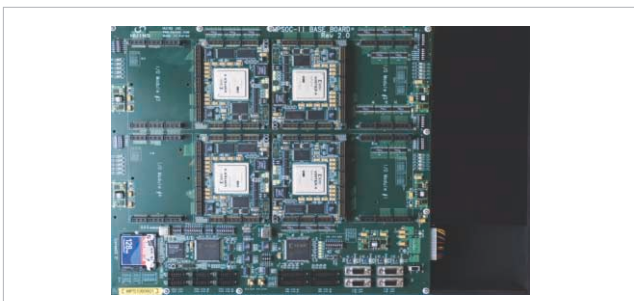
<그림 3> IC Design : Filter

<그림 4> MEMS Design : Comb Drive < Layout Example >

**(주) 휴인스 www.huins.com**

• MPSoC II

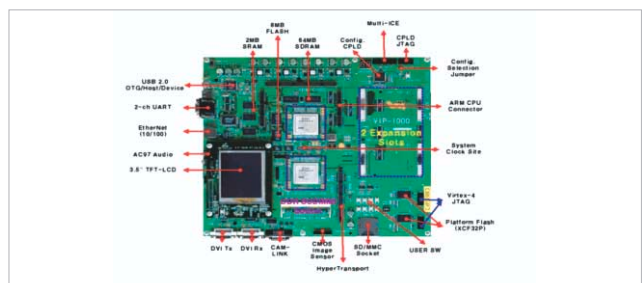
MPSoC II Verification 플랫폼은 MPSoC 검증 플랫폼 구성을 위한 베이스 보드인 MPSoC II Base board와 Xilinx Virtex-4 FPGA를 사용하는 MPSoC - II FPGA board로 구성되어 있다. 또한, 8개의 Xilinx Virtex4 LX200 FPGA를 사용하면, 최대 1억 6천만 게이트까지 사용할 수 있는 차세대 멀티프로세서 SoC 설계 검증 플랫폼이다.



<그림 5> MPSoC II BASE Board

• VIP(AMBA Verification IP Platform)

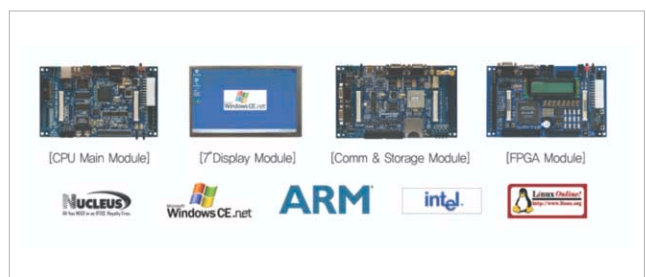
VIP는 ARM926EJ-S/DSP 멀티 코어와 Xilinx 1000만~2800만 게이트 Virtex-4 FPGA가 133MHz AMBA AHB 로 연결되어 동작하는 차세대 SoC 설계 플랫폼이다. 또한, ARM926, ARM1136 모듈을 교체 사용 가능하며, DDR SDRAM, SDR SDRAM, 2-MB SRAM, Flash ROM, TFT LCD, CMOS Camera, Audio Codec'97, DVI Tx/Rx, CAM-LINK, UART 2 포트, USB2.0, Ethernet, High Speed I/O, ADC/DAC 모듈, 외부 확장포트 등으로 구성되어 있다.



<그림 6> VIP Platform Base

• ACUMEN270S(Intel Bulverde)

ACUMEN270S는 인텔 520MHz 고성능 프로세서 PXA270 모듈을 탑재한 고성능 임베디드 시스템 개발 및 실습 시스템이다. 동영상의 초고속 플레이가 가능하도록 멀티미디어 기능을 강화하였다. 또한 Comm & Storage 모듈과 FPGA 모듈, Display 모듈을 Stacking하였으며, Linux 2.6.12, WinCE.net 5.0 탑재 지원이 가능하다.



**(주) 시스템센트로이드 www.systemcentroid.com**

• Flowrian Professional & Flowrian.Net Server R6.2

플로리안은 인터넷으로 통신하면서 서로 연동되는 클라이언트와 서버 소프트웨어로 구성된다. Windows 플랫폼에서 실행되는 클라이언트 프로그램 (Flowrian Professional)은 설계자가 설계 작업을 진행하는데 필요한 여러 가지 그래픽 툴들을 제공하여 VHDL과 Verilog 코드를 작성하고 디버깅하며 시뮬레이션된 결과 파형을 분석하는 작업을 지원한다.

Flowrian의 주요 특징을 요약하면 다음과 같다.

- VHDL & Verilog 언어 혼합 설계
- HDL 코드 자동생성을 위한 그래픽 툴
- HDL 코드의 자동 분석 및 다양한 디버깅 기능 (시그널 추적, 아키텍처 생성)
- 원격 서버의 온라인 검증 서비스
- 반도체 IP 카탈로그 검색 및 재사용 설계 지원
- 반도체 IP 라이브러리의 자동 설치
- 사용자 멤버쉽과 사용 기록 관리

- 공유 카탈로그 변화에 대한 통계 제공
- 공유 기관의 등록 및 해지

**전자부품연구원(KETI) [www.keti.re.kr/www.astec.re.kr](http://www.keti.re.kr/www.astec.re.kr)**

KETI의 IP SoC센터(센터장:이윤식)는 산업자원부의 시스템 IC 2010사업의 일환으로 개발된 국내의 IP/SoC와 국내 팹리스의 IP들의 홍보하고, 국내 IP/SoC용 EDA를 개발하는 중소기업의 소개를 위하여 전시회에 참가하였다.

• IPCoS(IP DB Center of SoC)

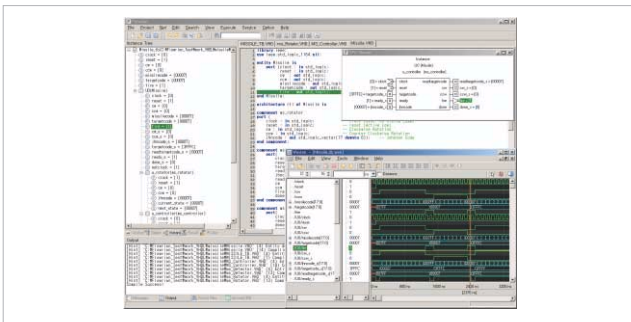
IP/SoC지원센터(IPCoS)는 산업자원부의 시스템 IC 2010사업으로 국내 IP/SoC 산업의 활성화를 지원하기 위해 전자부품연구원에 설립된 IP 데이터베이스 센터이다. 본 센터는 국내외에서 개발, 상용화 되고 있는 IP를 중심으로 시스템 IC 2010 사업을 통해 개발된 IP/SoC의 데이터베이스를 구축하여 IP 개발/검증환경을 제공한다. 이와 아울러 SoC 개발/검증 및 시스템 개발을 위한 연구/개발/상용화 업무를 수행함으로써 IP/SoC 비즈니스에 대한 종합적인 정보서비스를 제공한다.

• ASICTEST(Advanced System IC Test Engineering Center)

시스템반도체검증지원센터(ASICTEST)는 산업자원부 산업기술기반조성사업의 일환으로 추진되고 있으며, 국내에서 개발되고 있는 시스템 반도체에 대한 국내에서의 테스트 지원 및 국내 테스트 관련 산업의 육성을 목표로 한다.

주요 업무로는 다음과 같다.

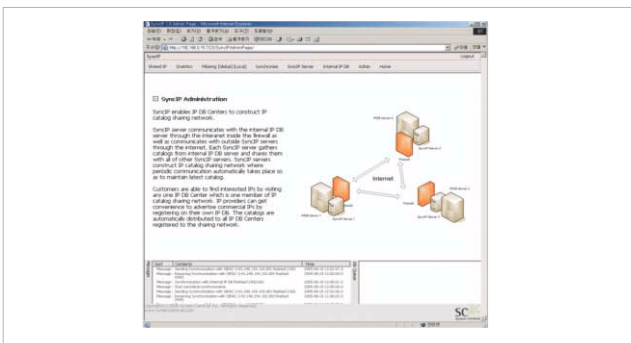
- 시스템반도체 테스트 장비 구축(High-End mixed SoC, RF SoC)
- 연구개발용 SoC 테스트
- 시스템반도체 테스트 프로그램 개발인력 양성/육성
- 반도체 테스트 기술조사/분석/지원
- 관련기관과의 업무협력 기반 구축



〈그림 7〉 플러리안의 화면

• SyncIP R1.0

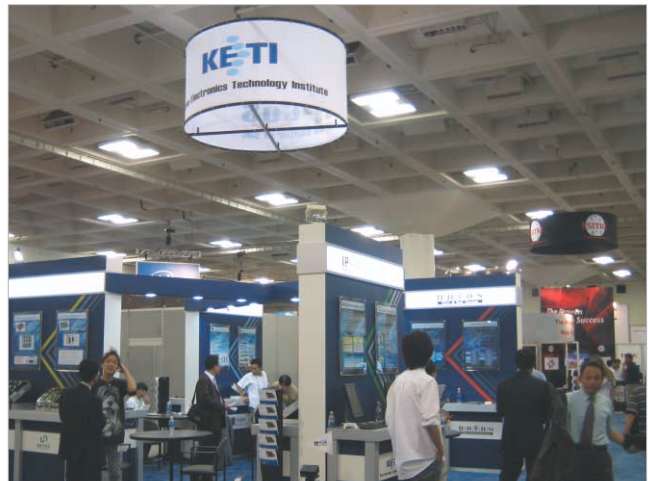
SyncIP는 반도체 IP 유통 센터들이 보유한 반도체 IP 카탈로그를 온라인으로 공유하기 위한 목적으로 개발된 CAD 툴이다. SyncIP에 등록된 모든 반도체 IP 유통 센터의 카탈로그들은 서로 공유되기 때문에 반도체 IP를 찾기 위하여 여러 사이트를 방문하고 검색할 필요 없이 하나의 사이트만 방문하면 원하는 반도체 IP를 찾을 수 있게 된다.



〈그림 8〉 SyncIP의 화면

SyncIP의 주요 특징을 요약하면 다음과 같다.

- 반도체 IP DB 서버와 별개의 서버 컴퓨터로 운영
- 기관마다 독립적인 공유 카탈로그를 보유
- 인터넷을 통한 정기적인 카탈로그 수집
- 선별적인 카탈로그의 공유 여부 지정
- 공유 카탈로그에서 반도체 IP 검색 기능



〈그림 9〉 KETI 부스 전경