

# 2006년도 IT SoC (Part A) 주요 국책과제 분석

## >> Special Report

본 Special Report에서는 정보통신부 IT839 차세대성장동력 사업중 IT SoC 분야의 2006년도 주요 선도과제 후보에 대하여 분석된 내용을 다루었다. (본 내용은 IT SoC 신규과제 기획 중 기술분석과 관련된 부분을 발췌함) '3G Evolution 저전력 단말 SoC' 등 기술테마별로 목표 및 요소기술, 기술확보 전략 등의 분석을 통해 국책과제 범위 및 제품/기술개발 로드맵이 도출되었다. 본고 (Part A) 에서는 다음과 같은 순서로 상세내용이 기술되었으며, 다른 기술테마에 대해서는 1~2회 추가로 연재할 예정이다.

- I. 3G Evolution 저전력 단말 SoC
- II. A/V 신호처리용 임베디드 DSP 플랫폼
- III. 휴대단말용 전력제어 IC (Smart Power Management IC)



# 2006년도 IT SoC (Part A)

## 주요 국책과제 분석

장선호 기술역·공학박사\_chans@iita.re.kr, 이민경 연구원\_jeemk@iita.re.kr

이상호 연구원\_shlee@iita.re.kr, 임문혁 연구원\_mhyim@iita.re.kr, 김대중 연구원\_djkim798@iita.re.kr

/ IT SoC 및 부품 전문위원실, 정보통신연구진흥원(IIITA)

### I. 3G Evolution 저전력 단말 SoC

#### 가. 개념 및 정의

다양한 서비스와 기능을 요구하는 3G Evolution 이동통신 시스템을 지원하는 초고속 멀티미디어 단말기 구현에 필요한 저전력 모뎀 IP/SoC 및 플랫폼 기술을 말한다.

- 3G evolution 이동통신시스템은 WCDMA 계열의 진화된 이동통신시스템을 의미한다.
- 초고속 멀티미디어 단말기 : 단말기당 최고 30Mbps의 하향 데이터 속도를 지원하며, 기존의 음성, 영상 서비스는 물론 MBMS (multimedia broadcasting/multicast service) 등의 멀티미디어 서비스가 지원되는 단말기이다.
- 저전력 : 단말 모뎀의 저전력화는 필수적인 요소이며, 300 Mops/mW의 에너지 효율을 목표로 한다. (현재 최고수준의 에너지 효율: 100~200 Mops/mW)
- 모뎀 IP : 단말모뎀을 구성하는 핵심 기능 블록으로 동기화기, 변복조기, 복호기, MIMO 송수신기, AAS 다이버시티 송수신기, 오디오 코덱, 비디오 코덱을 포함한다.

#### 나. 필요성

1) 이동통신 및 서비스는 정보통신 부문 중 가장 급속도로 성장할 것으로 예측되는 분야이며, 2009년 상용화가 예상되는 3G evolution 시스템은 점차적으로 차세대 이동 통신의 핵심 기술로 자리 잡아 가고 있다. 이동통신 단말기에서 모뎀은 가격대비 휴대폰의 10% 이상을 차지하는 고부가가치 부품이며 지속적인 새로운 표준기술의 진화에 따라, 신규 및 교체 수요를 포함하여 매년 약 6억대의 세계시장 규모로 시장 규모가 매우 크다.

2) 3G evolution 이동통신 시스템은 최근 급증하는 무선이동환경에서 초고속 광대역 서비스 요구에 부응하기 위해 진화된 3G 이동통신으로, WCDMA 계열에서는 WCDMA(Rel.99)와 HSDPA/HSUPA(Rel.5/Rel.6)를 거쳐, 최대 100Mbps의 고속 데이터율을 가지며 OFDM 기반의 MIMO 기술 등이 추가 예정인 3G Evolution으로 진화되고 있다. 3G Evolution은

2007년까지 표준이 완성될 예정이며, 대략 2009년 경에 상용화가 시작될 것으로 예상된다. 따라서 2007년 표준화 완성과 더불어 적기 공급의 3G Evolution 단말 SoC 상용화를 위해서는 표준 완성 이전인 2006년부터 3G Evolution 모뎀 SoC 선도 개발이 필요하다.

#### 1. 기술개발 테마별 목표 및 요소기술

##### 가. 상세 동향분석

구분	국 내	국 외
기술개발동향	<ul style="list-style-type: none"> <li>• OFDMA 기술기반 PHY 기술 개발</li> <li>• 30Mbps(하향), 10Mbps(상향) 지원</li> </ul>	<ul style="list-style-type: none"> <li>• OFDM 기반 Layer1</li> <li>• UTRAN Network Architecture Evolution</li> <li>• Layer2와 Layer3의 Evolution</li> <li>• 100 Mbps (downlink) and 50 Mbps (uplink) 지원</li> <li>• Scalable bandwidth 사용 지원(5, 10, 20 and possibly 15 MHz)</li> <li>• Release 6 대비 2 배 이상의 Spectrum efficiency</li> <li>• 10ms 이내의 단말과 제어기 간의 왕복 지연 지원</li> <li>• 100ms 이내의 Control plane Setup 지연 지원</li> </ul>
표준화동향	WiBro OFDM 기술개발경험을 살려 표준화에 적극적으로 참여하여 기술을 주도하고 다수의 IPR 확보하여 3GPP 시스템 사업과 단말기 사업에서 경쟁력을 갖는 것이 필요함	3GPP Rel.6: 2005년도 3GPP Rel.7(3G Evolution): 2007년도 예정
특허동향	OFDMA 관련 물리계층 특허 및 핸드오버 및 전송지연을 관련 특허가 WiBro 표준개발과 함께 이루어 졌음	고속 OFDMA 관련 기술, MIMO 관련기술, 핸드오버 및 전송기술 관련 특허개발이 이루어지고 있음
산업/시장동향	KT, 포스데이다 등에서 WiBro 시험서비스 진행 중이며, 2006년 상용 서비스 예정 WiBro 휴대단말기용 관련 부품 개발	WiMAX 시스템기술을 개발하여 WLAN을 보완하는 시장창출 예정
정책동향	WiBro는 IT839 정책에 의하여 기술개발 및 서비스 제공 예정	초고속 유선인터넷을 대체하는 WiMAX 기술의 서비스를 준비 중이며 WiBro 기술에 대하여 서비스 업체가 관심을 가지고 있음

## 나. 목표

테마명	제품 및 서비스 실현 목표	경제적·기술적 목표
3G Evolution 단말 SoC	3G Evolution 30 Mbps급 저전력 단말 SoC	2008년까지 3G Evolution 표준 구현에 필요한 알고리즘/구조/IP/SoC/플랫폼 관련 핵심특허 3건 및 IP/SoC/플랫폼 개발. 2008년에 세계시장에 진출하고 2010년까지 국내/세계시장 점유율 10%를 달성하며, 2012년에는 동 분야에서 세계 선도기업인 퀄컴과의 기술격차를 1년(95%) 이내로 축소

## 다. 핵심요구기능 및 발전전망

### 1) 핵심 요구기능

핵심요구기능 (CSR)	정의	선택 사유
전력소모량	동적소모전력 및 정적소모전력	단말기 부품의 핵심 요구 사항으로 부품의 우월성을 확인
칩면적	최대 하향 데이터 전송속도, PER, 동기획득시간	부품의 가격 결정 요인으로 시장 경쟁력 확보
성능	동적소모전력 및 정적소모전력	부품의 성능 향상을 통한 경쟁력 확보
안정성	주어진 조건에서 안정적인 동작	SoC 신뢰성 향상으로 조기 상용화 가능

### 2) 핵심요구기능 발전전망

핵심요구기능 구성요소	2006	2007	2008
- 전력소모량	-	200Mops/mW 에너지효율	300Mops/mW 에너지효율 전체 : 500mW(예상)
- SoC 칩면적	-	-	6x6mm <sup>2</sup> (0.09)
- 성능	-	오디오 코덱(AMR-WB+) 비디오 코덱(H.264) 임베디드	하향전송속도=30Mbps PER=10 <sup>-2</sup> 동기획득시간=1Frame
- 안정성	-	실험실수준 신뢰성확보	상용수준 신뢰성확보

## 라. 시장진입 및 육성전략

테마명	서비스 대상 및 범위 (최종제품 예상형태)	시장진입 시기	시장진입 및 육성전략
3G Evolution 단말 SoC	3G Evolution (단말기, 휴대폰)	2009년	칩 전문업체와 공동연구를 통한 빠른시간 상용샘플 확보 및 단말기 업체와의 공동연구를 통한 조기 상용 단말기 시장진입

## 마. 핵심요구기능 목표수준(Performance Target)

핵심요구기능 구성요소	2006	2007	2008
- 전력소모량	-	200Mops/mW 에너지효율	300Mops/mW 에너지효율 전체 : 500mW(예상)
- 칩면적	-	-	6x6mm <sup>2</sup> (0.09um)
- 성능	-	오디오 코덱(AMR-WB+) 비디오 코덱(H.264) 임베디드	하향전송속도=30Mbps PER=10 <sup>-2</sup> 동기획득시간=1Frame
- 안정성	-	실험실수준 신뢰성확보	상용수준 신뢰성확보
목표수준 결정 근거	-	각 구성 블록별 전력소모 예상 복잡도 3G Evolution 요구성능	각 구성 블록별 전력소모 예상 복잡도 3G Evolution 요구성능

## 바. 핵심요구기능별 요소기술 및 기술영역

### 1) 요소기술 및 기술영역

CSR목표	관련요소기술
성능	3GE 변복조기 MIMO/AAS 송수신기 고속복호기 MAC HW 오디오코덱 저전력블록제어 저전력알고리즘 저전력회로기술 단말모뎀HW
저전력	모뎀제어SW MAC SW HW/SW 분할기술 단말모뎀 SW
유연성	소모전력측정 단말플랫폼 멀티미디어 플랫폼 SoC검증 단말기시험 기능/성능/오류검증/분석 SoC 임베디드프로세서 SoC 인터페이스 RTOS

기술영역	관련 요소기술
- 단말모뎀 HW	변복조기, MIMO/AAS 송수신기, 고속복호기, MAC HW, 저전력 블록제어, 저전력 알고리즘, 저전력 회로기술
- 단말모뎀 SW	모뎀제어 SW, MAC SW, HW/SW 분할 기술
- 단말플랫폼	고속데이터 처리기술, 기능/성능 오류 검증/분석, SoC 검증, 소모전력 측정, 단말기
- SoC	인터페이스 IP, 임베디드 프로세서, RTOS

### 2) 기술영역 및 요소기술별 목표수준

기술영역	요소기술	2006	2007	2008
단말모뎀 HW	변복조기	30Mbps	30Mbps	30Mbps
	MIMO/AAS 송수신기	-	2x2	4x4
	고속복호기	30Mbps	30Mbps	30Mbps
	MAC HW	30Mbps	30Mbps	30Mbps
	오디오코덱	TCX	HE-PSAMR-WB+	-
단말모뎀 SW	저전력 블록제어	단위블록제어	200Mops/mW	300Mops/mW 전체 : 500mW(예상)
	저전력 회로기술	회로기술개발		
	저전력 알고리즘	알고리즘 평가 기술개발 단말모뎀		
	모뎀제어 SW	S/W 구조연구	30Mbps	
단말플랫폼	MAC SW	30Mbps	30Mbps	30Mbps
	HW/SW 분할기술	분할 평가기술개발	30Mbps	30M, 500mW
	고속데이터 처리기술	30Mbps	30Mbps	30Mbps
SoC	오류검증/분석	Simulation	Emulation/FPGA	실시간분석
	소모전력측정	Simulation	FPGA	SoC
	단말기 시험기술	시험항목 결정	FPGA	SoC
SoC	임베디드 프로세서	요구성능 결정	ARM9	ARM11
	인터페이스 IP	-	USB	USB/UWB
	SoC 검증	-	-	0.09um
	RTOS	-	심비안	심비안



## 2. 기술분석 및 기술확보 전략

### 가. 기술분석

#### 1) 특허분석 및 대응전략

기술영역	요소기술명	특허현황	시사점 및 대응전략
단말모뎀 HW	변조조기	변조기술 : Ericsson, Nokia, AT&T 복조기술: Flarion, Qualcomm	대응특허 및 독자특허 출원
	MIMO/AAS 송수신기	MIMO/AAS: AT&T, Ericsson	대응특허 및 독자특허 출원
	고속복호기	LDPC : IBM	대응특허 및 독자특허 출원
	MAC HW	MAC : 삼성, Interdigital	대응특허 및 독자특허 출원
	오디오코덱	AMR-WB+ : Nokia, Ericsson aacPlus : coding technologies	대응특허 개발
	저전력 블럭제어	전력제어	독자 구현특허 출원
	저전력 회로기술	저전력 회로기술	독자 구현특허 출원
단말모뎀 SW	저전력 알고리즘	저전력 알고리즘	독자 구현특허 출원
	모뎀제어 SW	모뎀 제어 : Qualcomm	대응특허 개발 출원
	MAC SW	MAC : 삼성, Interdigital	대응특허 및 독자특허 출원
단말 플랫폼	HW/SW 분할기술	HW/SW동시설계	독자 구현특허 출원
	고속데이터 처리기술	고속데이터기술: Intel	기술도입
	오류검증/분석	에뮬레이션및 CAD 툴 활용	기술도입
SoC	소모전력측정	장비활용	기술사용
	단말기 시험기술	장비활용	기술사용
	임베디드 프로세서	프로세서: ARM	기술도입
	인터페이스 IP	IP: Synopsys	기술도입
SoC	SoC 검증	CAD 툴	기술사용
	RTOS	RTOS : 심비안	기술도입

#### 2) 기술역량 및 경쟁력 분석

기술영역	요소기술명	기술경쟁력현황		최고기술 보유국	판단사유 및 근거
		기술력(년)	상대적수준(%)		
단말모뎀 HW	변조조기	1	90	미국(Intel)	WiMAX 칩제조 기술보유
	MIMO/AAS 송수신기	2	80	미국(Intel)	WiMAX 칩제조 기술보유
	고속복호기	1	90	미국(Intel)	WiMAX 칩제조 기술보유
	MAC HW	3	70	미국(Intel)	WiMAX 칩제조 기술보유
	오디오코덱	2	80	캐나다 독일스웨덴	AMR-WB 구현 기술 보유
	저전력 블럭제어	3	70	미국(퀄컴)	저전력 제어기술 보유
	저전력 회로기술	3	70	미국(Intel)	UP 저전력 회로기술 보유
단말모뎀 SW	저전력 알고리즘	3	70	미국(퀄컴)	최고의 단말기 칩제조 기술
	모뎀제어 SW	3	70	미국(퀄컴)	상용화 모뎀제어 SW 기술
	MAC SW	2	80	미국(Intel)	WiMAX 칩제조 기술보유
	HW/SW 분할기술	3	70	미국(퀄컴)	상용화 칩구동 SW/기술
단말 플랫폼	고속데이터 처리기술	3	70	미국(Intel)	고속 데이터 처리 보드 기술
	오류검증/분석	1	90	핀란드 (Nokia)	휴대단말기 시장 점유율
	소모전력측정	2	80	미국(Intel)	저전력 uP 개발기술
SoC	단말기 시험기술	0	100	한국(삼성)	최고수준 단말기 제조 기술
	임베디드 프로세서	4	60	영국(ARM)	ARM 프로세서 기술
	인터페이스 IP	3	70	미국 (Synopsys)	상용수준 IP 제공
	SoC 검증	3	70	미국(Intel)	최고수준 SoC 설계/제조기술
SoC	RTOS	4	60	핀란드 (Nokia)	심비안 RTOS 보유

#### 3) 기술의 특성 및 파급효과

기술영역	요소기술명	기술성숙도	기술단계 (기초, 응용, 개발)	파급효과
단말모뎀 HW	변조조기	성숙기	개발	3G Ev 시장 진입 및 4G에 활용
	MIMO/AAS 송수신기	형성기	개발	3G Ev 시장 진입 및 4G에 활용
	고속복호기	성숙기	개발	3G Ev 시장 진입 및 4G에 활용
	MAC HW	성숙기	개발	3G Ev 시장 진입 및 4G에 활용
	오디오코덱	성장기	개발	3G Ev 시장 진입
단말모뎀 SW	저전력 블럭제어	성장기	개발	HW 저전력 기술개발
	저전력 회로기술	성장기	개발	나노공정 저전력 회로기술개발
	저전력 알고리즘	성장기	개발	저전력 모뎀 핵심 IP개발
	모뎀제어 SW	성숙기	개발	3G Ev 시장 진입 및 4G에 활용
	MAC SW	성숙기	개발	3G Ev 시장 진입 및 4G에 활용
단말 플랫폼	HW/SW 분할기술	성장기	개발	저전력 모뎀 핵심 IP개발
	고속데이터 처리기술	성숙기	개발	고속 SoC 개발 플랫폼 기술
	오류검증/분석	성장기	개발	SoC 검증 기술
	소모전력측정	성장기	개발	저전력 SoC
SoC	단말기 시험기술	성숙기	개발	3G Ev, 단말기 개발
	임베디드 프로세서	성숙기	개발	모바일 단말기 기술
	인터페이스 IP	성숙기	개발	3G Ev 시장 진입
	SoC 검증	성장기	개발	3G Ev 시장 진입
SoC	RTOS	성숙기	개발	3G Ev 시장 진입

#### 나. 요소기술 확보전략

##### 1) 기술확보방법

기술영역	요소기술명	기술확보 내용	기술확보 방법 및 전략	판단 사유
단말모뎀 HW	변조조기	OFDM, OFDMA	자체개발	기술경험 인력 및 IP 보유
	MIMO/AAS 송수신기	4x4 MIMO	자체개발	기술경험 인력 및 IP 보유
	고속복호기	CC, CTC, LDPCMAC,	자체개발	기술경험 인력 및 IP 보유
	MAC HW	보안	자체개발	기술경험 인력 및 IP 보유
	오디오코덱	AMR-WB+ Sleep/Idle	자체개발	기술경험 인력 및 IP 보유
	저전력 블럭제어	/Active /Partial Active 모드	자체개발	핵심기술 인력 및 기술보유
	저전력 회로기술	MT-CMOS/VT-CMOS	공동연구	기업체, 학교 공정 및 회로 수준 기술활용
단말모뎀 SW	저전력 알고리즘	핵심IP의 저전력 알고리즘 도출	공동연구	학교의 상위 알고리즘 선택 및 평가 기술활용
	모뎀제어 SW	3G Ev 모뎀제어 S/W	공동연구	기업체의 앞선 기술 활용
	MAC SW	3G Ev MAC	공동연구	기업체의 앞선 기술 활용
	HW/SW 분할기술	저전력 HW/SW 분할기술	공동연구	기업체의 앞선 기술 활용
단말 플랫폼	고속데이터 처리기술	고속데이터 처리기술	공동연구	기업체의 앞선 기술 활용
	오류검증/분석	IP/SoC 검증 기술	자체개발	IP/SoC 핵심 기술개발
	소모전력측정	저전력 설계 검증기술	공동연구	기업체의 앞선 기술 활용
	단말기 시험기술	SoC 실장 시험	공동연구	기업체의 앞선 기술 활용
SoC	임베디드 프로세서	프로세서 활용	기술도입	앞선 핵심기술 도입
	인터페이스 IP	인터페이스 IP 선택/활용	기술도입	앞선 핵심기술 도입
	SoC 검증	SoC 검증기간 단축	용역	전문업체 기술활용
	RTOS	RTOS 선택 및 활용	기술도입	

### 3. 과제범위

과제명	요소기술		확보시기
	요소기술명	요소기술 수준	
3G Evolution 저전력단말 SoC 기술개발	변복조기	3G Ev	2007
	MIMO/AAS 송수신기	3G Ev	2007
	고속복호기	3G Ev	2007
	MAC HW	3G Ev	2007
	오디오코덱	3G Ev	2007
	저전력 블록제어	세계최고	2008
	저전력 회로기술	세계최고	2007
	저전력 알고리즘	세계최고	2008
	모뎀제어 SW	세계수준	2007
	MAC SW	3G Ev	2007
	HW/SW 분할기술	세계수준	2007
	고속데이터 처리기술	세계수준	2007
	오류검증/분석	세계최고	2008
	소모전력측정	세계최고	2007
	단말기 시험기술	세계최고	2008
	임베디드 프로세서	세계수준	2007
	인터페이스 IP	세계수준	2007
	SoC 검증	세계수준	2007
	RTOS	세계수준	2007

### 4. 로드맵(종합)

과제명	2006	2007	2008	2009	2010
서비스 및 제품		3G Ev. 표준화 완성	3G Ev. 시제품	3G Ev. 사용제품	
				3G Ev. 서비스개시	3G Ev. 서비스성장
기술발전 전개 (요소기술별)	3G Ev. IP 개발	3G Ev. 2차 IP 개발	3G Ev. IP 검증완료		
	핵심블록 저전력 설계	저전력 SoC 기술 개발	저전력 SoC 기술 적용		
	단말모뎀SW 요구사항정의	단말모뎀SW 설계/검증	단말모뎀SW 보완설계/검증		
	단말플랫폼 요구사항정의	FPGA 기반의 단말플랫폼 개발	SoC 기반의 단말플랫폼 개발		
		3G Ev. FPGA 구현/검증	3G Ev. SoC 제작/시험		
R&D 과제	신규 과제	3G Evolution 저전력 단말 SoC 기술개발		3G Evolution 단말 SoC 고도화	

## II. A/V 신호처리용 임베디드 DSP 플랫폼

### 가. 개념 및 정의

멀티미디어 신호처리에 핵심적인 임베디드 DSP 코어, 오디오/비디오 Coprocessor IP DB, 전용개발환경을 고에너지 효율 설계기술로 구현하는 플랫폼을 말한다.

### 나. 필요성

핸드폰, DTV, DVD, 셋탑박스 등 국내의 멀티미디어 시장의 폭발적인 성장과 더불어 이를 위한 SoC에 DSP사용이 급격히 늘어나고 있으나 대부분 외국에서 수입된 DSP에 의존하여 생산이 이루어지고 이에 따른 막대한 기술료를 지불하고 있는 실정이다. 국내의 DSP관련 저전력 기술이 해외업체에 비해서 뒤떨어져 있으나, 완벽한 개발환경을 갖춘 저가의 DSP코어의 개발은 국내 부품산업의 저가/고품질화에 기여할 수 있을 것이다.

### 1. 기술개발 테마별 목표 및 요소기술

#### 가. 상세 동향분석

DSP 코어	국내	국외
기술개발동향	대학교를 중심으로 독립적인 구조와 명령어를 가진 DSP코어를 개발하거나 일부 기업 (Zaram, etc.)에서 단품 DSP를 개발하고 있음	CEVA, LSI Logic 을 비롯한 DSP 기술 보유 기업들이 Embedded 코어 형태로 기존의 DSP를 확장하여 타기업에 라이선싱하는 사업을 하고 있음
표준화동향	일부 개발된 MCU코어에 On-Chip bus표준을 적용하려는 시도가 행해지고 있음	DSP의 하드웨어 디버깅을 위한 표준인 JTAG기술을 중심으로 다양한 형태의 디버깅 기술을 융합하고 있음. 또한, ARM Core와 같은 Embedded MCU의 표준화된 On-Chip bus 구조를 Embedded DSP 에도 적용하려는 경향이 두드러지게 나타나고 있음
특허동향	해당 사항 없음	Core의 전력모드를 다양하게 지원하여 전력절감을 이루기 위한 기술들에 대한 특허출원이 이루어지고 있음
산업/시장동향	중소기업 (Zaram, etc.)을 중심으로 단품 DSP 판매가 이루어지고 있으나 SoC의 코어 형태로 라이선싱되어 판매되는 경우는 미미함	개발된 Embedded코어를 다양한 Process Technology를 통해서 개발을 하고 코어를 Soft IP (RTL 코드) 또는 Hard IP 형태로 타회사에 라이선싱하고 있음



개발환경	국내	국외
기술개발동향	일부 Development 환경 (Hardware debugger 등) 의 기술개발은 대학 또는 단품 DSP 개발 업체 중심으로 이루어지고 있으나, Compiler 등의 고급기술은 개발이 거의 이루어지지 않거나 성능이 부진함	CEVA, LSI Logic과 같은 경우 자체 개발 환경 (Source-level debugger, Hardware debugger, Compiler) 를 보유하고 있으며 StarCore와 같은 경우 타CAD를 개발 업체에 기술을 오픈하여 Development 환경을 사용자에게 제공하고 있음
표준화동향	해당사항 없음	Debugging 기술과 On-chip bus 중심으로 표준화가 이루어지고 있음
특허동향	해당사항 없음	Hardware Debugging 기술의 사용자 편의성을 증강하기 위한 특허들이 제출되고 있음
산업/시장동향	일부 중소기업 (아이지 시스템) 에서 MCU의 Development system을 개발하여 판매하고 있으나 Embedded DSP 코어를 위한 Development 환경 개발은 부진함	개발된 Embedded 코어를 다양한 Process Technology를 통해서 개발을 하고 코어를 Soft IP(RTL 코드) 또는 Hard IP 형태로 타회사에 라이선싱하고 있음

나. 목표

테마명	제품 및 서비스 실현 목표	경제적·기술적 목표
SoC용 저전력 Embedded DSP 코어 개발	어플리케이션에 특화된 성능과 전력소비를 절감한 SoC Embedded DSP 코어를 개발함. Soft/Hard IP 형태로 라이선싱 가능하여 경제적 효과를 극대화 할 수 있는 DSP 개발	2008년까지 코어 개발과 저전력 모드, 어플리케이션에 특화된 성능을 발휘할 수 있는 기술에 대한 핵심특허를 출원하고, 2010년까지 국내 기업들이 저가로 라이선싱하여 개발 중인 SoC에 쉽게 적용할 수 있는 형태로 IP를 개발하여 선도 기업인 CEVA/LSI Logic 등과의 기술격차를 10% 이내로 축소시킴
Embedded DSP 코어를 위한 Development 환경 개발	개발된 DSP 코어용 Assembler, C/C++ Compiler를 제공하고, Source-level 또는 Hardware Debugging 기술을 개발	2008년까지 Assembler, Hand-coded program의 150%이내의 code를 생성할 수 있는 Compiler를 개발하고, 또한 DSP연산에 특화된 C 라이브러리 제공. 사용자 편의에 특화된 Hardware Debugger와 그에 부합된 software 환경 개발

다. 핵심요구기능 및 발전전망

1) 핵심요구기능

핵심요구기능 (CSR)	정의	선택사유
Instruction set 및 RTL 디자인	DSP의 instruction set은 DSP 코어의 동작을 제어하는 instruction의 집합임	Instruction set은 DSP의 기본 성능을 직접적으로 결정하는 요소이면서 사용자가 SoC 개발 단계에서 꾸준히 접하게 되는 DSP의 특성을 결정짓는 요소임
어플리케이션 확장 IP Interface	DSP의 응용영역의 확대에 따라서 특정 응용영역에서 최대의 성능을 발휘할 수 있도록 DSP와 응용IP간의 고속통신을 가능하게 하는 interface임	DSP의 응용영역이 다양해지면서 기본 DSP 코어의 제한된 성능을 가속화 시키면서 또한 저전력 모드에 도움을 줄 수 있는 고속의 Local bus 기술을 개발하면 성능, 전력 면에서 잇점을 얻게 됨
Hardware Debugging Feature	DSP에 탑재되는 소프트웨어 개발 후 Debugging하는 과정에서 하드웨어의 Register, memory를 비롯한 다양한 정보들을 Debugging 소프트웨어로 보내기 위한 기능임	DSP의 개발 과정에서 Debugging은 사용자가 DSP에 탑재될 소프트웨어를 효율적으로 단시간내에 개발하기 위해서 가장 많이 접하게 되므로, 이를 user-friendly하게 구현하는 것은 SoC에 구현될 DSP 코어를 선택하는 중요한 요소 중의 하나임
저전력 mode 또는 기술	DSP의 전력소모를 최소화 하기 위한 동작 mode 또는 회로 설계 기술임	SoC의 응용영역이 이동통신 단말기와 같은 이동환경으로 확대되면서 DSP의 전력소모를 최소화 하는 기술이 결정적인 요소가 됨. 또한, DSP와 같이 instruction을 수행하는 프로세서는 일반적으로 전력소모가 많으므로 이를 최소화하는 것은 DSP의 유용성을 확대하는 가장 중요한 요소임
Assembler	DSP 코어의 instruction들은 사용자가 이해하기 쉽도록 어셈블리 언어 (Instruction Mnemonic)로 표현되는 이 Instruction Mnemonic을 기계어로 표현해주는 것이 Assembler임	DSP용 프로그램 (FFT, filters, etc.)을 최적화 하고자 하거나 C Compiler의 성능에 사용자가 만족하지 않고 최적화된 코드를 생성하고자 할 때, DSP 코어의 instruction을 직접 기술하게 되므로 기본적인 성능 향상을 위해서 필요한 도구임
ISS (Instruction Set Simulator)	기계어로 표현된 instruction들을 시뮬레이션 하여 소프트웨어의 동작을 검증하거나 성능 측정을 할 수 있는 것이 ISS임	Instruction들의 조합으로 기술된 code가 개발된 DSP 상에서 어느 정도의 성능을 가지는지 또는 소프트웨어의 동작을 검증하기 위한 기본적인 도구임
C/C++ Compiler	C 또는 C++로 기술된 프로그램을 기계어로 변환해주는 것이 Compiler임	사용자는 단시간내에 응용 프로그램을 개발하기 위해서 C나 C++와 같은 고급언어를 사용하게 되는데, 이러한 고급언어를 기술된 프로그램을 자동적으로 DSP에서 수행될 수 있는 코드로 번역해주는 도구임. 사용자가 효율적인 프로그램 개발을 위해서 많이 쓰게 되기 때문에 코드의 수행시간 단축이 가장 중요한 기술임
Hardware Debugger	프로그램 Debugging 중 실제의 DSP core에서 직접 정보를 얻어내고자 할 때, 이를 구현할 수 있는 기능이 Hardware Debugger임	DSP 코어가 동작 중에 내부의 정보, 즉, register 또는 memory의 값들을 해당 development software로 전송하는 기능으로, 코어의 현재 상태를 직접 probing해볼 수 있어 사용자가 자주 사용하는 기능임

\* 핵심요구기능(CSR) : 산업적 목표달성에 핵심적인 역할을 수행하는 제품/서비스의 대표적 특징  
 - (예) 디스플레이의 CSR 구성요소 : 화면면적, 효율성(화면에 도달하는 광량 비율), 색의 밸런스, 수명, 전력소모량, 안정성, 가격

## 2) 핵심요구기능 발전전망

핵심요구기능 구성요소	2006	2008	2010	2012
- Instruction set	200MIPS	400MIPS	800MIPS	1GIPS
- HW debugging	JTAG을 통한 하드웨어 stop기능	내부의 cache/memory 추출	~100% Program trace	
- 저전력기술	<300mW	<100mW	<30mW	<10mW

핵심요구기능 구성요소	2006	2008	2010	2012
- ISS	~10KHz	~100KHz	~1MHz	~10MHz
- Compiler	Hand-coding 의 250%	200%	150%	110%
- HW debugger	JTAG지원	내부 cache/memory 추출 지원	100% program tracer지원	

\* 연도별 시간축은 핵심요구기능(CSR)의 특성에 맞게 조정가능

## 라. 시장진입 및 육성전략

테마명	서비스 대상 및 범위 (최종제품 예상형태)	시장진입시기	시장진입 및 육성전략
SoC용 저전력 Embedded DSP코어 개발	DSP코어의 RTL코드 (Soft IP)또는 foundry에 특화된 Hard IP	2008.12	기본적인 DSP기능이 검증된 Instruction set을 가진 코어를 기반으로 사용자의 어플리케이션에 특화될 수 있음을 강조함. 사용자의 요구에 따라서 성능을 극대화 할 수 있도록 어플리케이션 확장용 IP들도 개발하여 DSP코어에 접목하여 고속으로 동작이 가능함을 보임으로써 라이선싱을 유도함. Foundry관점에서 최소의 면적으로 다양한 저전력 mode와 저전력 기술을 적용함으로써 10~50mW정도의 전력소모로 동작가능함을 주요 장점으로 부각시킴
Embedded DSP 코어를 위한 Development 환경 개발	개발된 DSP코어와 함께 라이선싱 되는 소프트웨어 package	2008.12	어플리케이션 특화된 IP들을 프로그램 측면에서도 쉽게 기존의 프로그램에 융합될 수 있도록 C Compiler지원을 강화하여 성능을 최대로 할 수 있음을 보임. C Compiler와 Hardware debugger가 안정적으로 지원됨을 강조하여 Reliable 코어임을 부각시킴

## 마. 핵심요구기능 목표수준 (Performance Target)

핵심요구기능 구성요소	2006	2008	2010	2012
- Instruction set	150MIPS	350MIPS	600MIPS	1GIPS
- 확장 Interface	고속 Local bus (~150MHz) 개발	Audio 용 확장 IP개발	비디오 용 확장 IP개발	Local bus 성능 향상 (~600MHz)
- HW debugging	JTAG이용 기술	전체 register/memory추출 기술	Program trace 기술	
- 저전력기술	<300mW	<150mW	<100mW	<50mW
목표수준 결정 근거	코어와 Local bus성능을 동일 형태로 두고 현재 사용 가능한 foundry기술에 몇가지 전 력 mode를 적용하면 구현 가능한 기술임	기존 코어의 성능을 향상하기 위한 RTL code optimization 을 수행하고, architecture 단계의 전력절 감 기술 개발	RTL code optimization 에 더불어 90nm이하의 foundry의 기술을 이용하여 가능, 단 미세 공정에서의 Leakage power문제 해결 요	RTL code optimization 과 circuit단계의 전력절감 기술개발

핵심요구기능 구성요소	2006	2008	2010	2012
- Assembler	개발완료	.	.	.
- ISS	~10KHz	~50KHz	~100KHz	~1MHz
- Compiler	Hand coding 의 300%	200%	180%	150%
- HW debugger	JTAG지원 내부	cache/memory추출 지원	Program tracer 기술 지원	
목표수준 결정 근거	ISS를 수행할 수 있는 Host 들의 성능에 비추어 최소한의 instruction set을 지원한 다면 가능	Host의 성능향 상과 컴파일러 optimization 을 통하여 가 능	Host성능향상 과 대용량 메모리를 이용한 Program tracing기술 개발	Host성능향상, ISS code optimization, 컴파일러 출력 코드 optimization technique들을 적용

## 바. 핵심요구기능별 요소기술 및 기술영역

### 1) 요소기술 및 기술영역

CSR목표	관련 요소기술
- Instruction set	Instruction성능분석, 전력제어 instruction
- 확장 Interface	확장IP instruction, Local bus정의, 어플리케이션 확장 IP
- HW debugging	Instruction flow control
- 저전력기술	동적전력제어
- Assembler	Instruction encoding, Assembler제작
- ISS	프로그램 성능분석, ISS 제작
- Compiler	Compiler 제작
- HW Debugger	Hardware debugger software제작, 코어-Software interface



기술영역	관련 요소기술
- 성능분석기술	Instruction성능분석, 확장 IP instruction, 프로그램 성능분석, Instruction encoding, 전력제어 instruction
- 저전력기술	동적전력제어
- 코어디자인기술	Local bus정의, 어플리케이션 확장 IP, Instruction flow control, 코어-software interface
- 개발환경제작기술	Assembler제작, ISS 제작, Compiler 제작, Hardware debugger software제작

※ 핵심요구기능(CSR 목표)별로 관련 요소기술들을 나열하고, 기술적 연관성이 높은 기술들을 적정 범위로 그룹핑하여 기술영역을 도출  
 ※ 각 기술영역에는 1개 이상의 관련 요소기술이 포함토록 함

## 2) 기술영역 및 요소기술별 목표수준

기술영역	요소기술	2006	2008	2010	2012
성능분석기술	Instruction 성능분석	Instruction 정의와 기본 성능 분석	Instruction 추가를 통한 성능향상	성능최적화를 위한 Instruction 재정의	
	확장 IP instruction	확장 IP구조 확정	Audio용 확장 IP instruction 정의	Video용 확장 IP instruction 정의	확장 IP 데이터베이스 구축과 상응하는 instruction 정의
	프로그램 성능분석	성능분석을 위한 ISS제작	Audio용 프로그램성능분석	Video용 프로그램 성능 분석	Audio/Video에 최적화된 instruction의 종합성능분석
	Instruction encoding	기본 encoding 완료		메모리 최적화 용 encoding	
	전력제어 instruction	Block별 전력 제어용 instruction	Architecture 단계의 전력 제어 instruction	Circuit단계의 세밀한 전력제어가 가능한 instruction	
저전력기술	동적전력제어	다양한 전력 제어mode 구현	Architecture 단계 전력제어 모드 최적화	Circuit단계 전력제어모드 최적화	50mW이하의 전력소모가 가능한 전력절감 기술 개발
코어디자인 기술	Local bus 정의	150MHz에서 동작가능한 local bus 구현	Audio에 특화된 bus구현	Video에 특화된 bus구현	600MHz에서 동작가능한 local bus 구현
	어플리케이션 확장 IP		Audio용 확장 IP개발	Video용 확장 IP개발	IP 데이터베이스 구축
	Instruction flow control	JTAG으로 제어가능한 코어개발		Program trace가능한 하드웨어 개발	
	코어-software interface	JTAG			
개발환경 제작기술	Assembler 제작	기본기능 제작			
	ISS software 제작	10KHz	50KHz	100KHz	1MHz
	Compiler 제작	300%	200%	180%	150%
	HW debugger software제작	기본기능 제작		Program trace 지원	

## 2. 기술분석 및 기술확보 전략

### 가. 기술분석

#### 1) 특허분석 및 대응전략

기술영역	요소기술명	특허현황	시점 및 대응전략
성능분석 기술	Instruction 성능분석	US6725409, "DSP instruction for turbo decoding"을 포함 약 20건 이상	DSP instruction의 구성이 전체 성능에 미치는 영향을 대변해주고 있으며, 확장 IP를 위한 특화된 instruction을 개발할 필요가 있음
	확장 IP instruction	해당사항 없음	Local bus를 응용하여 DSP 성능을 극대화를 위한 개념을 구체적으로 제안할 필요가 있음
	프로그램 성능분석	해당사항 없음	해당사항 없음
저전력기술	전력제어 instruction	US5280650, "DSP based radio with diminished power requirements"을 포함 4건	전력절감 자체는 중요한 issue이지만, DSP의 instruction 단계에서 전력절감을 다룬 특허는 아직 많은 연구가 진행되지 않았음
	동적전력제어	Circuit, architecture를 포함한 전력절감에 관한 특허는 약 4000건 이상	전력절감의 기본적인 기술들에 대한 특허는 매우 많으나 DSP에 특화된 특허는 많지 않음. DSP에 특화된 저전력 기술에 대한 특허를 확보할 필요가 있음
코어디자인 기술	Local bus 정의	해당사항 없음	
	어플리케이션 확장 IP	해당사항 없음	
개발환경 제작기술	Assembler 제작	해당사항 없음	
	Compiler 제작	해당사항 없음	
개발환경 제작기술	ISS software 제작	해당사항 없음	
	HW debugger software제작	US5596764, "Debugger breakpoint mangement in a multi-core DSP."를 포함 4건	JTAG를 중심으로 하여 processor를 제어하는 연구는 많이 행해졌으므로, 이를 이용 하되 debugging속도를 최적화하는 연구가 필요함



## 2) 기술역량 및 경쟁력 분석

기술 영역	요소기술명	기술경쟁력 현황		최고기술 보유국	판단사유 및 근거
		기술격차 (년)	상대적 수준(%)		
성능분석 기술	Instruction성능분석	3	60%	미국	CEVA, LSI Logic, Analog Device에서는 4-6개 정도의 동시 수행 가능한 instruction set을 개발하여 판매중에 있으며, 재설정가능한 instruction set을 가진 DSP는 3DSP에서 제작하여 판매중에 있음
	확장 IP instruction	1	80%	없음	확장 IP instruction에 대한 개념은 MCU에 도입된적이 있었으나, DSP에는 아직 도입이 되지 않았음
	프로그램 성능분석	0	80%	인도	개발환경에 사용되는 ISS를 비롯한 다양한 소프트웨어들이 이미 개발되어 시제품에 탑재되어 있음
저전력 기술	전력제어 instruction	3	50%	미국	미국에서는 Power gating, sleep transistor 등의 기술 개발이 꾸준히 진행되어 현재 시제품에 활용되고 있으나, 국내에서는 그러한 기술의 시제품화가 부진함
	동적전력제어	4	40%	미국	Dynamic voltage scaling기술은 미국등의 국가에서 이미 개발되어 시제품으로 판매
코어디자 인기술	Local bus 정의	1	80%	없음	고속의 Local bus에 대한 개념은 일부 MCU나 Mainboard에 적용되었으나 DSP에는 적용되지 않았음
	어플리케이션 확장 IP	0	90%	미국	Audio/Video등의 IP들에 대한 기술은 국내기업에서도 많이 개발되어 있음
	Instruction flow control	1	60%	미국	HW debugging기술은 미국 등에서는 시제품으로 활용되어 있으나 국내에서는 본격적으로 활용되지 않음
개발환경 제작기술	코어- software interface	2	60%	미국	JTAG을 기반으로 한 HW debugging기술은 국내에서 시제품으로 활용되지 않음
	Assembler 제작	2	80%	미국	Assembler기술은 국내에서도 대학을 중심으로 자체 DSP코어용으로 개발되었음
	ISS software 제작	2	80%	미국	ISS기술은 국내대학을 중심으로 개발되었음
	Compile 제작	5	40%	인도	Compiler기술은 주로 인도에서 개발되어 미국에서 개발된 DSP 코어들에 채용되고 있으나, 국내에서는 개발이 100% 이루어진 경험이 거의 없거나 성능이 매우 부진하였음
	HW debugger software제작	3	60%	미국	HW debugging기술을 위한 software기술은 국내에서 일부 중소기업에 의해서만 개발되었음

## 3) 기술의 특성 및 파급효과

기술 영역	요소기술명	기술성 속도	기술단계 (기초, 응용, 개발)	파급효과
성능분석 기술	Instruction성능분석	80%	개발	어플리케이션 최적화된 DSP instruction개발을 통하여 SoC의 전체성능을 좌우함
	확장 IP instruction	10%	기초	다양한 어플리케이션에 최적화된 최소면적, 저전력의 DSP를 개발가능하게 하여 SoC 성능을 최적화함
	프로그램 성능분석	80%	개발	정확한 프로그램 성능분석을 통한 개발초기단계의 성능측정 가능
	전력제어 instruction	50%	응용	국내에 저전력 디자인 기술 전파
저전력 기술	동적전력제어	50%	응용	DSP에서의 전력소모에 관한 연구를 통하여 국내 SoC산업의 가장 미비한 부분인 저전력 기술 개발
코어디자 인기술	Local bus 정의	10%	기초	Local bus라는 DSP성능최적화의 새로운 개념 제안
	어플리케이션 확장 IP	10%	기초	다양한 확장 어플리케이션 IP의 데이터베이스를 구축함으로써 DSP성능 극대화
	Instruction flow control	80%	개발	Hardware debugging기술의 국내산업전파
	코어- software interface	80%	개발	Hardware debugging기술의 국내산업전파
개발환경 제작기술	Assembler 제작	90%	개발	개발된 DSP에 최적화된 소프트웨어로 사용자의 구매의욕 증대
	ISS software 제작	90%	개발	개발된 DSP에 최적화된 소프트웨어로 사용자의 구매의욕 증대
	Compiler 제작	80%	개발	C/C++ Compiler기술의 국내산업 전파
	HW debugger software제작	80%	개발	Hardware debugging의 시제품화로 사용자의 구매요구 증대



나. 요소기술 확보전략

1) 기술확보방법

기술 영역	요소기술명	기술확보 내용	기술확보 방법 및 전략	판단 사유
성능분석 기술	Instruction 성능분석	DSP제어를 위한 일반적인 instruction 정의	기존DSP분석 (자체수행)	기본적인 DSP instruction은 기존에 제안된 DSP를 최대한 활용
	확장 IP instruction	확장 IP interface정의와 이를 제어하는 instruction 정의	Local bus정의 후 효율적인 instruction선택(자체수행)	확장 IP의 Local bus의 protocol정의후 그에 적합한 instruction제안
	프로그램 성능분석	SS제작시 성능을 정확히 분석하는 기술 구현	ISS최적화 (자체수행)	성능분석이 가능한 ISS모델을 통하여 가능
	전력제어 instruction	전력제어mode를 제안하고 이를 제어하기 위한 instruction제안	전력제어 mode 정의 (자체수행)	전력제어 mode를 instruction으로 제어할 수 있도록 구현
저전력 기술	동적전력제어	Architecture/Circuit단계에서의 DSP에 특화된 저전력기술 구현	기존 전력제어 기술 확보 및 DSP특화 (자체수행)	저전력기술은 다양한 기술들이 연구되어 있으므로, 이를 DSP에 특화시키는 방법이 가장 효율적임
	Local bus 정의	DSP내부 bus와 근접한 고속 bus 정의	IP를 위한 P2P고속 bus 정의(자체수행)	Local bus는 DSP에서는 새로운 개념이므로 P2P가 가능하도록 정의
코어디자인 기술	어플리케이션 확장 IP	어플리케이션용 확장 IP데이터베이스의 확보	기존의 IP들을 변형(공동수행)	기존의 IP들을 Local bus형태에 맞도록 변형하여 개발시간을 단축할 수 있음
	Instruction flow control	Hardware debugging을 위한 instruction pipeline 제어기술 제안	JTAG과 기존의 코어제어기술 분석 (자체수행)	JTAG은 국제표준이며 코어는 제안된 instruction을 기반으로 RTL coding시에 디버깅이 가능하도록 디자인
	코어- software interface	JTAG기반의 통신기술 구현	JTAG기술분석 (자체수행)	
개발환경 제작기술	Assembler 제작	개발된 DSP의 assembler구현	제안된 instruction기반 구현 (공동수행)	
	ISS software 제작	개발된 DSP의 ISS 구현	제안된 instruction기반 구현 (공동수행)	
	Compiler 제작	개발된 DSP의 Compiler 구현	gcc를 기반으로 하여 코드 최적화 기술 구현(공동수행)	Compiler기술은 기존 MCU에 최적화된 Compiler에 개발된 instruction을 구현
	HW debugger software제작	개발된 DSP의 HW debugging software 구현	HW debugging기술 분석 (공동수행)	

2) 기술대안 분석 및 특정대안

기술 영역	요소기술명	대안기술	대안기술 장단점 분석	대안기술 결정
성능분석 기술	확장 IP instruction	재설정가능 DSP기술	Instruction, 기능블럭등을 재설정가능하도록 기술개발해야 하므로 기술상의 어려움또는 비효율적인 면이 있으며, 현재 상용화된 기술들도 최적화된 성능을 내지 못함	불채택
저전력 기술	동적전력제어	Process technology 개발	Architecture/Circuit단계에서 전력을 제어하는 것이 전력소모의 절감량이 우수하며, process를 개발하는 것은 막대한 비용이 드는 단점이 있음	불채택
코어 디자인 기술	어플리케이션 확장 IP	DSP RTL생성 소프트웨어 개발	재설정 가능한 RTL은 생성된 RTL code의 성능이 떨어지는 단점이 있음	불채택

3. 과제범위

과제명	요소기술		확보시기
	요소기술명	요소기술 수준	
DSP 아키텍처 및 성능 분석	DSP Instruction 정의와 정확한 성능분석	높음	2007
	어플리케이션 확장 instruction개발	높음	2007
	응용프로그램 성능분석	높음	2007
	전력제어 instruction	높음	2008
초 저전력 DSP 기술 개발	Instruction, Architecture, circuit 단계의 저전력기술	높음	2008
고속 어플리케이션 확장이 가능한 DSP 코어 개발	어플리케이션 IP 확장을 위한 bus기술 개발	높음	2007
	어플리케이션 확장을 위한 IP database 구축	높음	2009
	Hardware Debugging 환경 구축	높음	2009
	Hardware Debugging 환경 구축	높음	2009
개발시간 단축을 위한 효율적인 DSP 개발환경 개발	Assembler 개발	높음	2006
	ISS 개발	높음	2006
	C/C++ Compiler 개발	높음	2008
	HW debugging 환경개발	높음	2009

#### 4. 로드맵(종합)

구분	2006	2008	2010	2012
서비스 및 제품	Assembler	어플리케이션 확장 가능 DSP Soft IP (RTL)	저전력 DSP Soft IP (RTL)	저전력 DSP용 개발환경과 확장 IP Database
	ISS	Assembler/ISS가 지원되는 DSP	완전한 개발환경이 지원되는 DSP	
기술발전 전개 (요소기술별)	Assembler 개발	DSP Instruction 정의와 정확한 성능분석	전력제어 instruction	어플리케이션 확장을 위한 IP database 구축
	ISS 개발	어플리케이션 확장 instruction	Instruction, Architecture, circuit 단계의 저전력기술	Hardware Debugging 환경 구축
	응용프로그램 성능분석		C/C++ Compiler개발	HW debugging 환경개발
	어플리케이션 IP 확장을 위한 bus기술 개발			
R&D 과제	신규 과제	DSP Instruction 정의 및 성능분석	어플리케이션 확장 가능 DSP 개발	어플리케이션 확장을 위한 DSP IP구축 및 HW debugging 환경 개발
		Assembler개발	저전력 DSP기술 개발	어플리케이션 확장 IP 개발
		ISS개발	C/C++컴파일러 개발	C/C++컴파일러 개발

### Ⅲ. 후대단말용 전력제어 IC (Smart Power Management IC)

#### 가. 개념 및 정의

Smart Power Management IC (이하 SPMIC)는 Mobile 기기 Battery의 용량, 잔존 용량, 온도, Cycle 등 다양한 정보를 기기본체에 제공하는 Smart Battery 기능과 Mobile 기기내의 기능 칩 부품에 다양한 규격의 전

원을 안정적으로 공급하고 회로를 보호하는 Power Management(PMIC) 기능이 결합된 칩을 말한다.

#### 나. 필요성

SPMIC 부품시장은 Mobile 기기 시장의 증가에 비례하여 증가하는 추세로서, IC부품 세계시장이 05년도 35억\$(3조 8천억원)에서 10년도 61억\$(6조 7천억원) 수준으로 증가할 것으로 전망된다. SPMIC의 국내시장은 세계시장의 성장률과 동일비율로 크게 증가하고 있으나, 국내 생산업체가 없는 관계로 전량 수입의존하고 있으며, TI, MAXIM, Dallas 등 해외업체가 시장을 완전 장악하고 있다. 현재 Smart Power IC와 Power Management IC의 기술 주도국은 미국과 일본으로, 국내 IT업계의 활성화에 따라 2005년 기준 수입액이 8.7억\$(9천5백억원/세계시장의 25%수준) 정도로 현 상황에서 대체 기술과 제품을 개발하지 않으면, IT관련 산업이 발전할수록 수입액은 큰 증가가 전망된다.

SPMIC를 개발 성공시 파급효과는, 2008년 SPMIC 개발을 완료하고, 2010년 수입 물량의 80% 이상을 대체시, 14.6억\$(1조 6천억원/세계시장 물량의 30%)의 수입 대체효과가 발생한다. 또한 세계시장을 기준으로 볼 때, SPMIC의 표준화를 선도하여 2010년 World TOP을 달성하면, 년 34억\$(3조7천억원/세계시장 80%)의 수출을 기대할 수 있다. 또한 향후, 국내 2차 전자 생산업체와의 공동개발로 2차 전자산업의 고부가가치화가 가능하며, 사업영역을 확장하면 차세대 연료전지 개발시 전력조절과 소형화를 위한 원천기술 독자 선점이 기대된다.

#### 1. 기술개발 테마별 목표 및 요소기술

##### 가. 상세 동향분석

구분	국 내	국 외
기술개발동향	• 2차전지용 smart controller IC 개발	• 연료전지 및 2차 전지용 SMART IC 개발 • Mobile기기 Power Management IC 개발
표준화동향	• 국내 업체 대응 미미	• IC 공급자 중심의 실질적 표준화 진행중
특허동향	• 대응 미미	• 단위 기능별 특허 과점 상태
산업/시장동향	• 특화 SPMIC제품에 대한 대응이 전무	• 시스템 업체 수요 대응하는 특화제품 출시
정책동향	• SPMIC에 대한 정책적 지원 인식 확산	• 기존 가격경쟁력 및 기술우위로 진입장벽

나. 목표 설정

테마명	제품 및 서비스 실현 목표	경제적·기술적 목표
SPMIC	2차 및 연료 전지용 Smart Power Management IC(SOC)	<ul style="list-style-type: none"> <li>• 2007년까지 핵심특허 5 건, 기술표준화 완료</li> <li>• 2008년까지 SPMIC SOC 개발 완료 (시 양산단계)</li> <li>• 2008년에 세계시장에 진출</li> <li>• 2010년까지 기존 PMIC 및 SBIC의 시장을 SPMIC 표준으로 통합하며, 국내/세계시장 점유율 80%를 달성 (48억\$ / 5조 2천억원)</li> </ul>

다. 핵심요구기능

핵심요구기능 (CSR)	정 의	선택사유
SMART BATTERY	Battery 잔량을 정확히 계측하여 분단위 이하의 기기사용 시간을 표시 할 수 있는 기능	<ul style="list-style-type: none"> <li>• Battery 잔량 측정의 H/W기술</li> <li>• 분 단위이하의 시간 표시기능의 S/W</li> <li>• 기술이 통합된 SPMIC의 핵심기능</li> </ul>
POWER MANAGEMENT	Battery로부터 공급받은 전력을 Mobile 기기내 각각의 모듈 또는 IC에 적절한 전압과 전류량으로 안정적으로 공급하는 기능	<ul style="list-style-type: none"> <li>• 다수의 Power Management IC를 필요로 하는 기존 방식에 One chip IC로 복합화하여 제품 Size 나 가격 경쟁력을 확보 할 수 있는 핵심 기능</li> </ul>
ONE Chip SOC	Smart Battery기능과 Power Management 기능을 1개의 One Chip으로 통합하여 Mobile기기의 O/S와 연동할 수 있게 하는 기능 기술	<ul style="list-style-type: none"> <li>• SmartBattery와 Power Management 기능을 통합하여 One Chip IC로 구현하는 H/W 기술과 SET Solution을 구현하는 S/W 기술이 통합된 SPMIC의 핵심적인 제작 기술</li> </ul>
PRICE	제품 표준화와 공용화를 통해 양산시 부가가치를 극대화 할 수 있는 가격 경쟁력	<ul style="list-style-type: none"> <li>• SPMIC의 개발후 부가가치 창출을 위한 제품의 표준화와 공용화 및 제품 생산 기술</li> </ul>

라. 시장진입 및 육성전략

테마명	서비스 대상 및 범위 (최종제품 예상형태)	시장진입 시기	시장진입 및 육성전략
SPMIC	Smart Power Management SoC	2008	<ul style="list-style-type: none"> <li>• SPMIC 부품시장은 Mobile기기 시장의 증가에 비례하여 증가하는 추세로서, 2008년도 IC 시장이 성숙기에 접어들것이 예상되며, IC전체 시장이 05년도 35억\$ 에서 10년도 61억\$수준으로 증가할 것으로 전망됨</li> <li>• 본 과제를 제안한 대기업(삼성전기)은 축적된 부품개발 기술을 바탕으로 삼성전기(SPMIC 부품 개발 공급 및 Solution제공) - 삼성반도체(IC생산) - 삼성SDI(Battery Cell 생산) - 삼성전자(System 개발 및 Mobile Phone, Notebook, MP3 제품 양산)의 강력한 얼라이언스를 통해 업계 표준을 주도하고 세계최고의 품질과 가격 경쟁력을 확보할 수 있으며, 즉각적인 제품적용 및 양산이 가능한 최적의 경쟁력을 갖출 수 있도록 함</li> <li>• 따라서 Smart Power Management IC 개발 완료 시점인 2008년 시장진입시, 초소형으로 집적화된 다기능과 가격 경쟁력으로 기존 시장진입이 가능하며, 특히 Mobile기기에 어울리게이션에서는 세계최고 수준의 기술, 가격 경쟁력을 가질 수 있어 세계 1위 제품으로 육성이 가능함</li> </ul>

바. 핵심요구기능별 요소기술 및 기술영역

1) 요소기술 및 기술영역

CSR 목표	관련 요소기술
SMART BATTERY	GAS gage 기술, Smart Power Solution, Battery Charge 기술, Battery Protection 기술
POWERMANAGEMENT	온도 Sensor 기술, LDO Array회로 기술, 정전원 기술, DC-DC Converter 기술, Circuit Protection 기술
ONE CHIP SOC	MCU 회로 기술, Hardware-Software Co Design 기술, Application 적용기술, Mixed Mode IC 설계 기술
PRICE	IC FAB 기술, 측정 및 평가 기술, 신뢰성 검증기술, 불량분석 기술

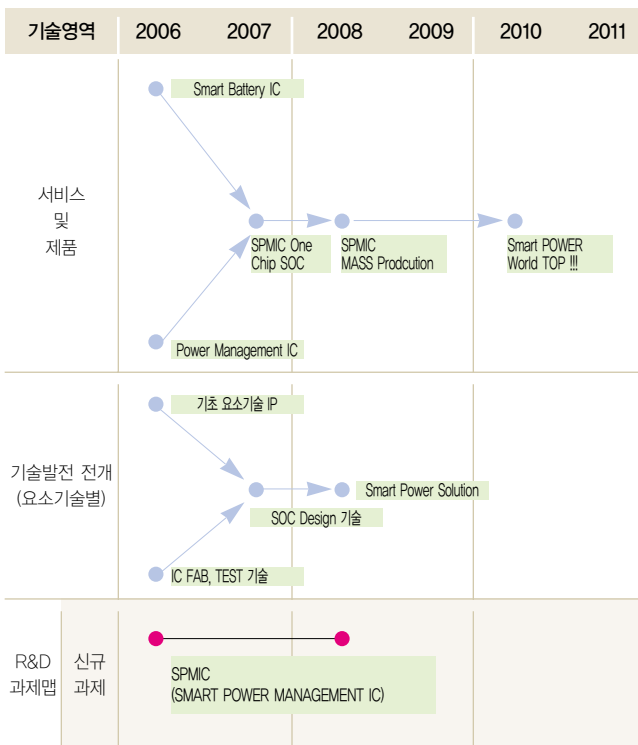
기술영역	관련 요소기술
SMART POWER	GAS gage 기술, Smart Power Solution, Battery Charger 기술, 정전원 기술, Battery Protection 기술, 온도 Sensor 기술, LDO Array회로 기술, DC-DC Converter 기술, Circuit Protection 기술
SOC DESIGN	MCU 회로기술, Hardware-Software Co Design 기술, Mixed Mode IC 설계기술, IC FAB 기술
Quality Reliability	측정 및 평가 기술, 신뢰성 검증기술, 불량분석 기술
APPLICATION	Application 적용기술

2) 기술영역 및 요소기술별 목표수준

기술영역	관련 요소기술	2005	2006	2007	2008	2009	2010
SMART POWER	GAS gage 기술	→	●	●	●	●	●
	Smart Power Solution	→	→	→	→	→	→
	Battery Charger 기술	→	●	●	●	●	●
	정전원 기술	→	●	●	●	●	●
	Battery Protection 기술	→	●	●	●	●	●
	온도 Sensor 기술	→	●	●	●	●	●
	LDO Array 회로 기술	→	●	●	●	●	●
	DC-DC Converter 기술	→	●	●	●	●	●
	Circuit Protection 기술	→	●	●	●	●	●

기술영역	관련 요소기술	2005	2006	2007	2008	2009	2010
SOC DESIGN	MCU 회로기술		●	●	●	●	● 8 bit MCU + Analog I/O Analog I/O
	Hardware-Software Co-Design 기술		●				● Embedded Solution 확보
	Mixed Mode IC 설계기술		●				● Mixed Mode LAYOUT 설계
	IC FAB 기술		●	●	●	●	● MIXED MODE SOC High Voltage 공정
Quality Reliability	측정 및 평가 기술		●	●	●	●	● TEST SETUP TEST Program 완료
	신뢰성 검증기술		●				● QR-TEST PLAN 완료
	불량분석 기술		●				● FEMA 기준서
APPLICATION	Application 적용기술		●	●	●	●	● SET 신뢰성 검증 APP별 Profile 완료

## 2. 로드맵(종합)



## 3. 기술분석 및 기술확보 전략

### 가. 기술분석

#### 1) 특허분석 및 대응전략

기술영역	요소기술명	특허현황	시사점 및 대응전략
SOC DESIGN	GAS gage 기술	• 기존 업체 특허 기술 다수 보유 (관련특허: 미국 12건, 일본 7건)	• 독자 기술 개발후 독자특허 출원 가능함
	Smart Power Solution	• 기존 업체 특허 기술 다수 보유 (관련특허: 미국 5건, 일본 7건)	• 독자 기술 개발후 독자특허 출원 가능함
성능분석 기술	Battery Charger 기술	• 기존 업체 특허 기술 다수 보유 (관련특허: 미국 45건, 일본 38건)	• 회피 특허 개발후 대응가능
	정전원 기술	• 현재 특허보호 가능한 IP 보유	• 대응 필요 없음
	Battery Protection 기술	• 현재 특허보호 가능한 IP 보유	• 대응 필요 없음 • 특허 보호 필요함
	온도 Sensor 기술	• 기존 업체 특허 기술 다수 보유 (관련특허: 미국 67건, 일본 42건)	• 회피 특허 개발후 대응가능
	LDO Array 회로 기술	• 현재 특허보호 가능한 IP 보유	• 대응 필요 없음 • 특허 보호 필요함
	DC-DC Converter 기술	• 현재 특허보호 가능한 IP 보유	• 대응 필요 없음 • 특허 보호 필요함
	Circuit Protection 기술	• 현재 특허보호 가능한 IP 보유	• 대응 필요 없음 • 특허 보호 필요함
	MCU 회로기술	• 특허 공개된 IP 보유	• 대응 필요 없음
	Hardware-Software Co-Design 기술	• 특허 공개된 기술 보유	• 대응 필요 없음
	Mixed Mode IC 설계기술	• 특허 공개된 기술 보유	• 대응 필요 없음
Quality Reliability	IC FAB 기술	• IC 제조관련 특허는 해당업체 보유	• 대응 필요 없음
	측정 및 평가 기술	• IC 측정관련 기술특허 보유	• 대응 필요 없음
	신뢰성 검증기술	• 신뢰성기술 특허는 신뢰성 측정 업체에서 보유 또는 해당사항 없음	• 대응 필요 없음
APPLICATION	불량분석 기술	• 측정 기술 특허는 신뢰성 측정 업체에서 보유 또는 해당사항 없음	• 대응 필요 없음
	Application 적용기술	• SET관련 특허는 SET 업체 해당사항	• 대응 필요 없음

## 2) 기술역량 및 경쟁력 분석

기술 영역	요소기술명	기술경쟁력 기술격차 (년)	현황 상대적 수준(%)	최고기술 보유국	판단사유 및 근거
SMART POWER	GAS gage 기술	- 2	30	미 국	• Battery측정관련 원천기술 보유 • 시스템, IC 특허 보유
	Smart Power Solution	- 2	30	일 본	• Smart Power 적용 시스템 양산 (SONY Camcorder) • Smart Power 관련 특허 보유
	Battery Charger 기술	- 1	80	일 본	• Battery Charger 관련 핵 심기술 다수 보유 • Battery Cell 제조 기술 강점
	정전원 기술	0	100	미 국	• 미국이 원천기술 보유하고 있 으나, 대부분의 기술 공개됨 • 문제 특허 없음 • 현재 동일성능 이상의 IC IP 확보됨 (양산중)
	Battery Protection 기술	- 0.2	80	미 국	• 원천기술 보유 • 대부분의 기술이 공개되었 고, 특허는 회피 가능함
	온도 Sensor 기술	- 0.5	60	미 국	• 원천기술 보유 • 회피 가능한 응용기술 다수 • TI, MAXIM등 양산중
	LDO Array 회로 기술	- 0.5	60	미 국	• 원천기술 보유 • 회피 가능한 응용기술 다수 • TI, MAXIM등 양산중
	DC-DC Converter 기술	0	100	미 국	• 원천기술 보유 • 대부분의 기술 공개됨 • 현재 동일성능 이상의 IC IP 확보됨 (양산중)
	Circuit Protection 기술	0	100	미 국	• 원천기술 보유 • 대부분의 기술 공개됨 • 현재 동일성능 이상의 IC IP 확보됨 (양산중)
	SOC DESIGN	MCU 회로기술	0	100	미 국
Hardware- Software Co-Design 기술		- 0.5	60	미 국	• Simulation Tool 제공
Mixed Mode IC 설계 기술		0	100	미 국	• IT 관련 설계 기술 동등수준
Quality Reliability	IC FAB 기술	+ 1	150	한 국	• FAB 가격 경쟁력 최고수준 (삼성반도체, Magnachips)
	측정 및 평가 기술	0	100	한 국	• 측정/평가 기술 최고 수준
	신뢰성 검증기술	0	100	한 국	• 신뢰성 검증 기술 최고 수준
	불량분석 기술	0	100	미 국	• 분석 장비 생산 • 분석장비 운용기술은 국내 기술 최고 수준
APPLICA TION	Application 적용기술	+ 0.5	120	한 국	• Mobile 관련 IT 기술 세계 최고

## 3) 기술의 특성 및 파급효과

기술 영역	요소 기술명	기술 성숙도	기술 단계	파 급 효 과
SMART POWER	GAS gage 기술	성장	초기	• Mobile기기의 전원관리 기능 강화
	Smart Power Solution	탄생	초기	• Battery 잔존량 확인가능 • 연료전지, 자동차등에 응용 가능함
	Battery Charger 기술	성숙	응용	• Battery 충전 효율 증가로 인한 에너지 소비량 감소
	정전원 기술	성숙	개발	• 회로 품질 및 신뢰성 증대 • Noise 감소
	Battery Protection 기술	성숙	초기	• Battery 안정성 및 신뢰성 강화
	온도 Sensor 기술	성장	응용	• Battery 안정성 및 신뢰성 강화
	LDO Array 회로 기술	성장	개발	• 회로 품질 및 신뢰성 증대 • Noise 감소
	DC-DC Converter 기술	성장	개발	• 저전력 기술 응용 가능
	Circuit Protection 기술	성숙	개발	• 회로 안정성 및 신뢰성 강화
	SOC DESIGN	MCU 회로기술	성숙	개발
Hardware- Software Co-Design 기술		성숙	개발	• Embedded System 설계 응용 분 야 확대
Mixed Mode IC 설계기술		성숙	개발	
Quality Reliability	IC FAB 기술	성숙	개발	
	측정 및 평가 기술	성숙	개발	• Smart Power 관련 측정 원천기술 확보
	신뢰성 검증기술	성숙	개발	
	불량분석 기술	성숙	개발	• Smart Power 관련 분석 원천기술 확보
APPLICA TION	Application 적용 기술	성숙	개발	• SmartPower Application 원천 기 술 확보

## 나. 요소기술 확보전략

### 1) 기술 확보 방법

기술 영역	요소 기술명	기술 확보 내용	기술확보 방법 및 전략	판단사유
SMART POWER	GAS gage 기술	Battery Power Sensor	• 자체 개발 • 독자 신기술 특허 개발 • 관련 회로는 Design House 개발	• 핵심기술로서 독자 개발이 필요
	Smart Power Solution	Smart power Algorithm S/W	• 국책연구기관 공동개발 통해 Solution 확보 및 표준화	• 핵심기술로서 독자 개발이 필요
	Battery Charger 기술	Battery Charger Adaptor	• 자체 개발 • 독자 신기술 특허 개발 • 관련 회로는 Design House 개발	• 핵심기술로서 독자 개발이 필요
	정전원 기술	BGR, Regulator	• 확보된 IP 활용 개발기간 단축	• 기술 확보됨
	Battery Protection 기술	Battery Protection	• 자체 개발 • 독자 신기술 특허 개발 • 관련 회로는 Design House 개발	• 핵심기술로서 독자 개발이 필요
	온도 Sensor 기술	Temp. Sensor ADC	• 자체 개발 • 독자 신기술 특허 개발 • 관련 회로는 Design House 개발	• 핵심기술로서 독자 개발이 필요
	LDO Array 회로 기술	LDO Circuit V, I, Bias Circuit	• 확보된 IP 활용 개발기간 단축	• 기술 확보됨
	DC-DC Converter 기술	PWM Controller	• 확보된 IP 활용 개발기간 단축	• 기술 확보됨
	Circuit Protection 기술	Comparator Protection Latch	• 확보된 IP 활용 개발기간 단축	• 기술 확보됨
	SOC DESIGN	MCU 회로기술	8bit MCU, Flash Memory	• 확보된 IP 활용 개발기간 단축
Hardware-Software Co-Design 기술		H/W-S/W Co Simulator	• 기존개발 Process 활용	• 기술 확보됨
Mixed Model IC 설계기술		Mixed Mode LAYOUT 설계	• Design House 개발	• 기술 확보됨
IC FAB 기술		IC FAB	• 국내 FAB 사용 (삼성, Magnachips)	• 기술 확보됨
Quality Reliability	측정 및 평가 기술	Water DC TEST Auto TEST	• 자체 개발	• 기술 확보됨
	신뢰성 검증기술	신뢰성 검증	• 국내 검증 기관에서 검증	• 기술 확보됨
	불량분석 기술	IC 불량 분석기술	• 분석 기술 자체 개발	• 기술 확보됨
APPLICATION	Application 적용기술	Application 별 IC 적용기술	• SET업체와 공동개발	• 기술 확보됨

## 2) 기술대안 분석 및 특정대안

기술영역	요소 기술명	대안 기술	대안기술의 장단점 분석	대안기술 결정
SMART POWER	GAS gage 기술	Current Detection	• 기존방식, 구조간단함 • 측정 정확도 떨어짐	X
		Voltage Detection	• 회로 구조 간단함 • 측정 신뢰도 낮음	X
		Power Detection	• I, V 동시 측정, 정확함 • 독자 회로 개발 필요	O (측정 정확성 중요)
	Smart Power Solution	Analog Feedback	• 구조 간단, 가격 낮음 • 정확도 떨어짐 • 양산 신뢰성 낮음	X
		Digital Software	• 개발 비용 높음 • 정확성 및 신뢰성 높음	O (양산 신뢰성 중요)
	Battery Protection 기술	Analog Feedback 방식	• 구조 간단함, H/W 구현 • Application 적용어려움 • 가격이 낮음	X
		Internal Digital 방식	• 구조 복잡함, H/W 구현 • Application 적용 쉬움 • 가격이 높음	O (내부MCU 사용)
		External Digital 방식	• 구조 간단함, S/W 구현 • Application 적용어려움 • 가격이 낮음	X
	온도 Sensor 기술	Analog Thermistor 방식	• 구조 간단함, H/W 구현 • 외장 Thermistor 필요 • 가격 낮음	X
		Digital Thermistor 방식	• 구조 복잡, S/W 구현 • 외장 Thermistor 필요 • 가격 높음	X
		On Chip Resistor 방식	• 구조 간단, S/W 구현 • 가격 낮음	X

※대안기술 존재 사항만 기재함

## 4. 과제범위

과제명	요소기술명	요소기술수준	확보시기
SMART POWER	GAS gage 기술	GAS gage Circuit IP 확보	1차년도 (2006년)
	Smart Power Solution	Smart Power Algorithm S/W	2차년도 (2008년)
	Battery Charger 기술	Charger Circuit IP 확보	1차년도 (2006년)
	정전원 기술	Regulator, UVLO IP 확보	1차년도 (2006년)
	Battery Protection 기술	Protection LOGIC IP 확보	1차년도 (2006년)
	온도 Sensor 기술	온도 Sensor IP 확보	2차년도 (2007년)
	LDO Array 회로 기술	LDO Array IP 확보	1차년도 (2006년)
	DC-DC Converter 기술	PWM Controller IP 확보	1차년도 (2006년)
	Circuit Protection 기술	Protection Circuit IP 확보	1차년도 (2006년)
SOC DESIGN	MCU 회로기술	MCU Circuit 및 Firmware	2차년도 (2007년)
	Hardware-Software Co-Design 기술	H/W-Software Co-시뮬레이션을 사용한 SOC 설계 IP 확보	2차년도 (2007년)
	Mixed Model IC 설계기술	SPMIC SOC LAYOUT DB 확보	2차년도 (2007년)
	IC FAB 기술	FAB 분석 및 선정 완료	1차년도 (2006년)
Quality Reliability	측정 및 평가 기술	측정 시스템 SETUP	3차년도 (2008년)
	신뢰성 검증기술	신뢰성 검증	3차년도 (2008년)
	불량분석 기술	IC 및 제품 불량 검사규정 확보	3차년도 (2008년)
APPLICATION	Application 적용기술	Application별 Profile 확보	3차년도 (2008년)