

에피층 농도 변화에 따른 Multi-RESURF SOI LDMOSFET의 전기적 특성 분석

Study on the Electrical Characteristics of the Multi-RESURF SOI LDMOSFET as a Function of Epi-layer Concentration

김형우^{1,a}, 서길수¹, 방 옥¹, 김기현¹, 김남균¹

(Hyoung-Woo Kim^{1,a}, Kil-Soo Seo¹, Wook Bahng¹, Ki-Hyun Kim¹, and Nam-Kyun Kim¹)

Abstract

In this paper, we analyzed the breakdown voltage and on-resistance of the multi-RESURF SOI LDMOSFET as a function of epi-layer concentration. P-/n-epi layer thickness and doping concentration of the proposed structure are varied from 2 ~ 5 μm and $1 \times 10^{15}/\text{cm}^3 \sim 9 \times 10^{15}/\text{cm}^3$ to find optimum breakdown voltage and on-resistance of the proposed structure. The maximum breakdown voltage of the proposed structure is 224 V at $R_{on}=0.2 \Omega\text{-mm}^2$ with $P_{epi}=3 \times 10^{15}/\text{cm}^3$, $N_{epi}=7 \times 10^{15}/\text{cm}^3$ and $L_{epi}=10 \mu\text{m}$. Characteristics of the device are verified by two-dimensional process simulator ATHENA and device simulator ATLAS.

Key Words : Multi-RESURF, LDMOSFET, SOI, Breakdown voltage, On-resistance

1. 서론

SOI(Silicon-On-Insulator) RESURF(REDUCED SURFACE FIELD) LDMOSFET(Lateral Double-diffused MOSFET)은 절연격리가 쉽고, 누설전류가 낮기 때문에 고전압 집적회로에 많이 사용되고 있으며, VLSI 공정에 적합하고 다른 소자들과의 집적이 용이하다는 장점이 있다[1-3].

LIGBT(Lateral Insulated Gate Bipolar Transistor)와 같은 전도성 변조 소자들과 비교해 볼 때 LDMOSFET는 높은 온-저항값을 나타내며, 소자 전체에 흐르는 높은 구동 전류와 내전압으로 인해 전력소비가 크다는 단점을 가지고 있다. 소자의 온-저항이 증가할 경우 HVICs(High Voltage ICs)의 전력소비가 증가하게 되어 self-heating 효과

를 유발하게 되기 때문에 소자의 온도가 증가하게 되어 성능의 저하가 나타나게 되는 문제점이 있다. 따라서 전체적인 전력소비를 줄이고 성능을 향상시키기 위해서는 온-저항을 감소시켜야 한다 [4-8].

LDMOSFET와 같은 수평형 전력반도체 소자의 경우 온-저항은 소자 에피 영역의 농도, 두께 및 길이와 같은 설계 변수에 의존한다. 하지만 일반적으로 온-저항을 낮게 하는 변수의 조절은 항복전압 특성을 저하시킨다. 따라서 높은 항복전압과 낮은 온-저항 특성을 얻기 위해서는 이들 변수의 최적화된 설계가 필수적이다.

온-저항을 낮추기 위해 에피층의 농도를 높이고 길이를 짧게 할 경우 항복전압이 감소하게 되며, 에피층의 농도를 낮추고 길이를 길게 할 경우 항복전압은 증가하지만 온-저항도 증가하게 되므로 최적의 항복전압 및 온-저항 특성을 얻기 위해서는 항복전압 및 온-저항간의 trade-off를 고려한 설계가 필요하다.

상기와 같은 단점을 개선하여 높은 항복전압을 유지하면서 낮은 온-저항을 얻을 수 있는 구조인

1. 한국전기연구원 전력반도체연구그룹
(경남 창원시 성주동 28-1)

a. Corresponding Author : hwkim@keri.re.kr

접수일자 : 2006. 6. 26

1차 심사 : 2006. 8. 1

심사완료 : 2006. 8. 16

multi-RESURF SOI LDMOSFET가 제안된 바 있으나[9] 에피층의 농도와 두께에 따른 항복전압의 변화가 심한 기존의 RESURF 구조와 마찬가지로 multi-RESURF 구조 또한 P/N 에피층의 농도와 두께의 변화에 따라 항복전압의 변화가 심한 단점을 가지고 있기 때문에 최적의 항복전압 및 온-저항 특성을 얻기 위해서는 p/n 에피층의 농도, 두께와 같은 설계 변수에 따른 특성의 변화에 대한 분석이 필요하다.

본 논문에서는 multi-RESURF SOI LDMOSFET 소자의 특성에 영향을 미치는 설계 변수들 중에서 에피층의 농도를 변화시켰을 때의 항복전압 및 온-저항 특성을 시뮬레이션을 통해 분석하였다. 소자의 특성은 2차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS를 통해 검증하였다[10].

2. 본 론

2.1 소자구조

그림 1에 시뮬레이션에 사용된 소자의 구조를 나타내었다. 에피층에서의 균일한 전류 흐름을 얻기 위해 recessed source 및 trench drain 구조를 사용하였고, 높은 항복전압과 낮은 온-저항 특성을 얻기 위해 p-/n-의 이중 에피층 구조를 사용하였다. 제안된 소자와 같이 이중 에피층 구조를 사용하는 경우 p-/n-에피층간의 전하보상효과에 의해 높은 에피층 농도를 사용해도 에피 영역 전체가 공핍되어 높은 항복전압을 얻을 수 있는 장점이 있으며, 높은 에피층 농도로 인해 낮은 온-저항 특성을 얻을 수 있다. 또한 제안된 소자와 같이 recessed source와 trench drain 구조를 사용한 경우 온 상태에서 에피 영역 전체에 전류가 균일하게 흐르기 때문에 일반적인 플라나 구조에 비해 낮은 온-저항 특성을 얻을 수 있다. 표 1에 시뮬레이션에 사용된 소자의 설계 변수를 나타내었다.

P-/n-에피층의 농도는 각각 $1 \times 10^{15}/cm^3 \sim 9 \times 10^{15}/cm^3$ 로 변화시켰으며, 전체 에피층의 두께는 $2 \sim 5 \mu m$, recessed source의 recess된 깊이는 p-에피층의 두께와 동일하게 변화시켰다. trench drain의 깊이는 에피층 전체의 깊이와 동일하게 사용하였고 gate oxide의 두께는 1000 \AA 를 사용하였다. 또한 본 논문에서는 p/n-에피층 각각의 두께가 고정된 상태에서 농도의 변화에 따른 전기적 특성 분석을 위해 $T_1=T_2$ 가 되도록 하였다.

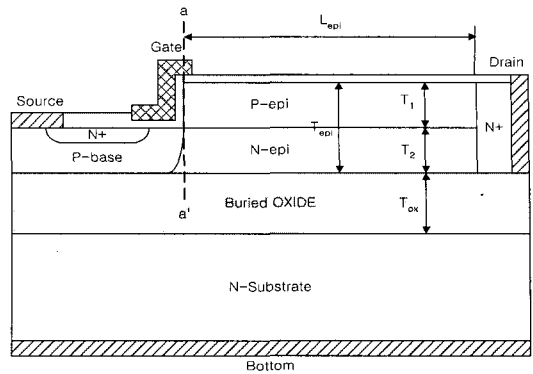


그림 1. 시뮬레이션에 사용된 multi-RESURF SOI RESURF LDMOSFET 구조도.

Fig. 1. Cross-sectional view of the multi-RESURF SOI LDMOSFET.

표 1. 소자의 설계에 사용된 설계 변수.

Table 1. Device parameters.

N+ source 농도	$1 \times 10^{20}/cm^3$
N+ drain 농도	$1 \times 10^{20}/cm^3$
P-base 농도	$3 \times 10^{17}/cm^3$
P-/N-epi 농도	$1 \times 10^{15}/cm^3 \sim 9 \times 10^{15}/cm^3$
P-/N-epi 길이	$10 \mu m$
Gate oxide 두께	1000 \AA
Buried oxide 두께	$2 \mu m$
P-/N-epi 층 두께	$1 \sim 2.5 \mu m$
P-base 접합깊이	N-epi 두께와 동일
N+ source 접합깊이	$0.5 \mu m$
Recessed gate 깊이	$1 \sim 2.5 \mu m$
Trenched drain 깊이	$2 \sim 5 \mu m$

2.2 항복전압 특성 분석

그림 2에 p-에피층의 농도를 고정시키고 n-에피층의 농도를 변화하였을 때와 n-에피층의 농도를 고정시키고 p-에피층의 농도를 변화하였을 때의 항복전압의 변화를 나타내었다. 이 때 p/n-에피층 각각의 두께는 $2.5 \mu m$ 로 고정하였으며 에피층의 길이는 $10 \mu m$ 를 사용하였다.

그림 2에서 보면 $T_1=2.5 \mu m, T_2=2.5 \mu m$ 이고 $N_1=3 \times 10^{15}/cm^3, N_2=7 \times 10^{15}/cm^3$ 인 경우의 항복전압이 224 V 로 가장 높게 나타남을 알 수 있다.

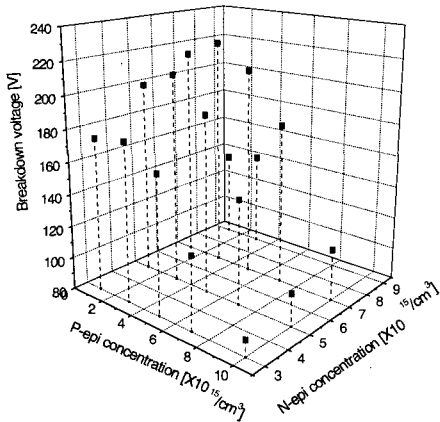


그림 2. 에피층의 농도에 따른 항복전압 변화.
Fig. 2. Breakdown voltage variation as a function of epi-layer concentration.

Multi-RESURF 구조의 경우 p/n-에피층의 전하 불균형이 일어나게 되면 항복전압이 현저하게 줄어든다고 알려져 있고, 실제 수직형 구조인 multi-RESURF DMOS 에서는 p/n-에피층의 농도 및 두께를 동일하게 사용하여 전하의 균형을 맞추어 주는 경우에 가장 높은 항복전압을 얻을 수 있다고 알려져 있으나[11], 수평형 구조의 multi-RESURF LDMOSFET의 경우에는 수직형 구조의 DMOS와는 달리 수직전계뿐만 아니라 표면에서의 수평전계 성분도 항복전압에 영향을 주기 때문에 수직형 구조의 소자와는 다른 특성을 나타낸다. 수직형 구조의 경우 p/n-에피층 각각의 전하들이 서로 상쇄되고 남은 전하들이 수직 전계에만 영향을 주기 때문에 전하의 불균형이 일어나 상쇄되지 않는 전하의 수가 증가할수록 항복전압이 감소하게 된다. 그러나 본 논문에서 사용한 multi-RESURF SOI LDMOSFET과 같은 SOI 구조를 갖는 수평형 소자의 경우 전하의 불균형에 의해 상쇄되지 않은 전하들에 의한 영향이 수직전계 뿐만 아니라 수평전계 성분 및 매물산화막에서의 전계 성분까지 분산되기 때문에 항복전압의 급격한 증가는 일어나지 않게 된다. 오히려 전하의 균형을 맞추어 줄 경우에 p-에피층의 경우에는 이로 인한 영향이 수직 및 수평전계 성분에만 미치게 되지만 n-에피층의 경우에는 수직, 수평 및 매물산화막에서의 전계 성분까지 영향을 주기 때문에 이로 인한 전계 분산의 불균형이 발생하여 항복전압이 줄어들게

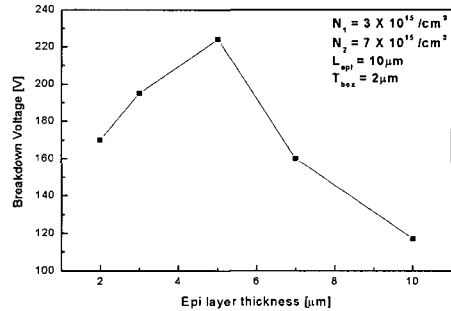


그림 3. 에피층의 두께 변화에 따른 항복전압 특성.
Fig. 3. Breakdown voltage characteristics as a function of epi-layer thickness.

된다. 따라서 본 논문에서 사용한 것과 같은 multi-RESURF SOI LDMOSFET의 경우에는 n-에피층의 농도를 p-에피층에 비해 크게 하여 n-에피층의 전하량을 p-에피층에 비해 더 증가시켜 주는 것이 높은 항복전압을 얻는데 유리한 것으로 판단되었다.

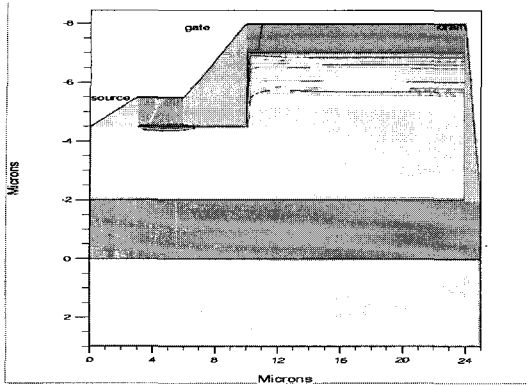
그림 3은 에피층의 두께 변화에 따른 항복전압 특성을 나타낸 것이다.

에피층의 두께는 p/n-에피층의 두께를 동일하게 사용하였고 다만 전체 에피층의 두께를 변화시켜 가며 시뮬레이션을 수행하였다. 이때 p/n-에피층의 농도는 각각 $T_1 = T_2 = 2.5 \mu\text{m}$ 일때의 최적값인 $3 \times 10^{15} / \text{cm}^3$, $7 \times 10^{15} / \text{cm}^3$ 을 사용하였고, 에피층의 길이는 $10 \mu\text{m}$ 를 사용하였다.

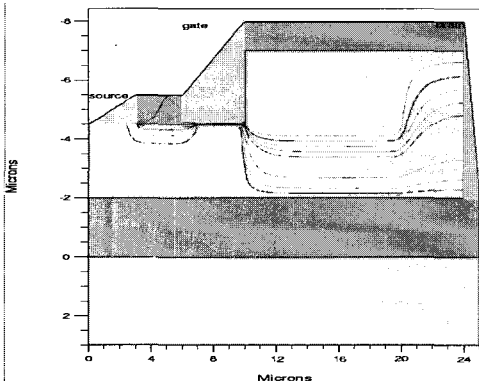
그림 3에서 보면 전체 에피층의 두께가 증가할수록 항복전압이 증가하다가 에피층의 두께가 $5 \mu\text{m}$ 를 넘어서게 되면 항복전압이 급격하게 감소하는 것을 알 수 있다. 이것은 에피층의 두께가 지나치게 두꺼워지는 경우 n-에피층은 에피층과 매물산화막간의 전계분산효과에 의해 완전공핍이 일어나게 되지만 p-에피층의 경우에는 완전공핍이 일어나지 않기 때문으로 따라서 multi-RESURF SOI LDMOSFET 소자의 경우 높은 항복전압을 얻기 위해서는 적절한 두께를 사용하여야 함을 알 수 있다.

2.3 온-저항 특성 분석

그림 4는 n-에피층만을 사용하는 기존의 RESURF SOI LDMOSFET와 multi-RESURF SOI LDMOSFET에 $V_G = 10 \text{ V}$, $V_D = 0.1 \text{ V}$ 를 인가한 경우에 소자내에서의 전류 흐름을 나타낸 것이다.



(a) 기존의 LDMOSFET



(b) Multi-RESURF SOI LDMOSFET

그림 4. 소자내에서의 전류흐름도.

Fig. 4. Current flowlines : (a) Conventional RESURF SOI LDMOSFET, (b) Multi-RESURF SOI LDMOSFET.

그림 4에서 볼 수 있듯이 n-에피층만을 사용하는 기존의 구조에서는 전류가 표면 부분에 집중해서 흐르는데 비해서 multi-RESURF SOI LDMOSFET의 경우에는 n-에피층 전체에 고르게 전류가 흐르고 있음을 알 수 있다. 두 가지 구조 모두 recessed gate, source 및 trench drain 구조를 사용하고 있음에도 전류의 경로가 다른 것은 기존 구조의 경우 n-에피층만을 사용한 상태에서 gate 전극에 인가된 전압에 의해 gate 끝단 부분에 형성된 accumulation 영역으로 인해 전류 경로가 표면 쪽으로 집중된 반면에 multi-RESURF SOI LDMOSFET의 경우에는 p-에피층으로 인해 전류가 상단으로 가지 못하고 하단의 n-에피층으로만 흐르기 때문이다. 결과적으로 multi-RESURF 구조

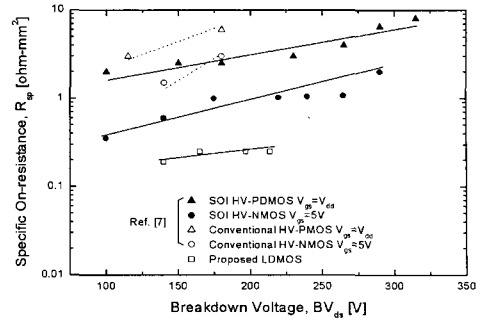


그림 5. 온-저항과 항복전압간의 trade-off 곡선.
Fig. 5. Trade-off curve between on-resistance and breakdown voltage.

에서는 n-에피층 전체에 전류가 흐름으로 인해 전류가 흐를 수 있는 유효 영역의 크기가 증가하게 되어 온-저항 또한 감소하게 된다. 실제로 multi-RESURF 구조와 같은 이중 에피층 구조를 사용할 경우 n-에피층의 두께가 줄어들게 되어 온-저항이 증가해야 하지만 전하보상효과에 의해 높은 농도를 사용해도 높은 항복전압을 얻을 수 있는 구조적인 특성으로 인해 n-에피층의 농도가 높고, 또 위에서 설명한 것과 같이 전류가 흐르는 유효 영역이 증가하게 되어 온-저항이 감소하게 된다.

그림 5에 multi-RESURF SOI LDMOSFET의 온-저항과 항복전압간의 trade-off 곡선을 나타내었다. 그림에서도 볼 수 있듯이 multi-RESURF SOI LDMOSFET의 경우 동일한 항복전압을 가지는 기존 구조의 LDMOSFET에 비해 2배 이상 좋은 특성을 나타내고 있음을 알 수 있다. 또한 기존 구조의 경우 항복전압이 증가함에 따라 온-저항의 증가 정도가 큰 반면에 multi-RESURF 구조에서는 항복전압이 증가해도 온-저항의 증가 정도는 크지 않은 것을 알 수 있다.

3. 결론

Multi-RESURF SOI LDMOSFET 구조에 대해 에피층의 농도변화에 따른 항복전압의 변화와 온-저항 특성에 관해 시뮬레이션을 통해 분석하였다.

Multi-RESURF 구조의 경우 높은 n-에피층의 농도와 recessed gate, source 및 trench drain 구조를 가짐으로써 온-상태에서 에피층 전체에 균일한 분포로 전류가 흘러가기 때문에 기존 구조에 비해 2배 이상 낮은 온-저항을 가지게 된다. 또한

전하보상효과를 이용하는 multi-RESURF 구조의 특성으로 인해 에피층의 농도를 낮추지 않고도 200 V 이상의 높은 항복전압을 얻을 수 있다.

본 논문에서 나타낸 바와 같이 p/n-에피층의 두께를 각각 2.5 μm 를 사용하고, 농도를 $N_1 = 3 \times 10^{15}/\text{cm}^3$, $N_2 = 7 \times 10^{15}/\text{cm}^3$ 일 때 224 V의 항복전압을 얻을 수 있어 n-에피층의 농도를 $7 \times 10^{15}/\text{cm}^3$ 으로 가지는 기존 구조의 LDMOSFET의 90 V에 비해 2배 이상 높은 항복전압을 얻을 수 있었다.

감사의 글

본 연구는 파기부 기본연구사업인 “150 W급 플라임 전원장치용 power MOSFET 내장형 제어 IC 개발” 과제에 의한 것입니다.

참고 문헌

[1] B. Murari, F. Bertotti, and G. A. Vignola, Smart Power ICs, New York, Springer, 1995.

[2] 박훈수, 이영기, “공정 및 설계 변수가 고전압 LDMOSFET의 전기적 특성에 미치는 영향”, 전기전자재료학회논문지, 17권, 9호, p. 911, 2004.

[3] 문승현, 강이구, 성만영, 김상식, “스마트 파워 IC를 위한 P+ driver 구조의 횡형 트랜치 IGBT”, 전기전자재료학회논문지, 14권, 7호, p. 546, 2001.

[4] V. Parthasarathy, R. Zhu, W. Peterson, M. Sunino, and R. Baird, “A 33 V, 0.25 m Ω -

mm² n-channel LDMOS in a 0.65 μm smart power technology for 20-30 V application”, Proc. 10th ISPSD, p. 61, 1998.

[5] M. Zitouni, F. Morancho, P. Rossel, H. Tranduc, J. Buxo, and I. Pages, “A new concept for the lateral DMOS transistor for smart power ICs”, Proc. 11th ISPSD, p. 73, 1999.

[6] C. Y. Tsai, T. Efland, S. Pendharkar, J. Mitros, A. Tessmer, J. Smith, J. Erdeljic, and L. Hutter, “16-60 V rated LDMOS show advanced performance in an 0.72 μm evolution BiCMOS power technology”, IEDM Tech. Dig., p. 367, 1997.

[7] K. Konishita, Y. Kawaguchi, T. Sano, and A. Nakagawa, “20 V LDMOS optimized for high drain current conditions which is better, n-epi or p-epi?”, Proc. 11th ISPSD, p. 59, 1999.

[8] 강이구, 성만영, “레치업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT”, 전기전자재료학회논문지, 13권 5호, p. 371, 2000.

[9] H.-W. Kim, I.-Y. Park, Y.-I. Choi, and S.-K. Chung, “Breakdown voltage and on-resistance of the multi-resurf SOI LDMOSFET with recessed source”, Physica Scripta T101, p. 18, 2002.

[10] Silvaco TCAD Manuals, ATLAS, ATHENA, Silvaco International Co. USA.

[11] Y. Kawaguchi, K. Nakamura, A. Yahata, and A. Nakagawa, “Predicted electrical characteristics of 4500 V super multi-resurf MOSFET”, Proc. 11th ISPSD, p. 95, 1999.