OFDM 시스템에서 Compact CORDIC을 이용한 주파수 오프셋 동기화 구현 기법

정회원 이 규 인*, 유 성 욱*, 김 종 한**, 이 재 곤***, 종신회원 조 용 수*

An Implementation Method of Frequency Offset Synchronization Using Compact CORDIC for OFDM Systems

Kyu In Lee*, Sung Wook Yu*, Jonghan Kim**, Jaekon Lee** *Regular Members*,
Yong Soo Cho* *Lifelong Member*

요 약

본 논문에서는 OFDM(Orthogonal Frequency Division Multiplexing) 시스템의 반송파 주파수 동기화부 구현을 위하여 Compact CORDIC 처리기를 제안한다. Compact CORDIC 처리기는 반송파 주파수 옵셋 추정 및 보상시에 요구되는 OFDM 시스템의 독특한 특성을 이용하여 제안되었으며, Compact CORDIC 전처리부와 Compact CORDIC 처리부로 구성된다. Compact CORDIC 전처리부에서는 신호의 정규화를 효율적으로 수행하며, Compact CORDIC 처리부에서는 Vector모드 CORDIC과 Rotation 모드 CORDIC 연산을 효율적으로 결합하여 동시에 처리하여 반송파 주파수 동기화를 수행한다. FPGA 구현을 통하여 제안된 Compact CORDIC 처리기가 기존 CORDIC 방법보다 성능이 우수하며 구현 복잡도가 크게 감소함을 확인한다.

Key Words : OFDM, Compact CORDIC, CFO estimation, CFO compensation

ABSTRACT

In this letter, we propose a compact CORDIC processor for implementation of carrier frequency synchronization block in an OFDM (Orthogonal Frequency Division Multiplexing) system. The compact CORDIC processor is proposed by using inherenct properties of an OFDM system for estimation and compensation of carrier frequency offset, and is composed of a compact CORDIC preprocessor and a compact CORDIC processor. The compact CORDIC preprocessor plays a role of normalizing input signal efficiently, and the compact CORDIC processor is proposed to perform the vectoring mode and rotational mode jointly in CORDIC operation for carrier frequency synchronization. It is shown by FPGA implementation that the proposed compact CORDIC processor can achieve better performance with a significantly reduced hardware complexity than the conventional CORDIC approach.

Ⅰ. 서 론

OFDM(Orthogonal Frequency Division Multiplexing) 방식은 무선채널에서 고속으로 데이터를 전송할 경우 다중경로에 의해 발생하는 심각한 주파수 선택적 페이딩 채널에 쉽게 대처할 수 있다는 장점이

※ 본 연구는 삼성종합기술원, 2006년도 「서울시 산학연 협력사업」의 「나노IP/SOC 설계기술혁신 사업단」, 21세기 프론티어 연구개발사업의 일환으로 추진되고 있는 정보통신부의 유비쿼터스컴퓨팅 및 네트워크원천기술 개발사업의 지원에 의한것임.
* 중앙대학교 전자전기공학부 (yscho@cau.ac.kr), ** 삼성종합기술원, *** 삼성전자 중앙연구소
논문번호 : KIC2006-05-216, 접수일자 : 2006년 5월 18일, 최종논문접수일자 : 2006년 7월 3일

있어 다양한 고속 무선 통신시스템의 전송방식으로 채택되었다. 그러나 OFDM 방식은 단일 반송파에 비하여 반송파 주파수 옵셋, 심볼 타이밍 옵셋, 샘플링 타이밍 옵셋, 위상 잡음에 많은 영향을 받는 단점을 갖는다.

OFDM 시스템에서는 송수신기 사이의 반송파 주파수의 차이 또는 도플러 천이(Doppler shift)에 의하여 반송파 주파수 옵셋이 발생하고, 반송파 주파수 옵셋은 부반송파들 간의 간섭(interchannel interference)을 일으켜 비트오류율을 증가시키게 된다. 따라서 OFDM 시스템의 수신단에서는 FFT를 수행하기 이전에 송수신기간의 주파수 동기가 반드시 선행되어야 한다. 종래의 반송파 주파수 동기화기에서는 파일롯 신호 또는 훈련신호를 이용하여 디지털 영역에서 주파수 옵셋을 추정한 후, 추정된 주파수 옵셋에 따른 루프필터(loop filter)의 출력을 이용하여 전압제어발진기(Voltage Controlled Oscillator: VCO)를 제어한다. 일반적으로 아날로그 영역에서 반송파를 동기화하기 위하여 VCO가 사용되며, 디지털 영역에서 반송파 옵셋을 보상하는 수치제어발진기(Numerical Controlled Oscillator: NCO)가 사용된다. 그러나 디지털영역에서 추정된 주파수 옵셋을 이용하여 아날로그 영역에서 VCO로 보상하는 방법은 VCO의 settling time 때문에 반송파를 동기화하는데 시간지연이 발생하고, 디지털부과 아날로그부의 상호연관성 때문에 각 부의 성능을 단독적으로 검증하는데 어려움이 있다.

한편, 디지털영역에서 주파수 옵셋을 추정하고 보상까지 하는 완전 디지털(full digital) 방법에서는 주파수 옵셋을 보상하는 블록의 구현시 삼각함수 생성 방법에 따라 ROM 테이블 방식, ROM 테이블 방식에 근거한 테일러 급수 근사화 방식, CORDIC (COrdinate Rotation Digital Computer) 연산을 이용하는 방식이 있다[1]. ROM 테이블 방식은 미리 계산된 정현파의 샘플을 ROM에 저장하고 있어야 하기 때문에 출력 품질에 비례하여 ROM 테이블의 크기가 커지게 되는 단점이 있으며, CORDIC 연산을 이용한 방식은 신호의 적절한 해상도를 갖기 위해 반복횟수만큼의 지연이 발생한다는 단점이 있다.

본 논문에서는 완전 디지털 영역에서 반송파 주파수 옵셋을 추정하고 보상하는 블록의 구현시 기존의 CORDIC 알고리듬보다 성능이 우수하며, 연산 속도와 연산 복잡도를 감소시킬 수 있는 Compact CORDIC 알고리듬을 새롭게 제안한다. 제안된 Compact CORDIC은 반송파 주파수 옵셋 추정 및 보상시에 요구되는 OFDM 시스템의 독특한 특성을 이용하여 제안되었으며, Compact CORDIC 전처리부와 Compact CORDIC 처리부로 구성된다. 여기서 Compact CORDIC 전처리부는 신호의 효율적인 정규화를 수행하고, Compact CORDIC 처리부는 반송파 옵셋의 추정 및 보상을 결합하여 동시에 처리한다. 본 논문에서는 OFDM 무선 랜 시스템인 IEEE 802.11a를 예로 들어 설명하며, 제안된 Compact CORDIC 알고리듬을 주파수 옵셋 동기화기에 적용시 기존 방식에 비하여 성능과 구현 측면에서의 이득을 분석한다. 제안된 Compact CORDIC 알고리듬을 FPGA(Stratix-EP1S80F1508C6 Device)에 구현하여 성능 및 구현 복잡도 감소 효과를 검증한다.

Ⅱ. 반송파 주파수 옵셋 동기화기 구현을 위한 사전 지식

2.1 반송파 주파수 옵셋 동기부

그림 1은 주파수 옵셋 동기화기를 포함한 IEEE 802.11a의 수신부의 블록도를 보여준다. IEEE 802.11a 또는 Wibro 시스템에서 반송파 주파수 옵셋의 추정은 반복 전송되는 프리엠블 또는 CP (cyclic prefix) 신호를 이용하여 다음과 같이 이루어진다[2-5].

$$\hat{\epsilon} = \frac{1}{2\pi}\frac{N_{fft}}{D}\tan^{-1}\left(\frac{\sum_{n=0}^{L-1} Im\left(y_{k+D}\times y_k^*\right)}{\sum_{n=0}^{L-1} Re\left(y_{k+D}\times y_k^*\right)}\right) \quad (1)$$

여기서 $\hat{\epsilon}$은 추정된 반송파 주파수 옵셋을 나타내며, y_k는 k번째 수신신 신호를, N_{fft}, D는 FFT의 크기와 반복되는 신호의 간격을 나타내고 L은 반복전송되는 CP 또는 프리엠블 개수를 나타낸다. 반복되는 신호의 주기를 한 심볼 길이보다 짧게 구성하여 정수배 주파수 옵셋을 추정하고, 그 주기를 한 심볼로 구성하여 소수배 주파수 옵셋을 추정한다

그림 2는 반송파 주파수 옵셋 추정부의 구현 예를 보여준다. 반송파 주파수 옵셋의 추정시 CORDIC Vector모드를 이용하여 Arctan 함수를 구현하는 것을 보여준다. 식 (1)의 신호누적부가 그림 2의 CFO accumulator 블록에서 구현되며, Arctan 함수 구현은 CORDIC ATAN 블록에서 이루어진다. 점선으로 표시된 Compact CORDIC preprocessor 블록은 본 논문에서 제안하는 전처리부를 나타내며, 신호의

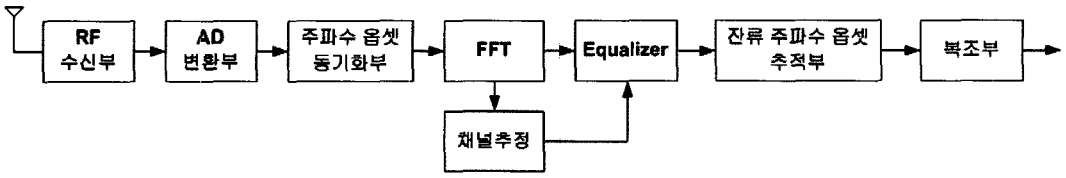

그림 1. IEEE 802.11a의 수신부 블록도

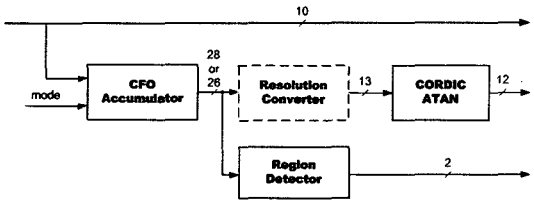

그림 2. 반송파 주파수 옵셋 추정부의 구현 블록도

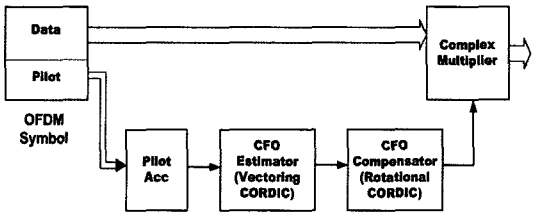

그림 3. 잔류 주파수 옵셋 추정 및 보상부 블록도

정규화를 수행하는 블록이다.

IEEE 802.11a 또는 방송시스템인 DVB-T 시스템에서는 미리 약속된 파일롯 신호를 삽입하여 전송함으로써 잔류 위상의 추적 또는 채널 추정이 가능하도록 구성되어 있다. 그림 2는 파일롯 신호를 이용한 반송파 주파수 옵셋의 추정 및 보상부를 보여준다. 주파수 영역의 파일롯 신호를 이용하여 잔류 위상 추적이 이루어지고, 위상의 추정은 CORDIC vector 모드를 이용하여 수행되며 추정된 위상 값에 따른 보상은 CORDIC rotational 모드를 이용하여 수행된다. 그림 3의 잔류 주파수 옵셋 추정부는 다음 식으로 주어진다[5, 6].

$$\hat{\phi_n} = \frac{1}{2\pi}\tan^{-1}\left(\frac{\sum_{n=0}^{L-1} Im\left(r_{n,k}\times r_{n-1,k}^{*}\right)}{\sum_{n=0}^{L-1} Re\left(r_{n,k}\times r_{n-1,k}^{*}\right)}\right) \quad (2)$$

여기서 $\hat{\phi_n}$은 n번째 수신심볼에서 추정된 잔류 주파수 옵셋 값이며, $r_{n,k}$, $r_{n+1,k}$는 n번째, $n-1$번째 심볼의 k번째 파일롯 부 반송파의 수신신호와 송신신호를 나타낸다.

2.2 CORDIC 알고리듬

CORDIC 알고리듬은 삼각함수 연산을 위해 1959년 Volder의해 처음 제안되었다[7].

$$\begin{aligned} x^{(i+1)} &= x^{(i)} - d^{(i)}y^{(i)}2^{-i} \\ y^{(i+1)} &= y^{(i)} + d^{(i)}x^{(i)}2^{-i} \\ z^{(i+1)} &= z^{(i)} - d^{(i)}\alpha^{(i)} \end{aligned} \quad (3)$$

여기서 $x^{(i)}$, $y^{(i)}$, $z^{(i)}$값은 i번째 반복에서의 복소수의 실수부 값, 허수부 값, 위상 값을 나타내며, $d^{(i)}$는 i번째 반복에서 선택되는 부호를 나타낸다. $x^{(i)}$, $y^{(i)}$, $z^{(i)}$의 초기값과 $d^{(i)}$값의 선택에 의해 arctan, cosine/sine 연산이 결정되며, arctan 함수 연산을 Vector 모드라 하고, cosine/sine 연산을 Rotation 모드라고 정의 한다.

Ⅲ. 제안된 Compact CORDIC 의 구조

3.1 Compact CORDIC 전처리부

IEEE 802.11a 의 경우 반송파 주파수 옵셋을 정수배 주파수 옵셋 추정과 소수배 주파수 옵셋 추정 두 과정으로 나누어 수행된다. 이 때 효율적인 하드웨어의 구성을 위해 정수배 주파수 옵셋의 추정 블록과 소수배 주파수 옵셋의 추정 블록을 하나의 주파수 옵셋 추정 블록으로 공유하는 구조로 구성한다. 또한, 고정 소수점 연산 시뮬레이터를 이용하여 각 블록에서 최적의 연산 비트수를 결정하게 된다. 그림 1의 예에서와 같이 적산기의 값이 반송파 주파수 옵셋 값에 따라 다르며, 정수배/소수배 주파수 옵셋 추정에서 적산하는 신호의 개수가 다르기 때문에 적산기의 출력 값과 신호의 레벨이 다르게 되어 적산기 출력 값의 정규화가 필요하다. 기존의 정규화 방법으로 출력 값의 실수부와 허수부를 이용하여 나눗셈으로 구성되는 정규화 방법이 있으나, 나눗셈을 이용한 방법은 복잡도가 크고 나눗셈의 결과가 1보다 큰 경우까지 포함하도록 고정소수점을 가져야 하기 때문에 CORDIC 입력 신호의 비트 낭비가 발생할 수 있다는 단점이 있다. 입력 신호의 비트 낭비가 발생되면 CORDIC의 추정성능 또한

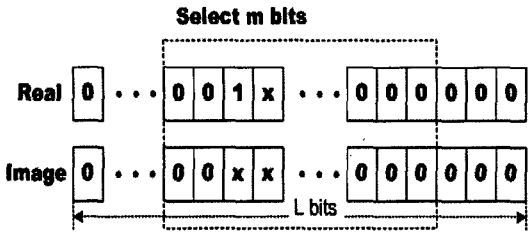

그림 4. Compact CORDIC 전처리부

열화된다. 본 논문에서는 적산기 출력 값의 비트를 참조하여 효과적으로 정규화할 수 있는 Compact CORDIC 전처리부를 제안한다. 그림 2에서 점선으로 표시된 부분이 본 논문에서 제안하는 Compact CORDIC 전처리부이다. Compact CORDIC 전처리부는 그림 4와 같이 적산기 출력신호에서 유효비트 부분만을 선택하는 동작을 수행한다. 유효비트 선택시 부호비트 한 비트와, 연산시 오버플로우를 방지를 위한 한 비트를 포함하여 CORDIC 연산에서 필요한 m비트를 선택하게 된다. 그림 4에서는 unsigned의 예를 보인 것으로 누산기에서 출력되는 최대 비트 레벨 중 그 위상 값에 따라 정보를 포함하지 않는 zero 비트를 MSB부터 제거하여 m비트를 오버플로우를 방지하는 범위에서 선택하는 것을 보여준다. 이는 OFDM 시스템의 반송파 주파수 옵셋 추정부에서는 다른 응용 분야와는 달리 CORDIC Vector 모드 연산 수행시 x, y 메모리의 값이 그 레벨은 중요하지 않고 동일한 수 체계로만 구성되면 되는 특성을 이용한 것이다. 그림 5에서와 같이 zero비트를 선택하는 과정을 OR-gate를 이용한 연산이 아닌 XOR-gate 이용하는 연산으로 구성하여 signed의 경우에도 unsigned와 동일하게 구성된다.

적산기의 출력을 L 비트, CORDIC 에서의 연산 비트가 m 비트일 경우 Compact CORDIC 전처리부는 $(L-m-1)\times 2$ 개의 XOR gate, $(L-m-1)$개의 OR gate, m 비트 $(L-m-1)\times 1$ MUX로 구성된다. 그림 5에서 Compact CORDIC 전처리부의 구조를 보여준다.

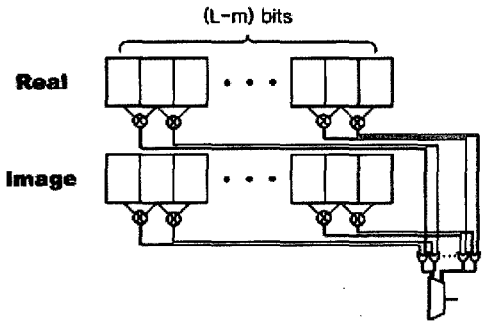

그림 5. Compact CORDIC 전처리부 구조

3.2 Compact CORDIC 처리부

그림 3에서와 같이, 잔류 주파수 옵셋의 추정 및 보상 블록에서는 CORDIC Vector 모드를 이용하여 Arctan 값을 추정하고 CORDIC Rotation 모드를 이용하여 보상할 Cosine/Sine 값을 추정한다.

Vector 모드에서 구해진 z값을 z_V라고 하면, 식 (4)와 같이 나타낼 수 있다.

$$z_V^{(m+1)} = -d_V^{(m)}\alpha^{(m)} - d_V^{(m-1)}\alpha^{(m-1)} - \cdots - d_V^{(0)}\alpha^{(0)} \tag{4}$$

여기서 $d_V^{(i)}$ 값은 Vector 모드 i 번째 반복시 y 메모리의 부호에 의해 선택된 부호 값을 나타내며, $\alpha^{(i)}$ 값은 ROM에 저장되어 있는 i 번째 위상 값이다. Rotation 모드에서는 z 값이 0으로 수렴되게 $d_R^{(i)}$ 값을 선택한다. 식 (5)는 Vector 모드에서 구해진 $z_V^{(m+1)}$을 이용하여 Rotation 모드를 수행할 때 z 메모리의 연산 과정을 보여준다.

$$\begin{aligned} z_R^{(m+1)} &= z_V^{(m+1)} - (-d_R^{(m)}\alpha^{(m)} - \cdots - d_R^{(0)}\alpha^{(0)}) \\ &= (d_V^{(m)}\alpha^{(m)} - \cdots - d_V^{(0)}\alpha^{(0)}) \\ &\quad - (-d_R^{(m)}\alpha^{(m)} - \cdots - d_R^{(0)}\alpha^{(0)}) \end{aligned} \tag{5}$$

Rotation 모드에서는 z 값이 0으로 수렴하도록 $d_R^{(i)}$ 값을 선택하기 때문에 식 (5)에서와 같이 Vector 모드에서 구해진 $d_V^{(i)}$값과 Rotation모드에서 구해진 $d_R^{(i)}$값은 그 부호가 반대가 됨을 알 수 있다. OFDM 시스템에서 반송파 주파수 옵셋을 디지털 영역에서 추정한 후에 디지털 영역에서 보상하는 완전 디지털 동기화기를 설계할 경우에는 위 성질을 이용하여 Vector 모드 CORDIC과 Rotation 모드 CORDIC을 동시에 수행하는 Compact CORDIC 처리부를 구성할 수 있다.

식(6)은 본 논문에서 제안하는 Compact CORDIC 처리부를 수식적으로 보여준다.

$$\begin{aligned} x_V^{(i+1)} &= x_V^{(i)} - d^{(i)}y_V^{(i)}2^{-i} \\ y_V^{(i+1)} &= y_V^{(i)} + d^{(i)}x_V^{(i)}2^{-i} \\ x_R^{(i+1)} &= x_R^{(i)} + d^{(i)}y_R^{(i)}2^{-i} \\ y_R^{(i+1)} &= y_R^{(i)} - d^{(i)}x_R^{(i)}2^{-i} \\ where,\ d^{(i)} &= 1 \text{ if } y_V^{(i)} < 0,\ else\ d^{(i)} = -1 \end{aligned} \tag{6}$$

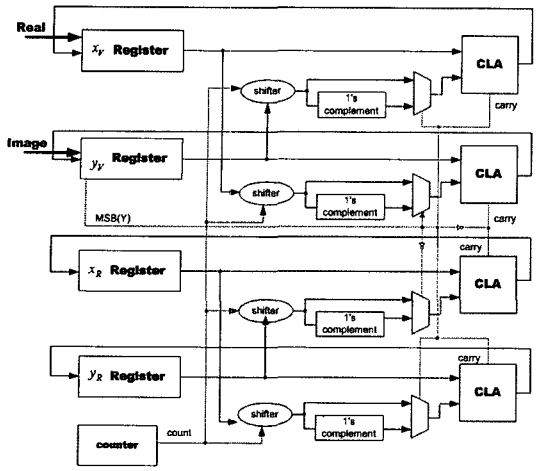

그림 6. Compact CORDIC processor 블록도

Vector 모드의 수행과 Rotation 모드의 수행이 V 첨자로 표시된 메모리와 R 첨자로 표시된 메모리에서 동시에 이루어지며, V 첨자 메모리에는 누산부의 출력 값의 실수부와 허수부가 초기 값이 되며, R 첨자 메모리에는 $1/K$, 0가 x, y 메모리의 초기 값이 된다. 그리고, 추정된 위상 정보가 불필요한 경우에는 식 (6)에서와 같이 위상을 나타내는 z 메모리 연산을 생략하여 복잡도를 줄일 수 있다. 그림 6은 Compact CORDIC 처리부의 블록도를 보여준다. $y_V^{(i)}$ 값의 부호를 참조하여 Vector 모드와 Rotation 모드의 연산이 동시에 이루어짐을 보이고 있다. $x_V^{(0)}$, $y_V^{(0)}$레지스터에는 적산기에서 출력되는 Real/Image 값을 대입하고, $x_R^{(0)}$, $y_R^{(0)}$ 레지스터에는 $1/K$, 0 값을 대입하여 연산을 수행하면, m 번의 반복 후에 $x_R^{(m+1)}$, $y_R^{(m+1)}$ 레지스터에 보상할 cosine/sine 값이 남게 된다. 그 값을 이용하여 잔류 위상의 보상이 이루어진다.

Ⅳ. FPGA 구현 결과

본 절에서는 본 논문에서 제안된 Compact CORDIC 처리부를 IEEE 802.11a 모뎀에서 반송파 주파수 옵셋의 추정 및 보상 블록에 적용하여 기존의 CORDIC 기법의 적용시와 비교하였다. 반송파 주파수 옵셋 동기화기를 포함한 IEEE 802.11a 모뎀의 구현은 Stratrix- EP1S80F1508C6 디바이스를 이용하였다. Compact CORDIC 전처리부의 추정 성능과 구현 복잡도는 정규화를 나눗셈부로 구현하는 경우와 비교하였다. 그림 7은 CORDIC의 전체 입력비트를 12bit로 제한하고 iteration을 13번 수행하였을 경우의 추정 성능을 보여준다. IWL(Integer Word Length)로 표현된 수치는 12bit중 정수비트의 수를 나타내는 값으로 IWL이 작을 경우 상대적으로 FWL(Fractional Word Length)가 커지기 때문에 그 추정 성능은 우수하지만 추정 범위가 감소됨을 볼 수 있으며, IWL이 큰 경우는 추정 성능은 열화되지만 추정 범위가 넓은 것을 알 수 있다. 하지만 'proposed'로 표시된 Compact CORDIC 전처리부는 비트 선택을 가변적으로 수행하기 때문에 최적의 추정 성능과 추정 범위를 갖는 것을 볼 수 있다. 예를 들어 IWL 3으로 추정 가능한 범위의 입력 값에서는 IWL 3과 동일한 추정 성능을 보이고, IWL 5로만 추정 가능한 범위의 입력 값에서는 IWL 5와 동일한 추정성능을 보이게 된다.

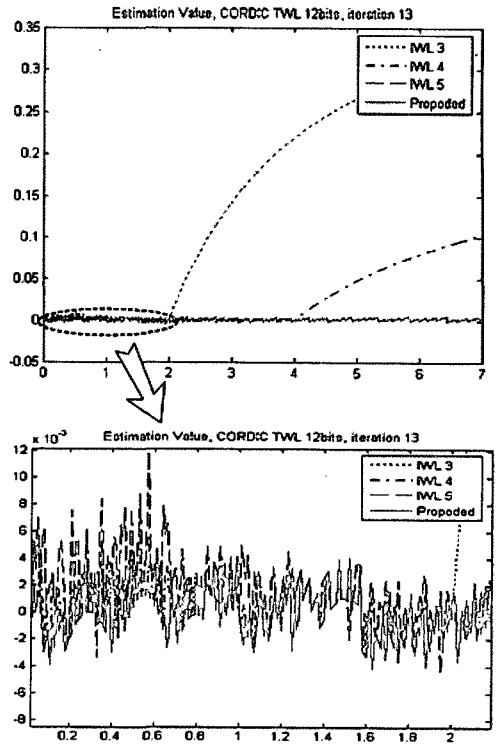

그림 7. Compact CORDIC 전처리부 추정 성능

표 1은 누산부의 실수부와 허수부의 출력 신호가 각각 25bit인 경우에 Compact CORDIC 전처리부와 나눗셈부의 구현 결과를 보여준다. 본 논문에서 제안하는 Compact CORDIC 전처리부로 구현한 경우에 복잡도가 기존의 나눗셈부로 구현된 경우보다 65.7%로 크게 감소됨을 알 수 있다.

Compact CORDIC 처리부는 IEEE 802.11a 모뎀에서 잔류 반송파 주파수 옵셋 추정 및 보상 블록에 적용한 경우에 성능을 분석하였다. 표 2는 기존의 CORDIC 알고리듬과 본 논문에서 제안하는 Compact CORDIC 처리부를 입력 비트가 12bit이고 iteration을 13번 수행하는 경우의 구현 결과를 보여준다. 두 알고리듬의 추정 성능은 식 (5), (6)에서와 같이 동일하지만 구현 복잡도가 14% 감소했으며, z메모리의 제거로 100%의 메모리 이득이 발생하였다. 또한 latency도 52%로 감소하였으며 전력소모 또한 33%로 감소된 결과를 보여준다.

V. 결 론

본 논문에서는 OFDM 시스템의 동기화기에서 반송파 주파수 옵셋의 추정 및 보상 블록 또는 잔류 주파수 옵셋의 추정 및 보상 블록에 CORDIC 알고리듬을 적용할 경우에 기존의 방법보다 효과적인 Compact CORDIC 방법을 제안하였다. Compact CORDIC은 Compact CORDIC 전처리부와 Compact CORDIC 처리부로 구성되며, 전처리부는 신호의 정규화를 효율적으로 수행하여 추정 성능을 증가시키고 구현 복잡도를 크게 감소시킴을 확인하였다. 또한 Compact CORDIC 처리부는 Vector모드 CORDIC과 Rotation 모드 CORDIC연산을 효율적으로 결합하여 동시에 처리하는 블록으로서 추정 성능의 열화없이 구현 복잡도를 크게 감소시키며 latency 또한 50%이상 감소시켜 빠른 추정 및 보상이 가능함을 확인하였다.

표 1. Compact CORDIC 전처리부 구현 결과

	Divider (25bits)	Compact CORDIC 전처리부	Reduction rate
Logic Elements	790	257	67.5%

표 2. Compact CORDIC 처리부 구현 결과

	Conventional CORDIC	Compact CORDIC 처리부	Reduction rate
Logic Elements	650	559	14.0%
Memory bits	352	0	100%
Latency	25 clock	12 clock	52%
Power Consumption	1300.8mW	871.8mW	33%

참 고 문 헌

[1] Jouko Vankka, "Methods of mapping from phase to sine amplitude in direct digital synthesis," *IEEE Trans. Commun.*, vol. 44, no. 2, March 1997.

[2] T. M. Schmidl and D. C. Cox, "Robust frequency and timing synchronization for OFDM," *IEEE Trans. Commun.*, vol. 45, no. 12, pp. 1613-1621, Dec. 1997.

[3] IEEE P802.16e/D6, "Air interface for fixed and mobile broadband wireless access systems," Feb. 2005.

[4] IEEE P802.11a, "Wireless LAN medium access control and phycical layer specifications," 1999.

[5] Mark Engels, *Wireless OFDM systems - How to make them work*, Kluwer Academic Publishers. 2002.

[6] T. M. Schmidl and D. C. Cox, "Low-Overhead, Low-Complexity Synchronization for OFDM," *ICC*, vol. 3, pp. 1301-1306, June 1996.

[7] Jack E. Volder, "The CORDIC Trigonometric Computing Technique," *IRE Trans Electron. Comput.* EC-8, 1959.

이 규 인 (Kyu In Lee) 정회원

2001년 2월 중앙대학교 전자전기공학부 졸업

2003년 2월 중앙대학교 대학원 자전기공학부 졸업

2003년 3월~현재 중앙대학교 대학원 전자전기공학부 박사과정

<관심분야> 디지털통신, 무선모뎀, OFDM, MIMO

유 성 욱(Sung Wook Yu) 정회원

1992년 2월 서울대학교 전기공학과 졸업
1996년 12월 UT Austin, Electrical and Computer Engineering 공학석사
2000년 5월 UT Austin, Electrical and Computer Engineering 공학박사
2000년 8월 Intel, Senior Design Engineer
2004년 4월 삼성반도체 System LSI 사업부 책임연구원
2005년 3월~현재 중앙대학교 전자전기공학부 조교수
<관심분야> 통신 및 신호처리용 응용회로 설계, 고성능 디지털 회로 설계

김 종 한(Jonghan Kim) 정회원

2000년 삼성전자 중앙연구소 주임연구원
2001년~현재 삼성종합기술원 Chip Architecture & Design LAB. 전문연구원
<관심분야> 4G이동통신 시스템, OFDM, MIMO, UWB

이 재 곤(Jaekon Lee) 정회원

1991년 2월 한양대학교 전자통신공학과 졸업
1991년 삼성전자 중앙연구소, 통신용 ASIC 개발팀
2001년 삼성전자 종합기술원, 지상파/위성 DMB Modem 개발팀
2006년~현재 삼성전자 통신연구소, 4G 시스템 Lab장
<관심분야> 4세대 이동통신, 통신/방송 융합 기술, System-On-Chip

조 용 수(Yong Soo Cho) 종신회원

1984년 2월 중앙대학교 전자공학과 졸업(학사)
1987년 2월 연세대학교 전자공학과 졸업 (석사)
1991년 2월 The University of Texas at Austin 공학박사
1992년 3월~현재 중앙대학교 전자전기공학과 교수
2003년 8월~현재 TTA 휴대인터넷 프로젝트 그룹(PG302) 무선접속 실무반 의장
2003년 12월~현재 TTA PG302 IOT/CT Task Force 의장
<관심분야> 디지털통신, OFDM/DMT 모뎀 설계, MIMO-OFDM 모뎀 설계