논문 2006-43SC-4-7

계측기용 새로운 전파정류 회로 설계

(A Design of Full-wave Rectifier for Measurement Instrument)

배 성 훈*, 임 신 일**

(Sung-Hoon Bae and Shin-Il Lim)

요 약

본 논문에서는 새로운 정밀 계측기용 전파 정류 회로를 제안하고 설계하여, 칩으로 구현 후 검증한 것에 대해 기술하였다. 기존의 회로는 회로가 복잡하고, 신호의 출력범위가 공통모드(VDD/2) 전압부터 제한된 크기의 출력 전압 까지만 동작하는 문제점이 있었다. 제안된 회로에서는 2개의 2x1 먹스, 1개의 차동 차이 증폭기, 1개의 고속비교기를 이용하여 간단하게 구현하였다. 특히 하나의 차동 차이 증폭기를 이용하여 입력된 신호를 접지(Ground) 레벨로 낮추는 기능과 2배 증폭 기능을 동시에 수행하게 함으로서 신호 전압 전 영역(Vss부터 전원 전압 VDD까지)으로 동작하도록 설계하였다. 기존의 회로에 비해 50% 이상의 하드웨어 면적과 소모전력 감소 효과를 얻었다. 제안된 전파정류회로는 0.35 um 1-poly 2-metal 표준 CMOS 공정을 이용하여 구현하여 검증하였다. 칩 면적은 150 um × 450 um이며 전력 소모는 3.3V 전원 전압에서 840uW이다.

Abstract

This paper describes the new design technique of full wave rectifier (FWR) for precise measurement instrument and the chip implementation of this FWR circuit with measurement results. Conventional circuits have some problems of complex design and limited output range(VDD/2~VLIMIT+). Proposed FWR circuit was simply designed with two 2x1 MUXs, one high speed comparator, and one differential difference amplifier(DDA). One rail-to-rail differential difference amplifier(DDA) performs the DC level shifting to VSS and 2X amplification simultaneously, and enables the full range (Vss~VDD) operation. The proposed FWR circuits shows more than 50% reduction of chip area and power consumption compared to conventional one. Proposed circuit was implemented with 0.35um 1-poly 2-metal CMOS process. Core size is 150um x 450um and power dissipation is 840uW with 3.3V single supply.

Keywords: Full wave rectifier(FWR), Level shifter, Differential difference amplifier(DDA)

I. 서 론

전파정류회로는 디지털 멀티미터 등의 정밀한 계측기, 생체 신호 측정 장비 등에서 AC신호를 받아 RMS-DC 전압으로 변환하여 출력하는 기능을 한다. 본 논문은 그림 1과 같은 RMS-DC 측정기에 사용되는 새롭고 효율적인 full-wave rectifier (FWR, 전파 정류 회로)에 관련된 것이다. 제안된 전파 정류 회로는 보다 적은 회로 량(칩 면적), 적은 전력 소모로써 보다 정밀한 분해능을 표현할 수 있는 장점이 있다.

그림 2의 (a)는 기존의 정파정류회로의 신호특성을 나타낸 것이고, (b)는 제안된 전파정류회로의 신호 특성 개념도를 나타낸 것이다.

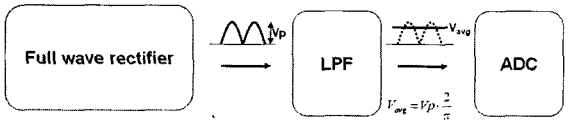

그림 1. 일반적인 RMS-DC 측정기
Fig. 1. General RMS-DC signal detector.

* 학생회원, ** 정회원, 서경대학교 컴퓨터공학과
(Department of Computer Engineering, Seokyeong University)
※ 본 논문은 정통부 및 정보통신연구진흥원의 정보통신선도기반기술개발사업의 연구결과로 수행되었습니다. (과제번호: 2005-s-093)
접수일자: 2005년11월25일, 수정완료일: 2006년7월4일

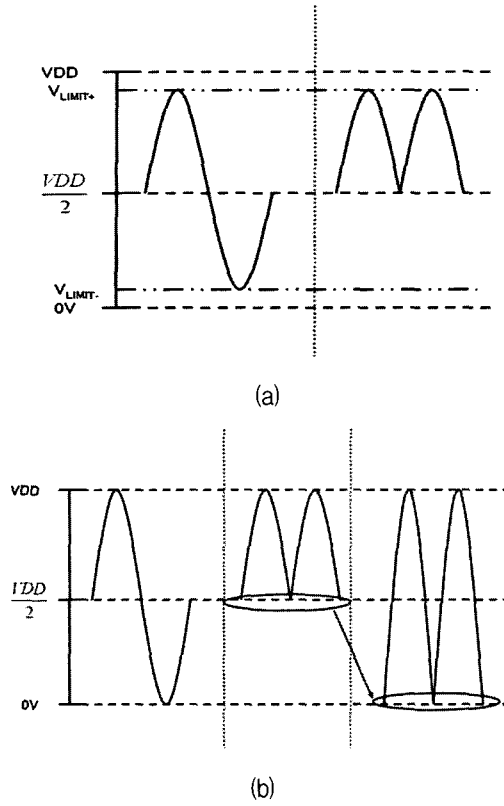

그림 2. (a) 기존의 FWR 회로와 (b) 제안된 FWR 회로의 개념도

Fig. 2. Conceptual diagram of (a) conventional FWR circuit, (b) and proposed FWR circuit.

기존의 전파정류회로는 그림 2의 (a)에서 보는 것과 같이 출력전압이 공통모드 전압(VDD/2)을 기준으로 출력되기 때문에 표현할 수 있는 전압범위가 전원전압의 반으로 제한되어 있다. 또한 출력전압이 문턱전압(Threshold voltage)이나 증폭기의 출력범위 제한 등으로 인하여 일정전압으로 제한(V_{LIMIT}^+,V_{LIMIT}^-)되는 문제점이 있다.[1][2][3]

본 논문에서 제안된 회로는 먹스(MUX)와 비교기를 이용하여 신호를 전파회로를 만들고, 차동 차이 증폭기(Differential Difference Amplifer : DDA)를 이용하여 신호가 출력되는 범위를 접지(ground)레벨 부터 전원전압레벨까지 넓게 하였다. 이렇게 되면 뒷단에 연결되는 ADC의 분해능을 1-bit 개선하는 효과가 있다. Ⅱ장에서는 기존의 전파정류회로에 대하여 기술하고, Ⅲ장에서는 제안된 전파정류회로를 설명하였으며, Ⅳ장에서는 모의실험 및 측정결과를 통해 성능을 확인하였다. Ⅴ장에서는 결론 및 제안하는 전파정류회로의 성능을 요약하였다.

Ⅱ. 기존의 전파정류회로

1. 저항을 이용한 전파정류회로

그림 3는 기존의 저항을 이용한 전파정류회로이다.[3]

입력이 부(-)신호일 때는 증폭기가 반전증폭 하므로 그대로 전달되고, 정(+)신호일 때는 저항의 비와 반전증폭기를 이용하여 정류된 신호를 만들어 낸다.

이 회로는 많은 저항의 부정합(mismatch)에 대한 오차와 MOS 다이오드 때문에 출력되는 전압이 동작전압(threshold voltage)만큼 감소되어 출력되는 문제가 있으며, 많은 소자들과 적어도 2개 이상의 증폭기를 사용하기 때문에 큰 면적이 요구되며, 전력소모도 큰 단점이 있다.

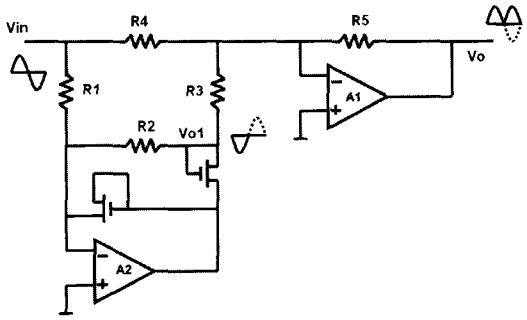

그림 3. 저항비를 이용한 전파정류회로의 회로도

Fig. 3. Circuit of full wave rectifier using resistor ratio.

2. MOS 버퍼를 이용한 전파정류회로

저항을 많이 사용하였을 때의 부정합을 줄이기 위하여 다음 그림 4과 같은 전파정류회로가 고안되었다.[7]

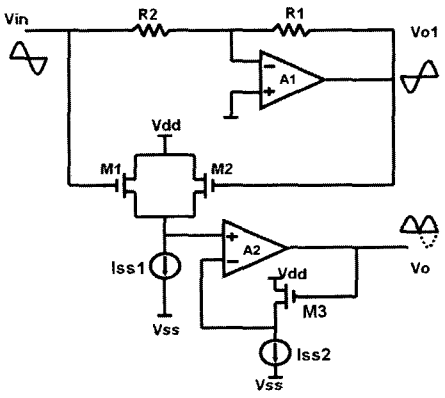

그림 4. MOS 버퍼를 이용한 전파정류회로의 회로도

Fig. 4. Circuit of full wave rectifier using MOS buffer(source follower).

입력이 정(+)신호일 때, M1의 MOS 버퍼를 통해 신호가 전달되고, 부(-)신호일 때에는 반전 증폭기를 이용하여 정(+)신호로 변환하고, M2의 MOS 버퍼를 통해 출력된다.

위 회로는 Iss1과 Iss2의 부정합으로 인한 출력 DC 레벨의 변화가 발생하면 파형이 찌그러지게 되는 문제가 있다. 또한 M1, M2, M3로 구성되어 있는 MOS 버퍼 때문에 동작전압(threshold voltage)만큼 출력전압이 제한을 초래한다. 이 회로 또한 2개 이상의 증폭기가 필요하기 때문에 전력소모가 크다. 그리고 A1증폭기에 의한 지연 때문에 전파신호가 왜곡되는 현상이 발생하게 된다.

3. 전류모드의 전파정류회로

다음 그림 5는 전파정류회로를 전류모드로 구현한 것이다.[4] 그림의 CMP와 CMN은 전류거울로써, 입력이 정(+)신호일 때는 M1과 CMP가 동작하고, 부(-)신호일 때는 M2와 CMN가 동작하여 신호를 정류하게 된다.

이 회로에서 사용된 저항은 MOS를 이용한 저항이므로 동작전압만큼 출력전압이 제한되는 문제점이 있으며, M1, M2가 동작할 때 동작전압만큼의 전위가 확보되어야 하므로 공통모드전압 부근에서 신호가 전환될 때 신호의 변환 점이 부정확한 단점이 있다.

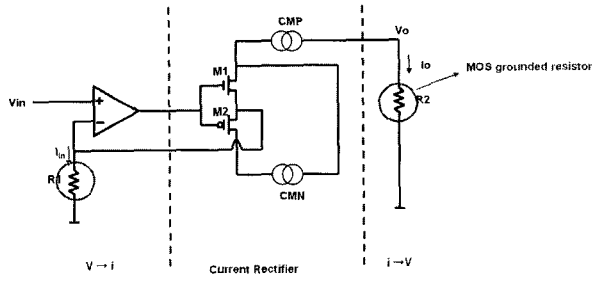

그림 5. 전류모드의 전파정류회로도
Fig. 5. Circuit of Current mode Full wave rectifier.

III. 제안된 전파정류회로

앞 장에서 본 것과 같이 기존의 정류회로에는 소자들로 인한 부정합이 발생하고, MOS로 인한 출력범위제한이 되는 단점이 있다. 또한 기존의 회로들은 적어도 두 개 이상의 증폭기를 사용하기 때문에 전력소모가 상대적으로 많다. 또 기존의 회로는 모두 공통모드(VDD/2) 전압부터 제한된 크기의 출력 전압 까지만 동작하는 문제점이 있다. 제안된 회로는 이러한 문제점을 개선하였다. 제안된 전파 정류 회로는 다음 그림 6(b)와 같이 정류회로부와 직류전압변환회로로 구성되어있다.

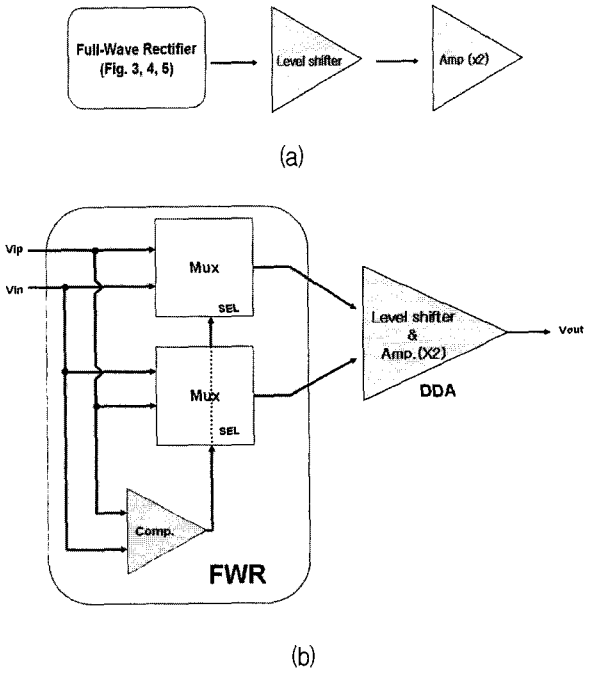

그림 6. (a)기존의 정류회로를 이용하여 제안된 결과를 얻기 위한 회로의 블록도와 (b)제안된 전파정류회로의 블록도
Fig. 6. (a)Block diagram of conventional rectifier and (b)Block diagram of Proposed Full wave rectifier.

정류회로부에서는 입력된 차동신호를 전파 차동신호로 출력하고 직류전압레벨 변환기에서는 차동차이증폭기(DDA)를 이용하여 이 신호를 접지(ground)레벨로 낮추어 출력되는 범위를 넓혀준다. 기존 회로의 출력범위는 전원전압의 반 정도지만 제안된 회로는 전원전압 전영역을 출력할 수 있는 장점이 있다. 만약 기존의 회로를 사용하여 전 영역 범위의 출력을 얻게 하려면 그림 6(a)에서 보는 바와 같이 정류회로자체에 증폭기가 2개 필요하며, 이후 전파된 신호의 DC 레벨을 변환하고, 2배 증폭을 해야 하므로 2개 이상의 추가적 증폭기가 필요하게 된다. 그러나 제안된 회로에서는 그림 6(b)에서 보는 바와 같이 먹스, 비교기, 차동차이증폭기를 사용하여 간단하게 구현하였다. 이 때문에 기존의 회로보다 적은 면적으로 적은 전력을 소모하게 되는 장점이 있다.

제안된 회로의 먹스는 일반적인 트랜스미션 게이트 스위치(transmission gate switch)를 이용하였다. 트랜스미션 게이트는 NMOS와 PMOS를 병렬연결 함으로 입력되는 전압을 감쇄없이 출력한다. 본 논문에서 사용된 비교기 회로는 그림 7과 같은 고속의 래치형 비교기

를 이용하여 빠르게 신호비교를 하도록 하였다. 이 회로는 선증폭단(pre-amp)와 래치(latch)를 이용하여 수백MHz~수GHz의 동작이 가능한 고속비교기 이므로 일반적으로 저속 동작(100kHz이하)을 하는 계측기에 지연시간이 거의 없는 전파정류를 구현할 수 있다.

비교기는 입력되는 신호가 정(+)신호인지 부(-)신호인지를 판단하여 하나의 먹스는 정(+)신호만을 출력하고, 나머지 먹스는 부(-)신호 만을 출력하여 정류된 신호를 차동으로 출력하게 된다.

앞에서 설명한 바와 같이 직류전압 레벨변환기는 출력되는 신호범위를 넓게 표현해 줌으로써 정밀도를 향상시키는 역할을 하는 것이다. 다음 그림 8은 직류전압 레벨 변환기의 기능을 갖고 있는 차동차이증폭기(DDA)의 회로도이다.

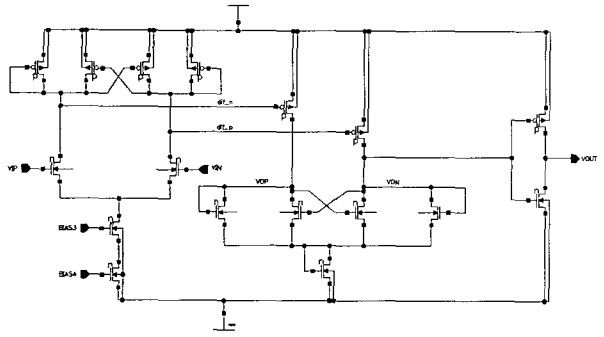

그림 7. 비교기의 회로도
Fig. 7. Circuit of comparator.

차동차이증폭기는 위의 그림 8과 같이 A, B 두 개의 입력단을 가진 증폭기로서 각 입력단은 PMOS와 NMOS를 모두 이용하여 rail to rail 입출력을 할 수 있도록 하였다. A, B 각 차동증폭단의 출력을 서로 교차로 연결하여 다음 수식과 같이 표현할 수 있다. 본 논문에서 사용된 차동차이 증폭기의 이득은 약 110dB이고, 부하 캐패시터를 고려한 phase margin은 60°이상인 특성을 가지고 있다.

$$Vout = Av[(Vpp - Vpn) - (Vnp - Vnn)] \quad (1)$$

아래 그림 9는 차동차이증폭기(DDA)의 궤환을 이용하여 구성한 제안된 직류전압레벨 변환기이다..

그림 9에서 R0와 R1은 같은 저항 값을 갖고, R2와

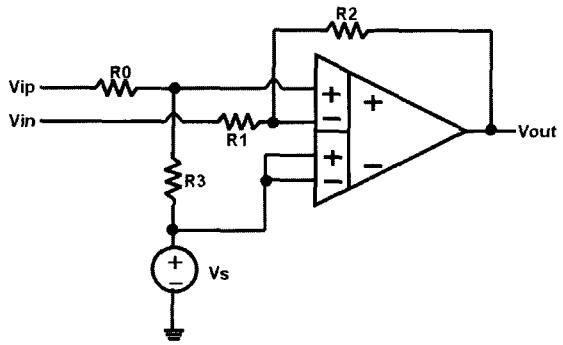

그림 9. 직류전압 수준 변환기의 회로도
Fig. 9. Circuit of level shifter.

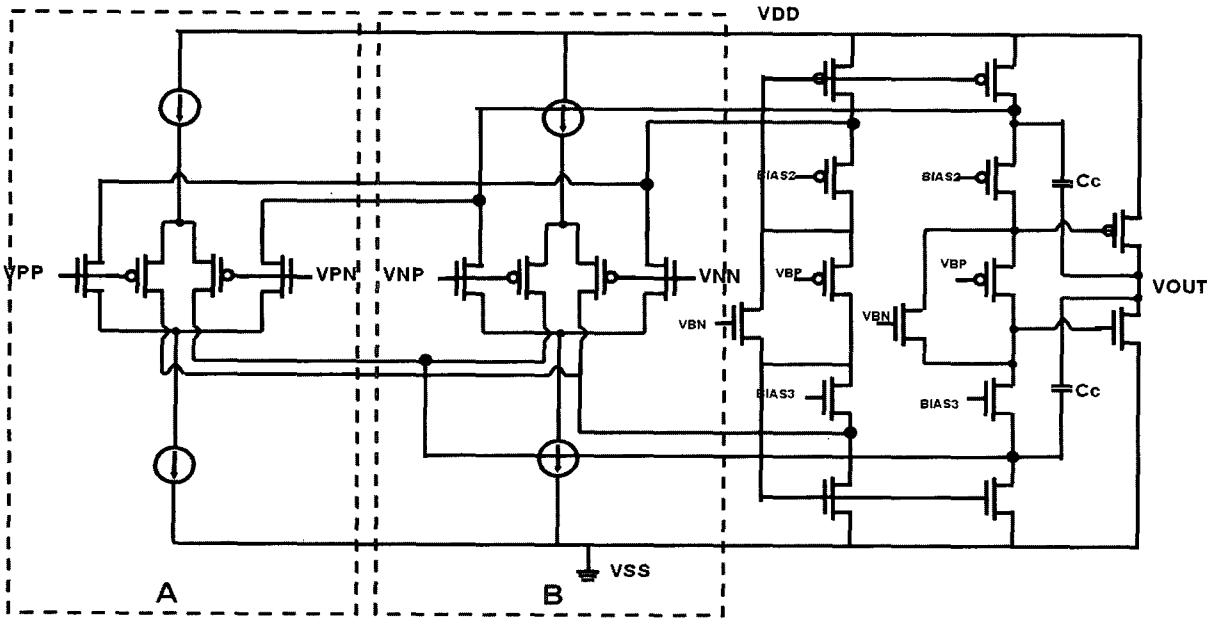

그림 8. 차동차이 증폭기의 회로도
Fig. 8. Schematic of differential difference amplifier.

R3는 R0(=R1)보다 2배 큰 저항 값을 갖게 하여 Vip와 Vin으로 입력되는 신호의 차이를 2배 증폭하여 출력한다. 또한 V-+와 V--에 연결된 전압 Vs의 DC레벨로 출력하게 된다. 이 동작의 소신호 분석을 하면 다음과 같다.

$$Vout_1 = (\frac{R}{R+2R})Vip \cdot (1+\frac{2R}{R}) = \frac{2}{3}Vip \cdot 3 = 2Vip \quad (2)$$

$$Vout_2 = (-\frac{2R}{R})Vin = -2Vin \quad (3)$$

$$Vout = Vout_1 + Vout_2 = 2(Vip - Vin) \quad (4)$$

위의 수식 (4)에서 입력신호의 차이의 2배를 출력하는 것을 볼 수 있다. 다음은 신호의 직류성분을 분석한 수식이다.

$$Vout = Av\{(Vip - Vin) - (Vs - Vs)\} = Av\left\{(\frac{VDD}{2} - \frac{VDD}{2}) - (Vs - Vs)\right\} \quad (5)$$

위의 수식은 입력신호의 직류레벨을 전원전압의 반(VDD/2)이라고 가정했을 때의 결과이다. 제안된 회로는 위의 Vs전압을 접지(ground)전압으로 맞춘 것이다.

이와 같이 제안된 회로는 하나의 증폭기만을 이용하여 구성하였으므로 기존의 회로로 같은 기능을 수행하기 위한 경우보다 훨씬 전력소모가 적고, 적은 면적을 차지하며, 직류전압 수준 변환기를 이용하여 접지전압부터 전원전압까지 출력할 수 있도록 하였다.

Ⅳ. 모의실험 및 측정결과

1. 모의 실험결과

그림 10은 직류전압 수준 변환기에 사용된 차동차이 증폭기의 시뮬레이션 결과이다.

그림 10은 차동차이증폭기를 버퍼로써 동작시켰을 때 전원전압(3.3V)까지 동작하는 것을 모의실험 한 결과이다. 입력을 1.65Vpp 크기의 대칭적 신호를 넣었을 때, 3.3Vpp 의 출력이 이상없이 나오는 것을 확인할 수 있다.

그림 11은 제안된 전파 정류회로의 입력을 변화시키면 출력되는 전압 값을 확인한 것이다.

입력신호를 대칭적으로 1.65V를 변화시켰을때, 출력

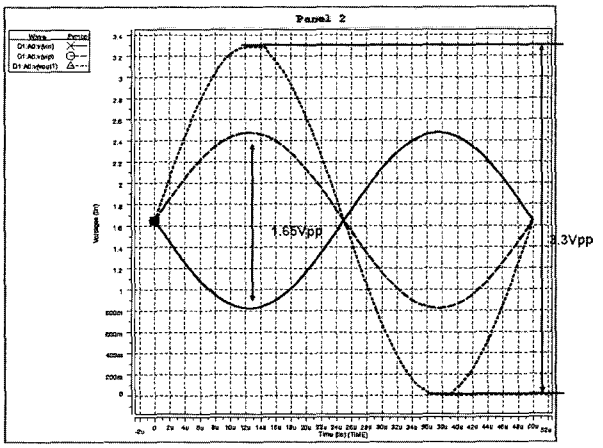

그림 10. 차동차이증폭기의 모의실험 결과
Fig. 10. Simulation result of DDA.

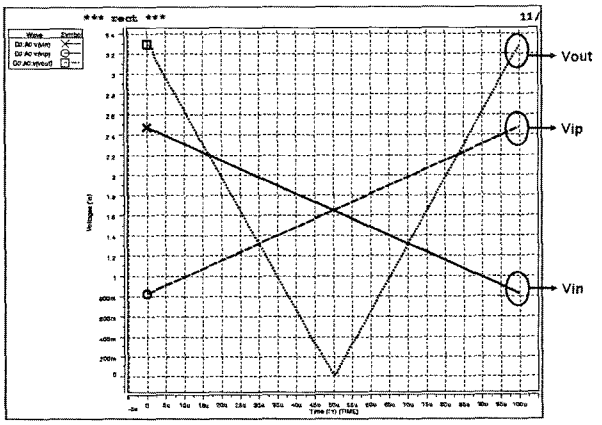

그림 11. 입력변화에 따른 전파정류기의 모의실험 결과
Fig. 11. Simulation result of full wave rectifier with DC transfer.

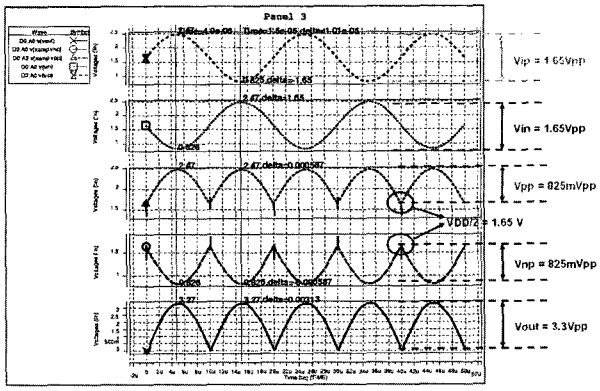

그림 12. 제안된 회로의 모의 실험결과
Fig. 12. Simulation result of proposed circuit.

전압이 3.3Vpp로 변환하는 것을 볼 수 있다. 이 때, 두 신호의 교차점에서 정확히 0V가 되는 것을 확인할 수 있다.

위의 그림 12는 제안된 회로의 모의 실험결과이다.

이 실험은 3.3V의 전원전압일 때 시행한 것으로 입력으로 각 1.65Vpp를 인가하였다.(입력신호의 차이는 3.3Vpp로 전원전압과 같은 레벨이다.) 세 번째와 네 번째 파형은 먹스의 출력을 나타낸 것으로 정류된 신호를 차동으로 표현하게 되어있다. 맨 아래의 신호는 전파정류기의 최종출력으로 3.3Vpp의 크기를 갖는 정류신호임을 확인할 수 있다. 기존의 회로에 위와 같은 입력을 넣었을 때, 전원전압의 반(VDD/2)레벨에서 1.65Vpp 크기로 출력하게 된다. 제안된 회로는 위 그림 9와 같이 넓은 범위를 표현할 수 있는 것을 확인할 수 있다.

2. 측정결과

칩 측정결과는 위의 그림 13과 같다. 입력으로 약 1.56Vpp의 전압을 인가하면 3.12Vpp의 전압이 출력되는 것을 볼 수 있다.

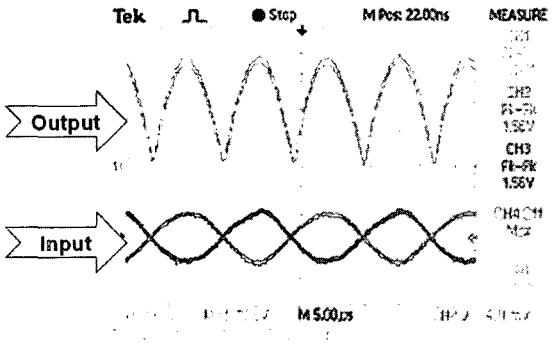

그림 13. 제안된 회로의 칩 측정결과
Fig. 13. Test result of proposed circuit.

V. 결 론

본 논문에서는 정밀한 계측기용 전파정류회로를 설계하였다. 제안된 회로는 기존의 회로보다 간단한 구조로서 저전력, 저면적을 갖도록 하였다. 또한 rail-to-rail 동작의 차동차이 증폭기를 이용한 직류전압 레벨 변환기를 이용함으로 출력범위를 넓게 이용할 수 있으므로 신호의 레벨을 보다 정밀하게 표현할 수 있는 장점이 있다. 구현된 회로는 실제 체지방 분석기에 응용되었으며, 기타 계측기에도 적용될 수 있다. 제안된 회로는 0.35um CMOS 1P2M 공정을 이용하였으며, core의 면적은 약 150um x450um 이며, 소모되는 전력은 3.3V이에서 약 840uW 이다. 그림 14는 본 회로를 칩으로 만든 사진이며, 표 1은 그 성능을 요약한 것이다.

표 1. 제안된 전파정류회로의 성능요약
Table 1. Performance summary of proposed Full wave rectifier.

Parameter	Results
Process	0.35um 1P2M CMOS
Core size	150um x 450um
Input range	3.3Vpp (differential)
Output range	3.3Vpp
Power dissipation	840uW

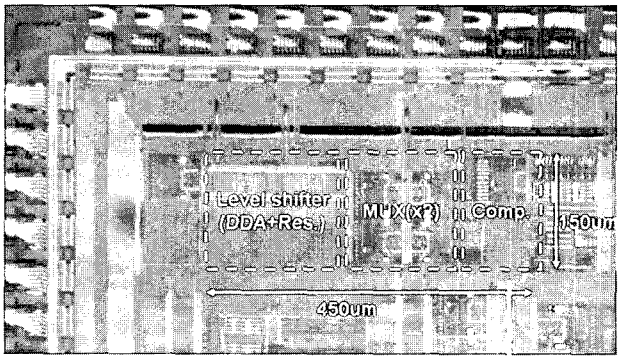

그림 14. 제안된 회로의 칩 사진
Fig. 14. Die photo of proposed circuit.

참 고 문 헌

[1] P. R. Gray and R. G. Meyer, "Analysis and Design of analog integrated Circuits". *New York:Wiley, 1994.*

[2] S. Franco, "Design with Operational Amplifier and Analog Integrated Circuits". *NewYor; McGraw Hill, 1988.*

[3] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design". *New York: Holt, 1987.*

[4] Zhenhua Wang "Full-Wave Precision Rectification that is Performed in Current Domain and Very Suitable for CMOS Implementation", *IEEE trans. Vol.39, No.6, JUNE 1992.*

[5] Paul D. Walker & Michael M. Green "CMOS Half-Wave and Full-Wave Precision Voltage Rectification Circuits", *IEEE trans. Vol.2, pp.13-16, Aug.1995.*

[6] Eduard Sackinger and Walter Guggenbuhl " A Versatile Building Block: The CMOS Differential Difference Amplifier", *IEEE Journal of solid-state circuit, Vol. SC-22, No. 2 April 1987.*

[7] K. Yamamoto, S. Fujii, and K. Matsuoka, "A

single chip FSK modem," *IEEE Journal of solid-state circuit, Vol. SC-19, pp. 855-860, Dec. 1984.*

저 자 소 개

배 성 훈(학생회원)
2005년 2월 서경대학교 컴퓨터 공학과 졸업(공학사)
2005년 3월～현재 서경대학교 컴퓨터 공학과 석사 과정
<주관심분야 : 아날로그 및 혼성신호 칩 설계, ADC/DAC 설계>

임 신 일(정회원)
1980년 2월 서강대학교 전자공학과 졸업(공학사)
1983년 2월 서강대학교 대학원 전자공학과 졸업 (공학석사)
1995년 8월 서강대학교 대학원 전자공학과 졸업 (공학박사)
1982년 2월～1991년 1월 한국전자통신연구원 (ETRI) 선임연구원
1991년 1월～1995년 2월 전자부품연구원 선임연구원
1995년 3월～현재 서경대학교 컴퓨터공학과 부교수
<주관심분야 : 아날로그 IC설계, 혼성회로 칩 설계, ADC/DAC 설계, 통신용 IC설계>