

논문 2006-43SC-4-6

지그시스템을 이용한 VCXO의 스펙트럼 분석 및 성능평가

(Spectral Analysis and Performance Evaluation of VCXO using the Jig System)

윤 달 환*

(Dal-Hwan Yoon)

요 약

본 연구에서는 위상잡음과 지터(jitter) 특성을 개선한 $5mm \times 7mm$ 크기의 적층 세라믹 SMD(surface mounted device)형 VCXO를 개발한다. PECL(positive emitter coupled logic) 칩패키지를 발진수정자에 결선한 VCXO는 그 길이 및 패키지 내부의 패턴 등에 의하여 부유인덕턴스 및 기생 커패시턴스가 발생하고, 전원의 반사 및 잡음 발생으로 출력신호의 진폭 감소 및 신호 손실이 발생하여 발진기 성능을 정상적으로 평가할 수 없다. 이러한 신호 손실 및 진폭감소를 방지하기 위해 지그(Jig) 시스템을 개발하고, 이를 통하여 발진기의 정확한 스펙트럼 분석 및 성능을 평가한다. 동작전원은 3.3 V, 주파수 범위 120-180 MHz 및 Q인수는 5K이다.

Abstract

In his paper, we have developed the SMD(surface mounted device) type PECL(positive emitter-coupled logic) VCXO of the $5 \times 7mm$ size for gratifying the requested specifications and the multilayer ceramic SMD(surface mounted device) package technology. The VCXO wired with the PECL(positive emitter coupled logic) package take place a stray inductance and a parasitic capacitance by the length and the inner pattern of the VCXO and the amplitude attenuation and signal loss due to the reflection of power source and the noise component. We have developed the Zig system to analyze the precise spectrum and evaluate the performance. The basic operating voltage is the 3.3 V and have the frequency range of 120MHz-180MHz. The Q factor is over 5K and it has the low jitter characteristics of 3.5 ps and low phase noise.

Keyword : VCXO, Spectrum, Zig system, PECL,

I. 서 론

최근 정보통신 시스템은 소형화, 경량화 및 저전력화를 지향하고, 안정적인 품질의 시스템을 위해 고주파수대의 소형 발진기 개발을 요구하고 있다^[1]. 발진기에 사용되는 수정 진동자는 원하는 주파수에 맞추어 얇게 가공한 후 전압을 인가하기 위한 전극을 구축하고, 외부 회로와 연결하기 위해 외부 패키지(package)를 사용하거나 직접회로에 적용할 수 있다^[2,3].

기존에 사용되는 50 MHz 이상의 수정진동자는 ASIC 및 회로기술에 힘입어 수정 진동자의 3차 상음

(overtone)을 이용하여 발진 주파수를 형성하고 있으나 점차 발전하는 IC 방식의 발진은 세계시장의 진화에 품질이 적용하지 못하는 실정이다.

발진기에 사용되는 패키지 인터페이스는 PECL (Positive Emitter-Coupled Logic), LVDS (Low-Voltage Differential Signals)과 CML(Current Mode Logic) 등이 있다. 이에 구형 HFF 수정(high fundamental frequency crystal)을 사용하는 PECL (positive emitter coupled logic) 전압제어 수정발진기는 기본모드의 발진을 통하여 안정적인 고주파수를 발진시키며, 높은 주파수에 신호 처리를 위한 고부가가치 전자통신 제품에 응용되고 있다^[4].

신호를 제공하는 TTL(Transistor Transistor Logic)의 경우 지연시간은 10 ns 정도인데 비해 PECL의 동작 지연 시간은 2ns 이하에서 동작하여 고속 연산 IC에 적

* 정회원, 세명대학교 전자공학과
(Department of Electronic Engineering, Semyung University)
접수일자: 2005년10월21일, 수정완료일: 2006년7월1일

합한 기준 주파수를 제공 한다. 이러한 논리동작은 비포화 동작을 하고, 출력 레벨은 상위측이 2.3 V이상이고 하위측은 1.68V이하를 사용한다^[5].

본 연구에서는 PECL칩 패키지를 발진수정자에 결선한 VCXO를 개발한다. 안정한 성능평가와 발진기 설계를 위해 내부 전원의 반사 및 잡음 발생으로 인하여 칩의 성능을 정상적으로 평가할 수 없다. 이러한 내부 영향을 제거하고 안정한 발진기 설계를 위해 지그(Jig) 시스템을 개발하고, 이를 통하여 발진기의 정확한 스펙트럼 분석 및 성능을 평가한다. 개발된 제품은 3.3V를 사용하고 저전력하에서 120MHz-180MHz의 주파수를 발진하며, Q인자는 5 K이상, 3.5 ps의 낮은 지터(Jitter)와 위상잡음 특성을 나타낸다.

II. 발진기와 지그(Zig) 시스템

2.1 발진기 구성

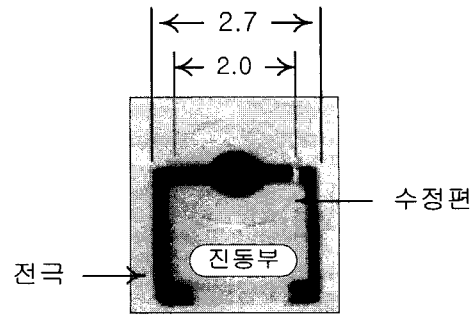
수정에 교류전압을 인가하면 진동이 발생하고, 진동 형태는 수정이 절삭되는 방식에 따라 영향을 받는다^[3]. 수정의 진동은 고조파와 비고조파 신호를 발생시키며, 주파수 또는 진동율은 절삭 크기 및 공진의 형태에 의해서 결정된다^[6]. 수정진동자의 주파수는 식 (1)과 같이 결정된다.

$$f(MHz) = \frac{K \times N}{\text{두께}} \quad (1)$$

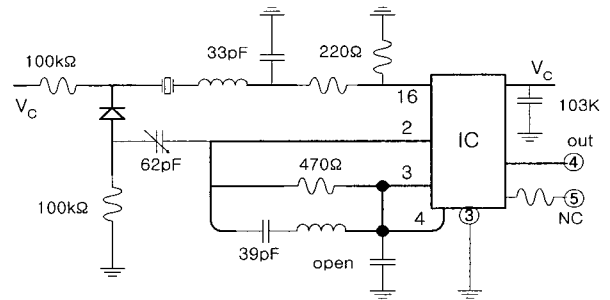
여기서 K 는 수정진동자의 두께상수로 $AT-cut$ 일 경우 1670 kHz/mm 이고 $BT-cut$ 일 경우 2560 kHz/mm 값을 갖는다. N 은 발진 방식(1, 3, 5, 7 ...)에 따른 기계적인 진동의 체배를 나타낸다. $AT-cut$ 은 Z-Y로 면이 형성 되어 있고 Y축을 길이 방향, Z축을 폭으로 형성하여 설계되어 진다. 이때 Y-축 변수를 고정으로 하고 주파수에 따라 Z-축의 변수를 조정하여 설계 되어진다^[7].

발진기 수정편은 외부 충격으로부터 보호하기 위해 진동부와 보호부로 나누어 제작된다. 보호부는 전극을 구성하며, 전극반경이 클수록 주파수편차특성이 불안정하다. 그림 1은 2°56'00" ± 30"각도와 반경 0.8φ인 경우의 역메사형 수정 발진자와 구동용 칩회로, 제작된 VCXO소자를 나타낸다. 칩크기는 1.55 × 1.475 mm, 출력주파수 120 MHz 및 출력전류 60 mA의 정격을 갖고 있다^[8]. 표 1은 그림 1의 신호규격을 나타낸다.

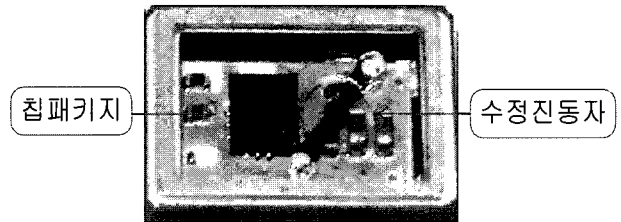
그림 1의 VCXO에서 출력파형의 주파수 스펙트럼과



(a) 0.8φ 박막의 수정편



(b) 발진제어 회로



(c) 5mm × 7mm 크기의 VCXO

그림 1. VCXO 소자와 제어회로

Fig. 1. VCXO device and control circuit.

표 1. 신호규격

Table 1. Signal specification.

항 목	규격
주파수	155.52 MHz
온도범위	-40°C ~ 85°C
안정도	50 ppm
소모전류	100 mA _{max}
V_{oh}	2.275 V _{min}
V_{ol}	1.680 V _{min}
$T_{rising\ time}$	2 ns
$T_{falling\ time}$	2 ns
Duty Cycle	60 %
Jitter	3.5 ps

진폭고찰은 푸리에급수(Fourier series)로 전개하여 직류와 교류성분을 식(2)처럼 표현할 수 있다^[9].

$$f(t) = \frac{A_0}{2} + \sum_{i=1}^{\infty} [A_n \cos(n\omega t) + B_n \sin(n\omega t)] \quad (2)$$

여기서 n 이 홀수(1, 3, 5...)일 때, 식 (2)는 $A_n = 0$ 이고 식(3)처럼 쓸 수 있다.

$$f(t) = \frac{A_0}{2} + \sum_{i=1}^{\infty} B_n \sin(n\omega t) \quad (3)$$

식(3)의 교류성분은 고조파 차수에 따라 신호레벨이 작아진다. 그러나 신호상승과 하강시간이 서로 다른 기함수파의 경우는 홀수뿐만 아니라 짝수 고조파도 발생한다. 신호의 상승시간과 하강시간을 각각 반주기의 프리에 급수로 전개하면 보다 복잡한 형태의 고조파 성분들의 합으로 표현된다. 그림 2는 n 차의 B_n 고조파량을 나타낸다. 여기서 차수 변화에 따라 파형의 리플(ripple)을 관찰할 수 있다.

따라서 수정진동자가 155.52 MHz일 경우 발생하는 고조파는 311.03 MHz($n=2$), 466.56MHz($n=3$), 622.08 MHz($n=4$), 77.60 MHz($n=5$), 1555.2MHz($n=10$) 및 3110.04 MHz($n=20$) 등으로 생성된다. FR-4 PCB를 사용할 경우 주파수가 3 GHz를 넘어서면 PCB에 형성된 전송선로 자체에서의 손실이 크므로 3 GHz 이상의 고조파 성분의 감쇄는 피할 수 없다. 또한 전송선로 입출력단의 임피던스에도 강한 영향을 받는다.

일반적으로 저주파수에서는 능동소자 내부의 출력으로부터 입력으로 귀환되는 신호의 양이 적기 때문에 발진조건을 만족하기 위해서 외부에 귀환회로를 추가하여 증폭된 신호 크기와 귀환된 신호의 위상관계를 해석하는 정교한 증폭기형을 주로 설계한다. 그러나 주파수가 점점 상승할수록 능동소자 내부의 귀환량이 점점 상승

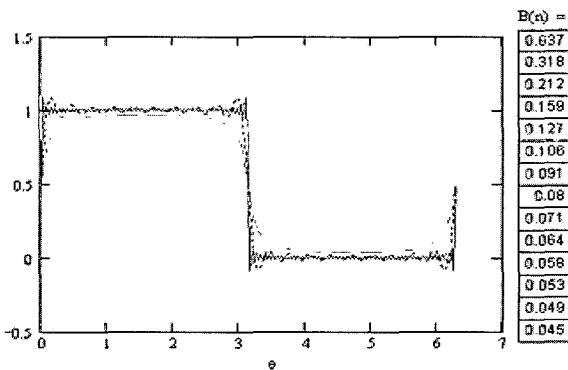


그림 2. B_n 고조파 신호
Fig. 2. Harmonics signal.

하여 외부에 별도의 귀환회로를 추가하지 않아도 원하는 주파수에서 발진조건을 만족할 수 있으므로 루프이득과 위상의 개념보다는 임피던스의 관계로 해석하는 것이 유용하다^[10].

2.2 지그(Zig) 설계

그림 1 VCXO의 출력은 상보적인(complementary) 형태로서 양 출력단자의 전송선로 지연상수와 출력 임피던스에 대한 균형을 맞추어야 한다. 그렇지 않으면 두 출력 파형의 제로교차(zero cross)점이 달라지는 현상이 발생하여 측정시 파형의 대칭성 문제점이 발생할 수 있으므로 전송선로의 길이와 선폭을 동일하게 해야 한다. 이러한 VCXO의 출력신호는 직류성분을 포함한 다양한 고조파들로 진폭감쇄 및 손실은 파형의 변형과 더불어 시정수의 변화가 발생한다. 이를 해결하기 위하여 RF전송이론 개념을 도입한 지그(Jig) 시스템이 필요하다.

VCXO 성능 평가에 사용하는 기본 구조는 그림 3과 같다. 이때 VCXO의 출력단 임피던스(Z_o)는 전송선로 임피던스(Z_s)와 임피던스 정합관계를 나타내는 입력 반사계수(Γ_{in})관계가 성립하고, 전송선로 임피던스와 계측기 입력임피던스(Z_l) 또는 측정 프로브의 입력 임피던스와 정합관계를 나타내는 출력 반사계수(Γ_o)가 중요한 요소가 된다. 따라서 임피던스 부정합으로 인해 진행파의 반사가 발생하여 출력단에 전송되는 신호 레벨에 손실이 생기고, 파형의 왜곡 및 파형시정수의 악화가 초래되어 시스템 잡음으로 작용한다^[11].

입출력 반사계수는 식(4)로 표현되며 입출력 임피던스와 전송선로 임피던스는 동축케이블과 계측기의 입출력 임피던스와의 정합성 때문에 50Ω으로 설정하여 사용한다. 75Ω일 경우는 특성임피던스가 75Ω인 RF 동축케이블을 사용해야 하고, PCB상의 전송선로 임피던스를 75Ω이 되도록 선폭을 설계해야 한다.

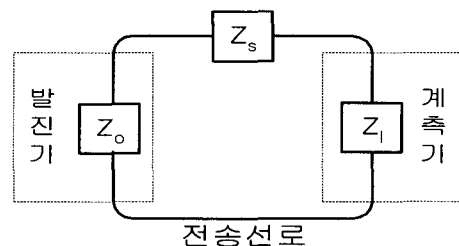


그림 3. VCXO 성능측정 모델
Fig. 3. The performance evaluation model of VCXO.

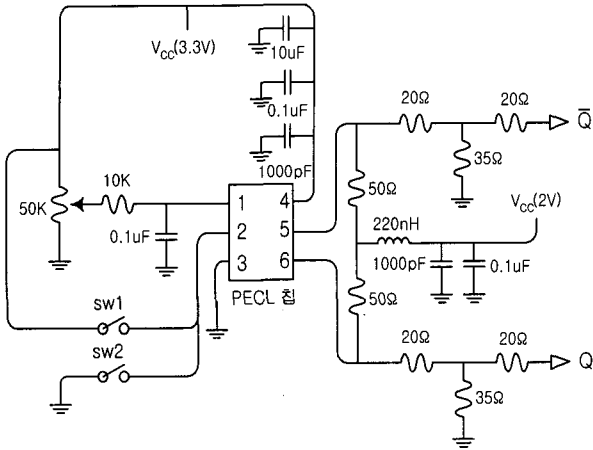


그림 4. 지그회로
Fig. 4. Jig Circuit.

$$\Gamma_{in} = \frac{Z_s - Z_o}{Z_s + Z_o}, \Gamma_o = \frac{Z_l - Z_o}{Z_l + Z_o} \quad (4)$$

식 (4)에서 임피던스 부정합으로 인한 손실은 데시벨 (dB)로 나타낸다.

고주파의 전송손실을 줄이기 위한 또 다른 방법으로 PCB 기판자체가 저손실 특성을 갖는 재질을 사용하거나 전송선로 특성임피던스를 시스템에 맞게 최적화하는 것이다. 그림 4는 측정용 지그(Jig)회로도이다.

지그보드는 전송선로 종단에 임피던스 개선용 정합 감쇄기(matched attenuator)의 장착유무에 따라 2가지로 분류하여 설계할 수 있다. 전송선로 종단에 부착하는 정합감쇄기는 신호레벨을 조정하는 임피던스 정합용으로 사용하며, 접속시스템의 임피던스 변동에 의해 발생하는 반사파를 억압하여 진행파의 왜곡을 줄이는 회로구간 격리용으로도 쓰인다. 이러한 정합감쇄기 특성은 사용 주파수 대역에 걸친 평탄도와 정재파비 (voltage standing wave ratio : VSWR) 및 전력키기 정도로 결정된다. VSWR의 감소효과에 대한 식과 VSWR과 반사계수의 관계식은 다음과 같다.

$$\frac{1}{VSWR_{in}} = \tanh \left[\frac{1}{8.686} + \tanh^{-1} \frac{1}{VSWR_{out}} \right] \quad (5)$$

$$\Gamma = \frac{VSWR - 1}{VSWR + 1}, VSWR = \frac{1 - \Gamma}{1 + \Gamma} \quad (6)$$

정합감쇄기는 토폴로지(topology)에 따라 π형, T형, 브리지-T형 및 L형 등이 있으나 주로 많이 사용되는 3 가지 유형을 설명한다. 먼저 π형 감쇄기 토폴로지는 그림 5와 같다.

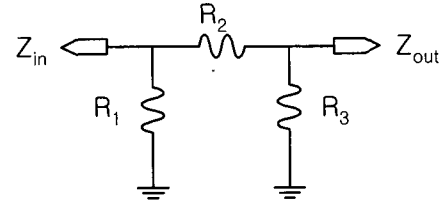


그림 5. π형 토폴로지
Fig. 5. The π type topology.

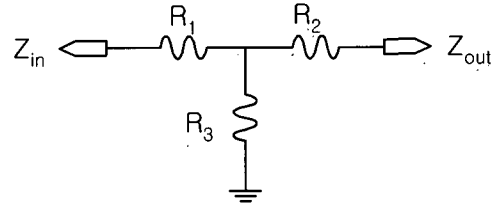


그림 6. T형 토폴로지
Fig. 6. The T-type topology.

그림 5의 각 소자 설계값은 다음과 같다.

$$R_1 = \frac{1}{\frac{10^{L/10} + 1}{Z_{in}(10^{L/10} - 1)} - \frac{1}{R_3}} \quad (7)$$

$$R_2 = \frac{1}{\frac{10^{L/10} + 1}{Z_{out}(10^{L/10} - 1)} - \frac{1}{R_3}} \quad (8)$$

$$R_3 = \frac{1}{2} (10^{L/10} - 1) \sqrt{\frac{Z_{in}}{10^{L/10}}} \quad (9)$$

여기서 Z_{in} 은 요구하는 입력저항, Z_{out} 은 출력저항 및 L 은 허용 전달손실(dB)이다. 따라서 감쇄기삽입에 의한 최소손실 L_{min} 은 다음과 같이 쓸 수 있다.

$$L_{min} = 20 \log \left(\sqrt{\sqrt{\frac{Z_{in}}{Z_{out}}} + \sqrt{\frac{Z_{in}}{Z_{out}} - 1}} \right) \quad (10)$$

T형 감쇄기 토폴로지는 그림 6과 같다.

$$R_3 = \frac{2 \sqrt{Z_{in} Z_{out} 10^{L/10}}}{10^{L/10} - 1} \quad (11)$$

$$R_2 = \frac{10^{L/10} + 1}{10^{L/10} - 1} Z_{out} - R_3 \quad (12)$$

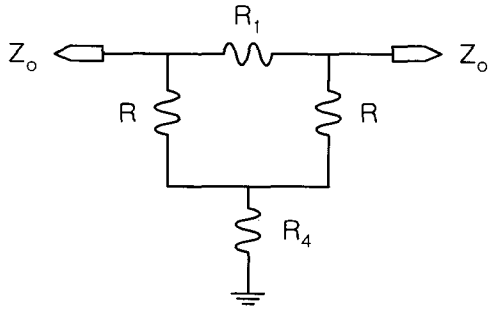


그림 7. 브리지-T형 감쇄기 토폴로지
Fig. 7. The attenuator topology of bridge-T type.

$$R_1 = \frac{10^{L/10} + 1}{10^{L/10} - 1} Z_{in} - R_3 \quad (13)$$

T형 감쇄기삽입에 의한 최소손실 L_{min} 은 식(10)과 똑같다. 브리지-T형 토폴로지는 그림 7과 같다.

그림 7에서 저항 R은 동일한 Z_0 값을 갖는다.

$$R_1 = Z_0(10^{L/20} - 1) \quad (14)$$

$$R_4 = \frac{Z_0}{10^{L/20} - 1} \quad (15)$$

여기서 L 은 요구하는 감쇄기손실(dB)이고, Z_0 은 선로임피던스를 나타낸다.

III. 실험결과

그림 8은 VCXO의 출력스펙트럼의 안정한 신뢰성을 얻도록 설계된 지그시스템이다.

그림 3의 출력측에 그림 8을 연결함으로써 안정한 VCXO성능을 평가할 수 있다. 그림 9는 반경 0.8φ인 HFF 소자를 3°00'00"±1, 2°58'30"±1' 및 2°56'00" ± 30"

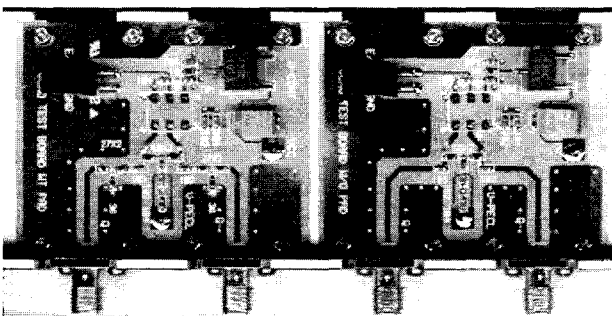


그림 8. 지그보드
Fig. 8. Jig board.

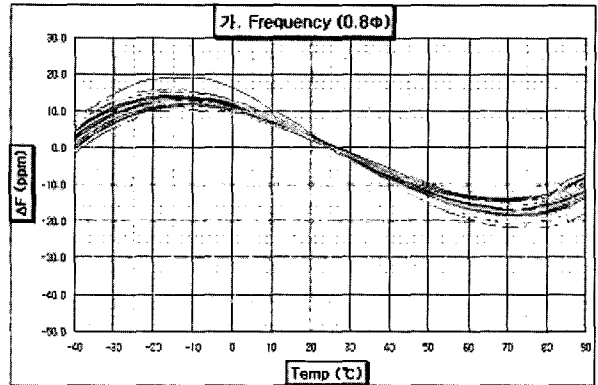


그림 9. 온도에 대한 주파수특성
Fig. 9. The frequency characteristic of the temperature.

등 다양한 각도를 실험한 결과이다. 온도에 따른 주파수 변화는 10°C이하에서 지속적으로 감소하고, +40°C 이상에서 지속적으로 증가하여 상온에서는 양호하나 극한 온도에서는 불안한 특성을 갖는다.

에칭이 끝난 HFF 소자에서 주파수(f)에 대한 발진특성은 178 MHz에서 최대 형성 전압이 다른 모드의 전압에 비해 6dB 이상이 되고, 실제 규격 3dB 이상의 양호한 특성을 갖고 있으며, 기생 발진이 나타난다.

발진자에 PECL칩을 장착 후 덤점착 및 선결선을 완료한 제품은 그 길이 및 패키지 내부의 패턴 등에 의하여 기생 인덕턴스 및 커패시턴스가 발생한다. 이것은 칩 자체의 발진부 입력 임피던스에 영향을 준다.

등가회로 구성에서 직렬성분 C_1 , L_1 및 R_1 과 병렬 성분 C_0 을 가정하여 구성할 수 있다. 이때 수정발진기 등가회로는 저항성분 $R_e(f)$ 와 리액턴스성분 $X_e(f)$ 이 직렬로 연결된 등가회로를 얻을 수 있으며, 이에 대한 수식을 구하면 다음과 같다^[8].

$$R_e(f) = \frac{R_1}{\left(\frac{R_1}{X_0}\right)^2 + \left(\frac{X_m}{X_0} - 1\right)^2} \quad (16)$$

$$X_e(f) = \frac{X_m \left(1 - \frac{X_m}{X_0} - \frac{R_1^2}{X_m X_0}\right)}{\left(\frac{R_1}{X_0}\right)^2 + \left(\frac{X_m}{X_0} - 1\right)^2} \quad (17)$$

여기서 $X_0 = \frac{1}{\omega C_0}$, $X_m = \omega L_1 - \frac{1}{\omega C_1}$ 이다.

위 식(16)과 (17)를 이용해서 R_1 을 고려함에 따라 임계주파수를 구하고, 첫째, 저항 R_1 을 무시했을 경우, 수

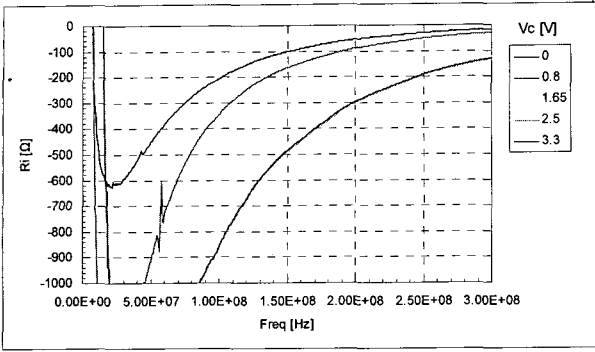


그림 10. 발진부 부성저항
Fig. 10. The negative resistor of oscillator.

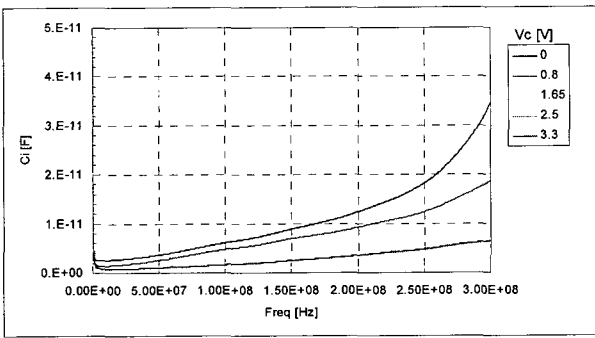


그림 11. 발진부 리액턴스
Fig. 11. The reactance characteristic of oscillator.

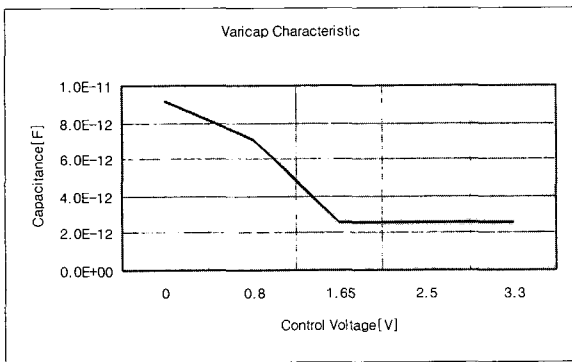


그림 12. 제어전압에 대한 가변용량의 특성 변화
Fig. 12. The characteristic variation of variable capacitance.

정 임피던스의 허수부분이 0이 되는 주파수로 직렬공진 주파수 (f_s)와 병렬공진주파수 (f_p)를 얻을 수 있다^[12,13]. 그림 10은 VCXO 칩의 내부 발진부의 부성저항을 나타낸다.

그림 11은 제어전압을 0~3.3 V까지 0.8 V 스텝으로 가변하면서 측정한 발진부 리액턴스를 나타낸다.

부성저항은 155.52 MHz에서 가변용량 제어전압을 0~3.3V로 가변할 경우 -96 Ω ~ -466 Ω까지 변하는 것을 나타내고 있다.

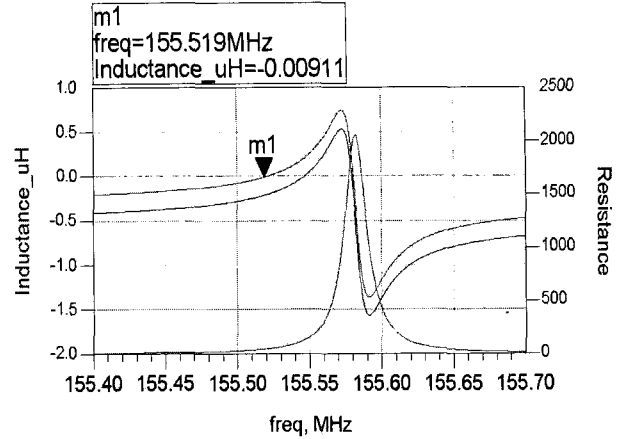
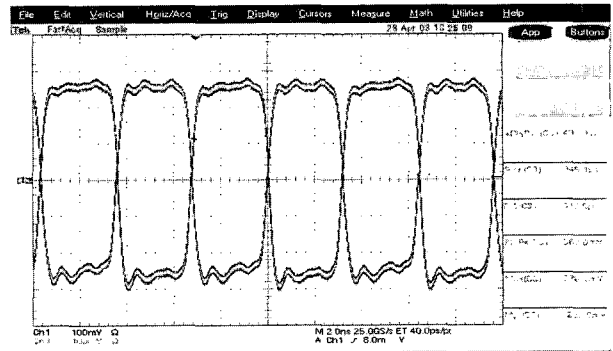
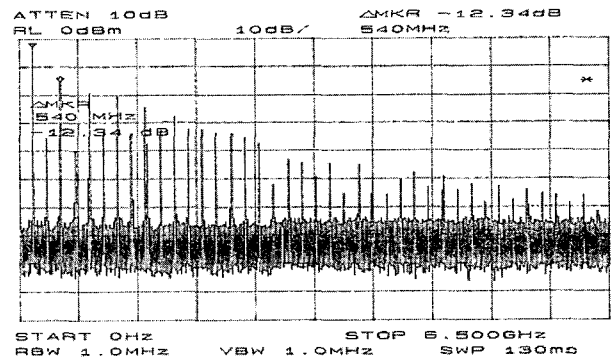


그림 13. 주파수에 대한 인덕턴스 변화
Fig. 13. The inductance variation of the frequency.



(a) 출력파형



(b) 스펙트럼

그림 14. VCXO의 출력파형과 스펙트럼
Fig. 14. Output waveform and spectrum.

그림 12는 제어전압에 대한 가변용량 2.5~9.0 pF까지 변화특성을 보인다.

그림 13은 제어전압에 대한 가변용량이 수정측에 대하여는 부하용량으로 보이므로 이때 주파수에 대한 인덕턴스 변화를 나타낸다.

그림 14는 180 MHz에서 VCXO 출력파형을 나타낸다. 여기서 신호의 상승시간은 345 ps이고 하강시간은 312 ps로서 비율이 설계규격 2 ns이하의 특성을 얻는다.

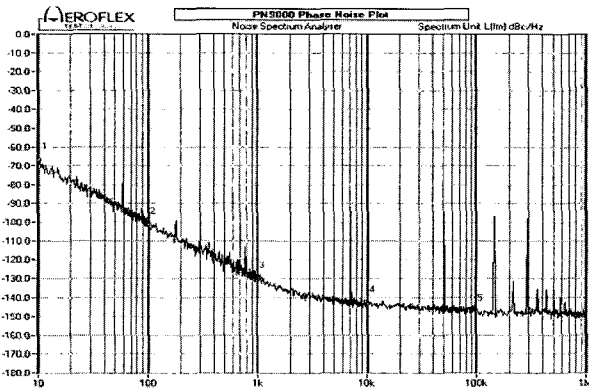


그림 15. 위상잡음과 지터특성
Fig. 15. Phase noise and Jitter.

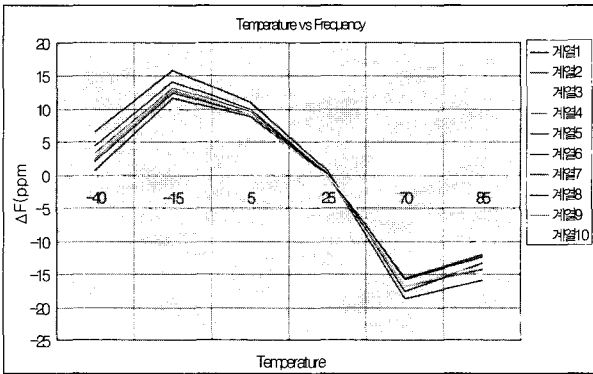


그림 16. 온도대 주파수 편이 특성
Fig. 16. Frequency variation to temperature.

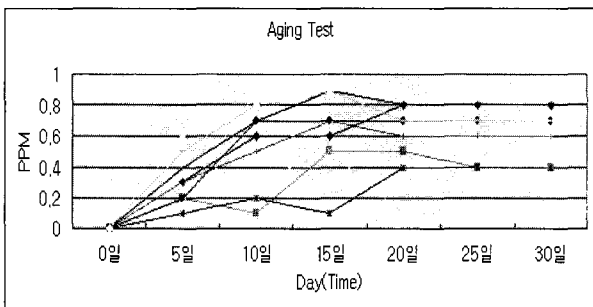


그림 17. 경화시험 결과
Fig. 17. Results of aging test.

다. 또한 듀티사이클(duty cycle)은 49.99%이고 주파수 안정도면에서 우수한 특성을 얻는다.

그림 15는 VCXO의 위상잡음과 지터특성으로 주파수 구간에 따라 잡음의 존재를 확인할 수 있다.

그림 16은 -40°C~85°C범위에서 온도대 주파수 편이 특성을 나타낸다. 온도 곡선변화폭은 20 PPM 이내로 상온에서뿐만 아니라 낮은 온도와 높은 온도에서도 좋은 특성을 나타낸다.

신뢰성 시험은 환경변화에 대한 주파수의 변화를 관찰함으로써 제품의 결함 여부를 판단하고, 내구성에

표 2. 측정결과

Table 2. Measurement results.

평가항목	목표수준	측정결과
주파수 범위	Max 180 MHz	180 MHz
공급전압	3.3 V	3.3 V
변동범위	75 PPM	78 PPM
동작온도	-40°C~85°C	-40°C~85°C
시작시간	10 ms	6 ms
Jitter	Max 3.5 ps	60 fs
상승/하강시간	2 ns	345 /312 ps
전류소모	80 mA	68 mA
위상잡음	-95dBc/Hz@100	-101dBc/Hz@102

대한 수명 시험은 85°C 고온 챔버(Chamber)에서 30일 동안 노화에 대한 주파수 변화를 실험한다. 그림 17은 고온에서의 경화실험 결과를 나타낸다.

표 2는 목표수준에 대한 실험 결과를 요약한 것이다. 전송선로 종단임피던스가 50 Ω인 RF 동축케이블과 계측기의 입력 임피던스가 50Ω 계통을 사용하면 정합 감쇄기 사용여부에 따라 파형의 시정수의 변화는 미소하게 관측되고, 지그보드를 사용하여 반사 신호를 차단함으로써 안정한 VCXO 스펙트럼 분석 및 성능을 평가하였다.

IV. 결 론

본 연구에서는 신호전달의 기준으로서 PECL칩을 이용한 5mm×7mm 크기의 세라믹 SMD VCXO를 개발하였고, 다양한 환경변수에 대한 변화를 관찰함으로써 제품의 신뢰성 및 결함 여부를 판단하기 위해 지그 시스템을 개발하였다. 실험결과 180 MHz에서 제어전압을 0~3.3V로 가변할 경우 부성저항은 -96 Ω ~ -466 Ω 까지 변하고, 가변용량은 2.5~9.0 pF까지 변화는 특성을 관찰하였다.

또한 출력파형의 상승시간과 하강시간을 관찰하여 설계규격 대비 정확한 특성을 분석하고, -40°C ~ 85°C 범위 온도 특성 분석에서는 변화폭이 20ppm 이내이고 듀티사이클 49.99%를 가짐으로서 주파수 안정도를 관찰함으로써 정확한 분석결과를 얻었다.

참 고 문 헌

[1] www.conexant.com

- [2] B. Leonard and K. Lear, "Saw-based ECL VCO provides Low-Jitter Performance for SONET Applications," Applied Microwave & Wireless, www.sawtech.com
- [3] R. W. Rhea, *Oscillator Design and Computer Simulation*, Noble, 1995.
- [4] (주)K.Q.T, "Technical Information for Crystal Oscillator & VCXO," 2002.
- [5] NPC Nippon Precision Circuits Inc., 330 MHz PECL-output Oscillators ICs, CF5034 Series
- [6] U. L. Rohde, "Nonlinear Effects in Oscillators and Synthesizers," IEEE MTT-S, pp. 1-23, May 2001
- [7] R. L. Filler, "The Effect of Vibration on Frequency Standards and Clocks," Proc. 35th Annu. Symp. Freq. Control, pp. 31-39, May 1981
- [8] 윤달환, "PECL을 이용한 소형세라믹 VCXO 설계," 한국통신학회 논문지, 제 30권, 제 2A호, pp.107~114, 2005. 2
- [9] www.kqt.co.kr, www.temex.com
- [10] D. R. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. of the IEEE, pp. 329-330, April 1966.
- [11] W. Boyles, "The Oscillator as a Reflection Amplifier : an Intuitive Approach to Oscillator Design," Microwave Journal, pp. 83-98, June 1986.
- [12] Conexant System, Inc., Phase Noise Application Note, 2001.
- [13] www.vectron.com, Jitter in Clock Sources

 저 자 소 개



윤 달 환(정회원)

1984년 한양대학교 전자공학과
학사 졸업.

1986년 한양대학교 전자공학과
석사 졸업.

1994년 한양대학교 전자공학과
박사 졸업.

1988년 7월~1993년 6월 육군사관학교
전자공학과 교수

2003년 9월 중소기업 기술혁신 "부총리겸 교육부
장관상 수상"

1995년 3월~현재 세명대학교 전자공학과 교수
<주관심분야 : 통신, 컴퓨터, 신호처리, 전력전
자>