

전력 증폭기의 디지털 전치 왜곡 선형화 기술

김 영

금오공과대학교 전자공학부

목 차

- | | |
|-----------------|-------------------|
| I. 서론 | IV. 디지털 전치왜곡 선형화기 |
| II. 선형화 방법 | V. 결 론 |
| III. 전치 왜곡 선형화기 | |

I. 서론

2001년 10월에 NTT DoCoMo는 일본에서 WCDMA 기반의 IMT-2000 상용 서비스를 시작하였고, IMT-2000의 또 다른 형태인 CDMA2000 1x 서비스를 2002년 4월에 KDDI에서 서비스를 시작하였다. 시작 할 때는 가입자의 숫자는 미약하게 증가하고 있지만 현재는 3세대 이동통신 서비스인 음성, 비디오, 데이터 통신을 위한 인프라를 형성하면서 빠르게 성장하고 있다. 고정 통신망의 광대역 인터넷 서비스는 빠르게 증가하고 있으며, 이러한 환경을 경험한 가입자들은 유사한 광대역 모바일 서비스를 기대하고 있으며 결과적으로, IMT-2000 시스템은 더욱 많은 가입자와 광대역 모바일 데이터 통신을 제공할 것이다.

네트워크와 기지국은 주요도시에 설치가 되었지만, 이들 기지국은 전체 3세대 모바일 서비스를 제공할 수 있는 용량을 가지고 있지 못하다. 앞으로의 장비는 WCDMA와 CDMA2000 1x EVDO를 위한 HSDPA (High-Speed Downlink Packet Access)와 같은 빠른 데이터 서비스와 더 큰 용량을 제공해야 할 것이다. 대용량의 기지국의 전체 전력 사용량은 더욱 더 증가하고 있고, 더 많은 RF 캐리어와 기저대역 신호 프로세싱 유닛을 필요로 하기 때문에 기지국의 효율이 큰 문제가 되고 있다. 전력 증폭기는 기지국 전력의 대부분을 소모하기 때문에, 전력 증폭기 전력 소모 절감은 대용량 기지국을 만드는 데 중요한 목표가 된다.

일반적으로 기지국 시스템은 직류 전력 공급이 풍

부하기 때문에 효율이 조금 떨어지더라도 요구되는 높은 선형성을 달성하고 있다. 그러나 증폭기의 전력 레벨 증가 및 소형화에 따른 열 문제로 인해 최근에는 증폭기의 고선형성뿐만 아니라 고효율 특성도 점차 중요한 특성 항목이 되어가고 있다. 고효율을 달성하기 위한 방법은 증폭기 자체의 효율을 높이는 것과 부가적인 선형화 회로의 효율을 높이는 것으로 나누어서 생각할 수 있다. 전자의 경우는 Doherty, LINC (Linear amplification using Nonlinear Components), EER (Envelope Elimination and Restoration; Kahn), 바이어스 적응 제어 (Bias adaptation) 등의 방법이 있다[1],[2]. 한편 후자의 경우는 피드포워드 선형화 성능에 버금가면서 동시에 직류 전력 소모가 현저히 적은 디지털 전치왜곡 (DPD: Digital PreDistortion) 선형화 방식에 대한 연구가 진행되고 있다[3]-[6].

기존의 아날로그 전치 왜곡 선형화 방식들은 주로 RF 대역에서 임의의 왜곡 신호를 발생하여 이용하였기 때문에 증폭기의 왜곡 특성과 일치하지 않아서 선형성 개선 성능이 좋지 못하였다. 또한, 고출력 전력 소자의 메모리 효과 (Memory effect)에 의해 발생하는 비선형성 때문에 WCDMA 다중 캐리어 시스템과 같은 광대역 신호 조건에서는 그 성능이 더욱 저하된다. 디지털 전치왜곡 선형화 기법은 주파수 특성을 포함하여 왜곡 신호 특성을 조정할 수 있으므로 기존의 아날로그 방식으로는 구현이 힘든 증폭기의 메모리 효과를 효과적으로 보정하여 선형화 성능을 개선할 수 있다.

본 고에서는 차세대 선형화 기술로 각광을 받고 있는 디지털 전치왜곡 선형화기에 대해서 서술할 것이다.

II. 선형화 방법

여기에서는 전력 증폭기의 비선형성을 보상하는 몇 가지 선형화 기술에 대해서 언급할 것이다. 대부분의 무선 통신 장비는 대부분 효율이 가장 높은 곳에서 사용하는 전력증폭기를 갖고 있다. 효율은 무선 출력 전력 대 전체 사용 전력의 비로서 정의한다. 일반적으로 전력증폭기의 효율은 선형성에 반비례하는 경향이 있다. 만일 높은 선형성을 갖고 있다면, 그 증폭기는 A 또는 AB급으로 동작할 것이며 그에 따라서 효율은 낮을 것이다. 반대로 높은 효율이 필요하다면 증폭기는 C급으로 동작시키며 증폭기는 비선형 특성을 많이 나타낸다.

2.1 카테시안 루프와 폴라 루프 기술

카테시안 루프[7]와 폴라 루프[8]는 잘 알려진 궤환 선형화 기법이다. 카테시안 궤환 루프는 직교좌표로 표현되는 복소 기저대역에서 비선형성을 억압한다. 이러한 카테시안 루프의 장점 중에 하나는 DC 오프셋에 의한 캐리어 누설과 I/Q 신호의 이득 불평형을 일으키는 직교 변조기(Quadrature Modulator)의 단점을 줄일 수 있다는 것이다. 디지털 카테시안 루프[9]는 I-Q 평면에 2차원 계수 테이블을 저장하기 위해서 많은 메모리가 필요하며, 직교 변조기와 복조기의 위상 제어를 어떻게 만드는가 하는 것이 문제점으로 지적되고 있다[10].

또한, 폴라 루프 송신기에서 RF 신호는 궤환 신호에 의해서 제어되는 위상과 기준 신호와 궤환 신호사이의 차이에 의해서 크기가 변조되는 VCO에 의해서 직접적으로 만들어짐으로 인하여 간단한 회로 구성을 이루고 있다.

2.2 피드포워드 기술

피드포워드(Feedforward)[11] 기술은 선형화하고자 하는 증폭기의 출력에서 추출되어진 반송파와 혼변조

왜곡 신호 중에서 반송파를 제거하고 혼변조 왜곡 신호만을 추출하여 다시 증폭기의 출력 단에서 역 위상으로 결합시킴으로 C/I 비 (Carrier to Intermodulation)를 개선시키는 방식이다. 이 방식은 여타 방식에 비해 개선 효과는 뛰어나지만 큰 용적과 용량을 필요로 하며 회로가 복잡하고 시간 보상용 지연 선로(delay line)에 의한 출력 전력의 감소가 발생하는 단점이 있다.

그림 1은 피드포워드 선형화 방식의 블럭도를 나타낸 것이다. 두 개의 루프(loop)로 이루어진 피드포워드 선형화기는 각 루프에서의 신호 이득 정합과 역 위상 정합이 반송파 신호 및 혼변조 왜곡 신호 제거 특성을 좌우 한다. 또한 반송파 신호가 대역폭을 가질 경우 전 대역에서의 선형화 개선 특성을 가지려면 각 경로간의 전파 지연 시간의 정합이 아울러 요구된다. 일반적으로 전력 증폭기는 동작 주파수, 온도, 전압, 입력 전력 레벨 및 기타 환경 조건에 따라 전기적 특성이 달라지므로 이득과 위상의 제어가 지속적으로 이루어져야 하는데 이를 효과적으로 수행하기 위한 여러 가지 방법 등이 논문 및 특허로 발표되고 있다. 일반적으로 파일럿 톤을 사용하며 그 파일럿 톤을 인가하는 방법들이 주로 언급되고 있다. 이러한 파일럿 톤을 사용하지 않고 순수하게 아날로그 회로에 의한 제어로 선형화 효과를 얻는 방법도 소개되고 있다.

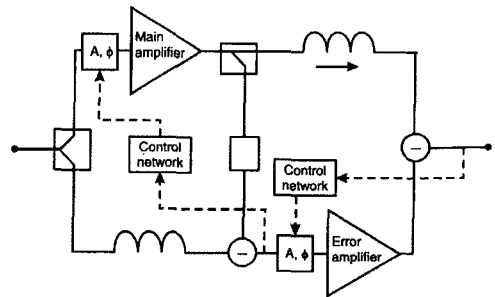


그림 1. 피드포워드 선형화 방식의 블럭도

III. 전치 왜곡 선형화기

3.1 전치 왜곡의 동작 원리

전치 왜곡 선형화기[12]는 전력 증폭기의 비선형성을 보상하는 잘 알려진 방법이다. 그림 2는 전치 왜곡 선

형화기의 원리를 나타낸 그림이다. 전치 왜곡의 전달 특성 $G(v_i)$ 는 입력신호 v_i 또는 전력을 나타내는 α 로 표현되는 전력 증폭기 함수 $F(\alpha)$ 를 보상해준다. 입력 신호가 전력증폭기로 입력되기 전에 전체적인 시스템의 혼변조 왜곡을 작게 하기위해 $G(v_i)$ 를 가진 전치 왜곡 신호를 만들어 준다. 이것은 전통적인 피드포워드 전력증폭기 경우와 다르게 전치 왜곡 선형화기는 지연 소자 또는 보조 증폭기 등이 필요 없으며 이러한 추가적인 소자의 전력소모를 피하게 되어 높은 효율을 얻을 수 있다.

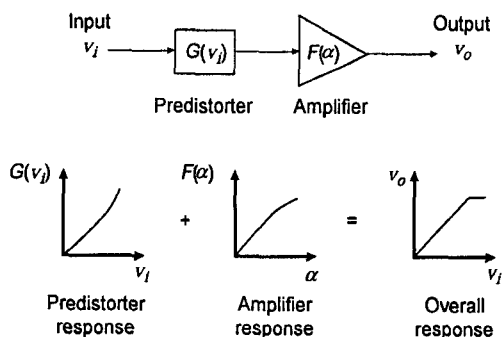


그림 2. 전치 왜곡 선형화기 블럭도

전치 왜곡 선형화기가 실제적인 회로 응용에 적용 되었을 때, 전력 증폭기의 비선형 특성은 소자의 허용 오차 그리고 온도나 에이징 등의 효과에 의해서 불안정하게 된다. 그렇기 때문에 전력증폭기 특성 평가는 이러한 시간 변화에 따른 비선형성을 보상하기위해서 적응해야만 한다. 디지털 프로세싱에 의한 적응형 전치 왜곡 선형화 방법은 비선형성을 보상하는 가장 기대되는 방법으로 보인다. 그 이유는 현대 통신에서는 디지털 변조를 사용하고 있어 증폭기의 비선형성을 평가하기 위한 알고리즘을 제작하기가 쉽기 때문이다. 구현된 적응형 전치 왜곡 선형화기는 아날로그 또는 디지털 그리고 어디에서 즉, 복소 기저대역, IF, RF에서 구현되었는가에 따라서 구별된다.

3.2 기저대역 전치왜곡 선형화기

기저대역 전치 왜곡 선형화기[13]의 블럭도는 그림

3에 나타내었다. 신호는 기저대역 입력 신호의 전력 또는 포락선의 동작 범위의 전치 왜곡 계수에 의해서 입력 신호와 곱해지며 이것에 의해서 신호가 전치 왜곡 된다. 이들 계수는 룩업 테이블(LUT)에 저장된다. 결과적으로 복소 신호는 변조기에 의해서 IF 또는 RF로 변환되며 전력증폭기로 입력된다. 주 증폭기 출력 으로부터 왜곡된 궤환 신호는 적응 알고리즘에 의해서 비선형 왜곡 특성을 평가하며, 이것을 바탕으로 LUT 계수는 시 불변 특성에 따라서 최신정보로 갱신 된다.

LUT 계수를 계산하는데 사용하는 알고리즘은 두 가지 형태로 분류할 수 있다. 하나는 원 신호와 궤환 신호 사이의 차이로서 에러를 정의하는 MMSE(Minimize Mean Square Error) 기준을 기본으로 한다. 또 다른 형태는 Hill-climb 알고리즘을 사용한 원하지 않는 전력 방사를 최소화하는 것을 기본으로 하는 것이다. 두 가지 형태의 알고리즘은 수렴 속도, 궤환 신호의 형태(벡터 또는 스칼라) 그리고 아날로그 회로에서 야기되는 에러에 대한 면역(immunity) 등에 따라서 장단점을 가지고 있다. 일반적으로 MMSE 알고리즘은 빠른 수렴 속도를 가지고 있고, Hill-climb 알고리즘은 좋은 면역을 갖고 있다.

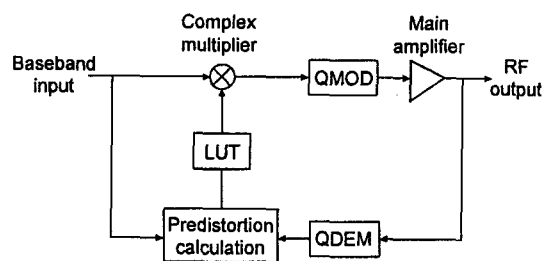


그림 3. 기저대역 전치 왜곡 선형화기 블럭도

IV. 디지털 전치 왜곡 선형화기

WCDMA 시스템의 다운링크 대역폭은 반송파당 5MHz이고, 최대 4개의 반송파를 동시에 전달할 수 있다. 그래서 3차 혼변조 신호를 제거하기 위해서는 최소 60MHz (5MHz x 4 반송파 x 3) 대역폭이 필요

하며, 5차 혼변조 신호를 제거하기 위해서는 100MHz의 최소 대역폭이 필요하다. 이러한 광대역을 갖은 전력증폭기는 상당한 광대역 혼변조 신호를 고려하여 설계 되어야 한다.

전력증폭기의 협대역 비선형성은 간단히 입력 크기의 함수로서 표현할 수 있다. 이러한 종류의 혼변조 신호를 비 메모리 왜곡 (memory-less distortion)라고 부른다. 입력 신호 전력의 동작 범위에서 크기와 위상의 왜곡 신호의 계수는 입력 신호의 함수로서 LUT에 저장 된다. 비 메모리 왜곡의 전치 왜곡 선형화는 입력 신호와 복소 도메인에서 적당한 LUT 계수의 곱에 의해서 구한다.

그러나 광대역 전력증폭기 비선형성 표현은 협대역 전력 증폭기 비선형성 보다도 훨씬 더 복잡하다. 이것은 광대역 전력증폭기 비선형성은 메모리를 갖고 있기 때문에 즉, 전력 증폭기 비선형 왜곡은 전류 신호 뿐만 아니라 이전 신호에 의해서 결정되기 때문이다. 이러한 전력증폭기 왜곡을 “메모리 효과”라고 부른다. 메모리를 갖는 비선형성은 주파수 영역에서 비대칭적인 혼변조 신호를 만든다. 이러한 메모리 효과는 바이어스의 높은 임피던스, 포락선 주파수에서 드레인 회로, 트랜지스터 표면에 누적 반송파 효과 그리고 온도 효과 등에 의한 것이다. 이러한 개별 요소들은 각기 다른 시정수를 가지고 있고 이러한 것이 결합되어 메모리 효과를 나타내는 것이다.

메모리를 갖는 전력증폭기 왜곡은 전통적인 전치 왜곡 방법을 이용한 것으로는 개선이 어렵다. 그렇기 때문에 이러한 어려움을 극복할 수 있는 새로운 디지털 전치 왜곡 방법이 개발 되었다.

디지털 전치 왜곡 장치는 크게 디지털 부분, 변복조 부분, 주 증폭기 부분으로 나누어 볼 수 있다. 디지털 부분에서 디지털 소스가 DSP를 통해 전치 왜곡 신호로 변환된 다음 DAC(Digital to Analog Converter)를 통해 RF 변조기에 전달된다. 이 신호는 변조 부분에서 RF 신호로 up-conversion되어 주 증폭기의 전치 왜곡 입력 신호로 사용된다. 증폭기의 출력 신호는 다시 복조 부분에서 디지털 신호로 down-conversion되며, 이 신호는 디지털 소스 신호에 감산되어 증폭기의 왜곡 성분만이 추출된다. 추출된 왜곡 성분을 참조로 최적의 전치 왜곡 신호를 만들어 다시 up-conversion한다. 이 과정을 반복하여, 어떤 임의의 디지털 소스

신호에 대한 최적의 전치 왜곡 신호를 만드는 것이다.

여기서는 위에서 설명한 디지털 전치 왜곡 기술을 상용화에 성공한 PMC-Sierra사와 Intersil 사의 디지털 전치 왜곡 기술에 대해서 언급할 것이다.

4.1 PMC-Sierra사

PMC-Sierra사에서는 비선형 왜곡 제거 칩 기술로 PALADIN-10 이라는 고속 DSP를 기반으로 한 디지털 전치 왜곡 선형화를 수행하는 칩을 개발 하였다[14]. 이것의 특징을 살펴보면 먼저, 전력증폭기와 트랜시버의 비선형성을 제거하여 기지국(Basestation Transceiver Subsystem : BTS)의 효율과 수용능력 성능을 향상시킨다. 또한, 광대역 다중 캐리어 응용에도 적용이 가능하게 하였다. 둘째, DSP 기반의 적응 제어 프로세서와 보상 엔진을 갖고 있는 소프트웨어 구조로 다중 에어 인터페이스를 제공한다. 셋째, 아날로그 변조를 위한 디지털 교정을 수행하여 영상 주파수 제거(Image rejection) 성능을 유지하면서 2배의 대역폭을 개선시킨다. 마지막으로는 효율과 혼변조 사이의 trade-off을 할 수 있는 디지털 소프트웨어 pre-compression을 수행한다.

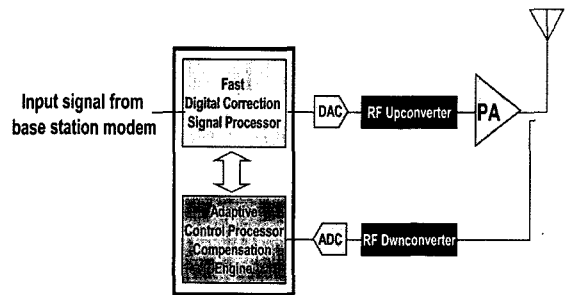


그림 4. PARADIN 동작원리

그림 4에서 보면 송신 경로에서 왜곡을 지속적으로 관찰하며, AM-AM과 AM-PM, 광대역 그룹 시간 지연, 온도와 포락선 메모리 등을 예측하여 보상한다. 또한, 입력 신호를 over-sample을 하고 예측 보상을 수행한다.

PARADIN-10을 이용하여 WCDMA 신호를 선형화한 결과는 그림 5와 같다.

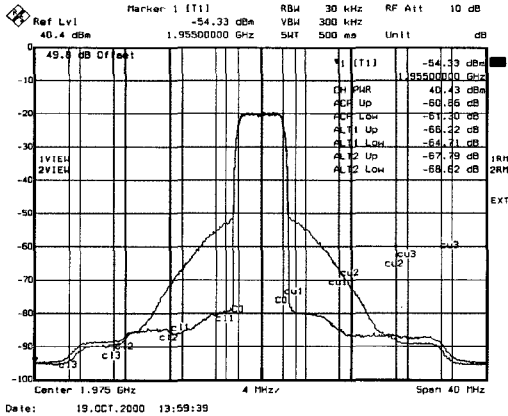


그림 5. WCDMA 1FA 신호일때 선형화 결과

또한, PM7800 PARADIN-10의 사양은 표 1과 같이 나타내었다.

표 1. PARADIN-10의 사양

Targets (Initial)	Single and Dual WCDMA
Targets (follow-on)	CDMA2000, Multicarrier GSM/TDMA/EDGE, Multicarrier IS-95 (Note: upgrades will require new software only)
GCA	1Q2001
Features	10 MHz Operation Digital Adaptive Predistortion Digital Correction for Analog Quad Mod Support for Digital baseband, IF output and Digital IF input (baseband input supported in future software upgrades) Simple Digital Soft Pre-compression
Packaging	PM7800 Digital Correction Signal Processor (DCSP) Chip 0.18um, 3.3VDC operation, 1.4W@80MHz 304 pin SBGA (31mm x 31mm), Temp: -45°C/+85°C Adaptive Control Processor Compensation Estimator (ACPCE) Engine First Gen PALADIN firmware resident on TMS320C5410

그림 6은 이 칩의 상호 연결을 나타냈으며, 그림 7과 8은 응용분야를 그림과 같이 나타내었다.

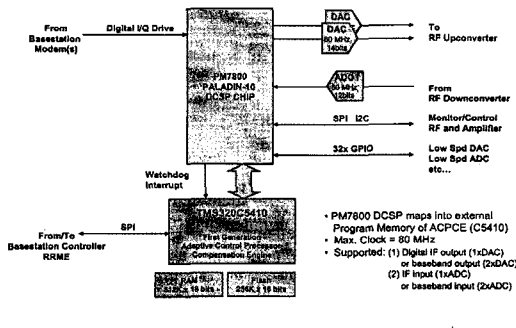


그림 6. PARADIN-10 상호연결도

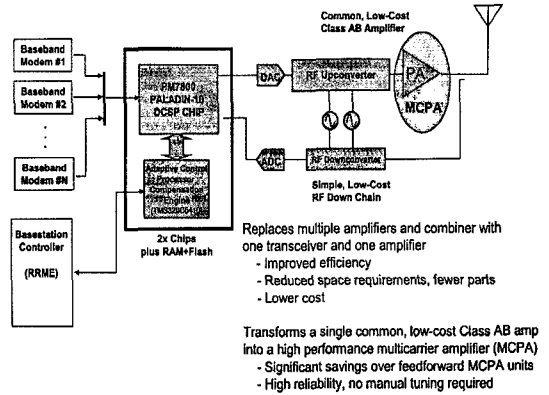


그림 7. PARADIN-10 MPCA equipped BTS 응용

- Replaces multiple amplifiers and combiner with one transceiver and one amplifier
- Improved efficiency
- Reduced space requirements, fewer parts
- Lower cost
- Transforms a single common, low-cost Class AB amp into a high performance multicarrier amplifier (MCPA)
- Significant savings over feedforward MCPA units
- High reliability, no manual tuning required

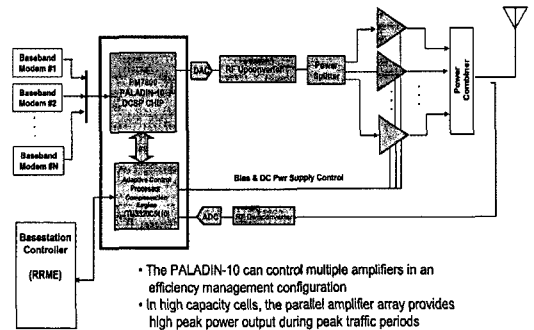


그림 8. PARADIN-10 응용 예제

4.2 Intersil사[15]

Intersil사의 ISL5239 전치 왜곡 선형화기(Predistortion Linearizer : PDL)는 전력증폭기 효율 개선과 가격을 줄이는 전력증폭기 선형화를 위한 소자이다. 이것은 포화영역 가까운 곳에서 가장 효율적으로 동작하게 하기 위해서 전력증폭기를 선형화 시킬 수 있다. 또한, 20MHz 대역 신호가 만들어내는 5차 혼변조 신호까지 즉 125MHz 전치 왜곡 대역폭을 갖고 있으며, 이정도 대역폭은 WCDMA와 CDMA2000의 3세대 통신 시스템에 잘 적용이 될 것이다. 또한, 전력 증폭기의 메모리 효과도 바르게 수정할 수 있다. 그림 9는 ISL5239의 블록도를 나타냈으며, 그림 10은 이 칩을 이용한 디지털 전치 왜곡 선형화기 응용 예를 보여준다.

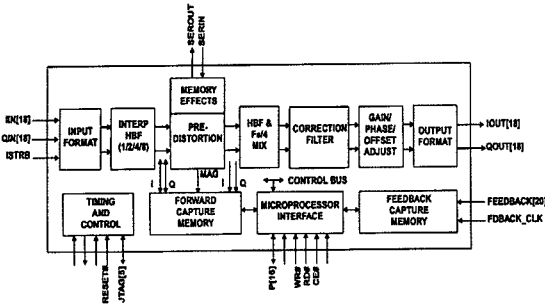


그림 9. ISL5239의 블록도

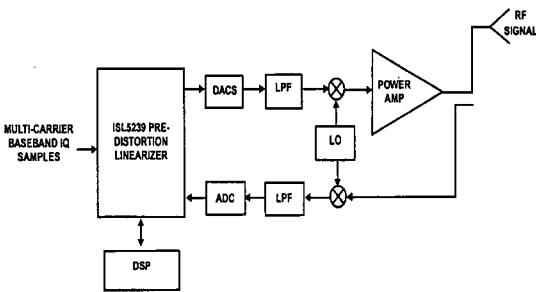


그림 10. ISL5239를 이용한 디지털 전치 왜곡 선형화기

V. 결론

언제 어디서나 누구에게든지 통신을 하고 싶은 희망은 이동통신 기술의 발전으로 현실화 되어가고 있다. 이동통신의 한 축인 기지국의 전력 증폭기에서 선형화 방법 중에서 현재 가장 많이 연구되고 있는 디지털 전치왜곡 기술에 대해서 살펴보았다.

디지털 전치 왜곡 선형화기는 기지국용 전력 증폭기의 고선형 요구 사항을 보다 효율적으로 실현하기 위한 것으로, 종래 사용되어왔던 피드포워드의 장점인 고선형성, 안정성, 메모리 효과의 보상, 넓은 동작 대역 특성 등을 모두 가지고 있을 뿐만 아니라, 저 효율, 열 문제, 사이즈 문제, 낮은 가격 대 성능비 등의 단점을 해결할 수 있다. 또한 디지털 전치 왜곡 선형화기는 디지털 회로를 포함하고 있어 그 자체가 무선 통신 기지국용 송신기의 모든 역할을 수행할 수 있는 독립성을 갖고 있다.

향후 많은 연구가 필요한 기술은 더 넓은 대역폭을 가지면서 더 좋은 효율과 선형성 확보라는 측면은 변하지 않는 이슈라고 판단된다. 또한 이제는 기지국의 전력 증폭기 설계 기술이 디지털 신호처리 기술과 많이 결합 되어가는 진화 추세를 생각할 때 RF 설계 인력의 연구 관심 분야가 디지털 기술 분야로 더 넓어져야 한다는 사실이다.

참고문헌

- [1] P.B. Kenington, *High Linearity RF Amplifier Design*, Artech House Inc., Norwood, MA, 2000.
- [2] S.C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House Inc., Norwood, MA, 1999.
- [3] Y. Nagata, "Linear amplification techniques for digital mobile communications," *Proc. IEEE Veh. Technol. Conf.*, pp. 159-164, 1989.
- [4] J. Namiki, "An automatically controlled predistorter for multilevel quadrature amplitude modulation," *IEEE Trans. Commun.*, vol. Com-31, no. 5, pp. 707-712, May 1983.
- [5] M. Faulkner, T. Mattsson and W. Yates, "Adaptive linearization using predistortion," *Proc. IEEE Veh. Technol. Conf.*, pp. 35-40, 1990.
- [6] J.K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirement," *IEEE Trans. Veh. Technol.*, vol. 39, no. 4, pp. 374-382, Nov. 1990.
- [7] M. Jahansson and T. Mattsson, "Transmitter linearization using cartesian feedback for linear TDMA modulation," *Proc. of IEEE Veh. Technol. Conf.*, pp. 386-392, 1991.
- [8] V. Petrovic and W. Gosling, "Polar loop transmitter," *IEE Electronics Letters*, 15,10, pp. 286-288, 1979.
- [9] M. Minowa, M. Onoda, E. Fukuda and Y. Daido, "Backoff improvement for an 800MHz GaAs FET amplifier for a QPSK transmitter using an adaptive nonlinear distortion canceller," *Proc. of IEEE Veh. Technol. Conf.*, pp. 542-546, 1990.
- [10] Y. Oishi and T. Takano, "Cartesian feedback amplifier with soft landing," *Proc. of IEEE PIMRC Conf.*, pp. 127.1-127.5, 1992.
- [11] R. Meyer, R. Eschenbach and W. Edgerley, Jr., "A wide-band feedforward amplifier," *IEEE Journal of Solid-State Circuits*, Sc-9,6, pp. 442-428, 1974.

- [12] A.S. Wright and W.G. Durtled, "Experimental performance of an adaptive digital linearized power amplifier," *IEEE Trans. on Veh. Technol.*, vol 41, no. 4, pp. 395-400, 1992.
- [13] Y. Moriyama et al., "A trial manufacture of power amplifier with adaptive algorithm predistorter," *Proc. of IEICE Society Conf.*, B-5-157, pp. 410, 1997.
- [14] A. Wright, "Multi-carrier WCDMA basestation design considerations-Amplifier linearization and crest factor control," *Technology white paper of PMC-Sierra, Inc.*, Issue 1, Aug. 2002.
- [15] www.intersil.com.

저자소개

김 영



1986년: 서강대학교 전자공학과 졸업(공학사)

1988년: 서강대학교 대학원 전자공학과 졸업(초고주파전공, 공학석사)

2002년: 서강대학교 대학원 전자공학과 졸업(초고주파전공, 공학박사)

1988년 1월~1993년 5월: 이즈텔시스템즈(주) 연구소 근무(선임연구원)

1993년 6월~1998년 2월: 삼성전자(주) 정보통신사업본부 선임연구원

1998년 3월~2003년 2월: 두원공과대학 정보통신과 조교수

2003년 3월~현재: 금오공과대학교 전자공학부 조교수

※관심 분야: 초고주파 회로설계 및 해석, 전력증폭기, 전력증폭기 선형화기 설계