

간접전극 양극산화에 의한 다공성 실리콘의 형성

김순규 · 장준연*

한국과학기술연구원 나노소자연구센터, 서울 136-791

(2006년 2월 20일 받음)

Si기반 고주파집적회로의 차단재로서 간접전극 양극산화법으로 형성된 다공성 Si를 활용하기 위한 기초 연구로서 전류밀도, 시간에 따른 기공의 크기와 깊이등을 조사하였고 기공 도입 전, 후 Si의 격자상수 변화를 측정하여 유발되는 내부응력의 크기를 평가하였다. 기공의 크기와 깊이는 대개 전류밀도와 시간에 따라 증가하였다. 기공이 형성됨에 따라 Si의 격자상수가 증가하여 약 8MPa의 압축응력이 유발되었다. 간접전극 양극산화법으로 형성된 다공성 Si은 공정이 간단하고 기공으로 유발되는 내부응력의 크기가 작아 Si VLSI공정 적합성이 우수하므로 고주파집적회로의 효과적인 차단재로서 적합한 재료로 판단된다.

주제어 : 다공성 Si, 간접전극 양극산화, 차단재, 격자상수

1. 서 론

다공성 실리콘 (porous Si, PS)은 Si기판과 불산 (hydrofluoric acid) 용액의 전기화학적 상호반응에 의해 형성되며 다음과 같은 특성을 갖고 있다. 첫째, PS는 붉은색의 가시광을 발광하는 매우 흥미있는 특성을 가지며 [1] 둘째, 비저항이 $10^{10} \Omega \text{cm}$ 으로 증가하는 반면 기공의 도입으로 유전율은 감소하여 절연재 및 cross-talk 차단재로 우수한 특성을 갖는다. [2] 셋째, PS는 표면적이 커 식각속도가 매우 빠르므로 MEMS (micro-electronic machining system) 공정에서 이상적인 희생층 (sacrificial layer)으로 사용되고 있다. [3] 그러나, 다공성Si구조는 이후 공정에서 열처리동안 미세조직의 조대화가 전기적, 광학적 특성의 변화를 일으킬 수 있고, 기공형성 이후 산화공정에서 발생하는 내부 잔류응력이 특성변화를 가져 올 수 있다는 단점이 해결해야 할 문제로 남아있다. [4]

최근 이동통신의 급격한 발달로 고주파집적회로 (RFICs)에 대한 요구가 크게 증가하고 있다. RFIC는 인덕터와 금속산화물반도체 디지털 집적회로등의 수동부품을 포함하는 고성능 아날로그회로로 이루어져 있는데 이 회로를 집적하기 위해서는 차단기술 (isolation technology)이 필수적이며, 이 기술은 고주파 수동부품의 기판손실, coplanar waveguide lines (CPW), 기판을 통한 cross-talk

을 최소화 할 수 있어야 하며 또한 기계적으로 안정한 구조를 가지고 있어야 한다. [5] 현재 고주파 차단을 위해 고저항 Si, [6] 사파이어, [7] SOI 웨이퍼등 [8] 다양한 기술이 연구되고 있는데 이 기술들은 현재 대규모집적회로공정 (VLSI)기술에 적합하지가 않다. 대안으로 PS에 관심이 집중되고 있는데 PS는 반도체 특성을 갖고 비저항은 $10^{10} \Omega \text{cm}$ 로 매우 높으며, 제작공정이 간단하고 Si VLSI공정에 적합하기 때문이다. [9] 과거 산화PS (oxidized PS)를 SOI 기판에 유전층으로 이용하려는 연구가 있었는데, [10] PS는 산화 PS에 비해서 수백 마이크로미터 깊이의 PS층을 형성하더라도 PS와 bulk Si사이의 열팽창계수가 거의 0에 가까운 장점이 있다. 이것은 Si기판위에 rf소자를 형성하는데 매우 중요한 조건이며 bulk SiO₂나 산화 PS에서는 불가능한 일이다.

Si VLSI공정과 적합한 최적의 PS 형성조건을 확보하는 것은 Si기반 rf소자의 차단재로서 PS를 효과적으로 활용하기 위해 반드시 선행되어야 할 일이다. 기존의 연구에서는 실리콘 기판 뒷면에 Au나 Cu전극을 증착하여 Si 기판 자체를 전극으로 양극산화(anodized)시키는 방법을 이용하였는데 [11] 이것은 Si VLSI의 후속공정을 감안하면 피해야 할 공정방법이다. 따라서 본 연구에서는 기존의 방법과는 달리 실리콘에 직접 전극을 형성하지 않고 대신 백금(Pt)로 이루어진 양극 (anode)와 음극 (cathode)

* [전자우편] presto@kist.re.kr

사이에 Si 기판을 설치하는 비접촉방식으로 양극산화하여 적절한 PS구조를 얻는 방법을 조사하였다. 비접촉 방식으로 형성된 기공의 크기 및 기공층 형성 깊이를 관찰하여 반응용액의 농도와, 전류밀도, 시간 등의 공정변수에 의해 변화하는 기공의 형태와 구조등을 연구 하였다.

II. 실험 방법

실험에서 사용한 실리콘 기판은 붕소(Boron)가 높게 도핑된 P+형 4인치 (100)웨이퍼로 비저항은 0.02Ω/cm 이다. 비접촉식으로 양극산화할 때는 기판의 후면 (back side)에서 전면으로 전류가 잘 흘러야 기공의 형성이 수월하기 때문에 높게 도핑된 기판을 이용하였다. 양극산화를 위한 반응기 (bath)는 그림 1과 같은데 산과 알칼리에 강하고 절연성이 뛰어난 테프론으로 반응기를 제작하였다. 반응기 중간부분에 샘플을 설치하는데 이 샘플홀더를 경계로 양쪽 용액(불산: 에탄올=1:1)의 흐름은 완전히 차단해야 한다. 샘플홀더에서 음극을 향해 용액에 노출되는 Si 기판의 면적은 10mm² 이며 절단(dicing)한 Si 기판을 샘플홀더에 붙여 사용하였다.

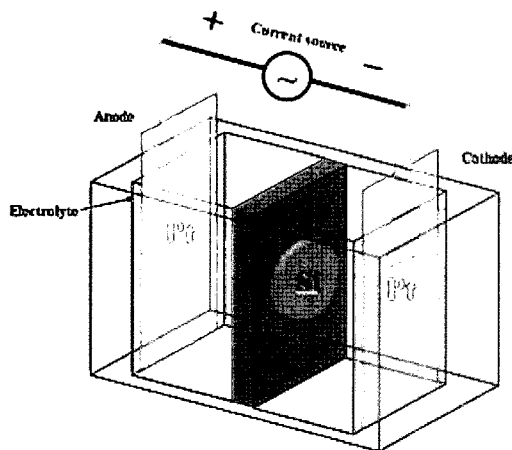


그림 1. 비접촉 양극산화법의 개요도와 Si 웨이퍼 양극산화를 위한 반응기 모습

반응 용액은 48% 불산(HF, hydrofluoric acid) 용액과 99.99% 에탄올(ethanol)을 1:1로 혼합하여 사용하였다. 그림에서처럼 두개의 백금판으로 양극과 음극을 형성하고 그 사이에 Si 기판을 설치하여 양쪽의 용액 및 전류의 흐름을 차단함으로써 Si 기판을 통해서만 전류가 흐르게 하여야 하는 것이 비

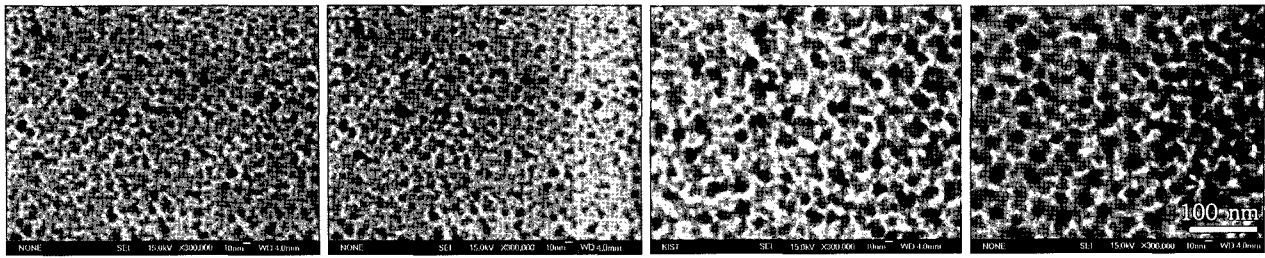
접촉식 양극산화공정의 핵심이다. 기존 방법에서는 Si 기판 후면에 금속전극을 코팅하여 양극으로 사용하였는데 [11] 이 공정은 Si VLSI공정에 적합하지 못하다. 비접촉식으로 PS를 형성하면 후면에 금속전극이 없기 때문에 이후 공정에 아무런 영향을 주지 않아 Si VLSI공정에 적합한 공정이다. 상온에서 양극산화를 실시하였고 안정된 전압과 전류를 공급하기 위하여 Potentiostat를 사용하였다.

본 실험에서는 동일한 용액(HF: C₂H₅OH=1:1)을 사용함으로써 에칭용액에 의한 기공 변화 가능성을 배제하였으며 시료에 인가하는 전류밀도는 10 mA/cm² ~ 120 mA/cm², 양극산화 시간은 2분 ~ 10분으로 변화시키며 각각의 조건에서 기공의 크기와 깊이를 조사하여 PS 형성의 기초적인 자료를 수집하였다. 양극산화후 형성된 PS내의 기공의 크기와 깊이 그리고 미세조직은 전계방출 SEM (Field emission SEM, JEOL 6500F)으로 관찰하였고 기공형성 전후의 결정구조와 격자상수의 변화를 XRD (Philips Expert)로 측정하였다.

III. 실험 결과 및 고찰

다공성 실리콘 (PS) 형성과정에 대해서는 그동안 많은 연구가 수행되어 왔고 그중 Lehmann등이[12] 제안한 형성기구가 널리 인용되고 있다. 그들의 설명에 의하면 불산과 에탄올 용액에서 이온화된 F⁻이온이 양극으로 작용하는 Si기판쪽으로 이동하고 표면에서 Si내부의 정공 (hole)과 만나 전기적 중성을 유지하면서 음의 전하인 전자를 Si 기판에 주입하면 표면에 Si-H 결합들이 Si-F 결합으로 치환한다. Si-F 결합들에 의해 유도된 분극에 의하여 Si-Si 결합의 전자 밀도가 낮아지고 이로 인하여 결합력이 약화된 Si-Si 결합은 HF의 화학적 접촉을 통해 HF와 반응하게 되고 이 반응물로서 SiF₆²⁻가 형성되어 수용액으로 용해된다. 이러한 전기화학적 반응기구에 의하여 Si표면은 계속하여 전자/정공이 교환되면서 수소화물과 불화물로 상태가 변한다.

그림 2는 일정한 반응시간에서 (6분) 전류밀도를 20mA/cm² 에서 120mA/cm² 까지 증가시키며 기공을 형성한 후 기공의 크기 및 미세구조를 SEM으로 관찰한 것이다. 양극산화전 Si 기판은 정밀하게 연마(polishing) 되어 매우 균일한 표면조도를 갖고 있



(a) (b) (c) (d)
 그림 2. 일정반응시간 (6분)동안 전류밀도를 변화시키며 양극산화한 다공성 실리콘의 SEM사진
 (a) 20 mA/cm² (b) 40 mA/cm² (c) 80 mA/cm² (d) 120 mA/cm²

으나, 양극산화후에는 사진에서 볼 수 있듯이 표면이 많이 패여있고 매우 작은 기공들이 보인다. 이 SEM사진은 300,000배의 고배율 사진임에도 개개의 기공을 구별하기가 쉽지 않을 정도로 기공의 크기는 매우 작다. 전류밀도가 증가할수록 기공의 크기가 점차 증가하고 있음을 알 수 있다. 이 사진을 확대하여 세심하게 기공의 크기를 측정, 통계처리하여 전류밀도 변화에 대한 기공의 크기 변화를 나타낸 것이 그림 3이다.

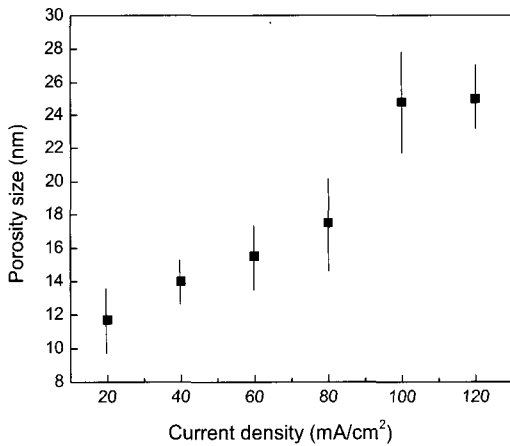


그림 3. 일정반응시간 (6분)동안 전류밀도 증가에 따른 기공의 크기변화

20mA/cm² 조건에서 평균 12nm 이던 기공의 크기는 전류밀도를 증가시키에 따라 대략 직선적으로 증가하여 100mA/cm² 에서 약 24nm 까지 두배 가량 증가하나 120mA/cm² 전류밀도에서는 기공의 크기변화가 거의 없는 것을 알 수 있다. 100 mA/cm²까지 기공크기가 전류밀도에 따라 증가하는 것은 전류밀도가 증가함에 따라 P+형 실리콘 기판에서 정공의 공급이 원활하여 표면에서 불소 이온이 정공을

취하기가 쉽고 따라서 Si-Si실리콘 결합이 쉽게 깨져 기공의 형성이 용이하기 때문이다.

그림 4는 일정한 전류밀도(80mA/cm²)에서 반응시간에 따른 기공의 변화를 관찰한 것이다. 가장 짧은 시간동안 (2분) 반응한 (a)에서는 표면이 거칠어지면서 수나노미터 크기의 기공이 형성되어 있으나 워낙 크기가 작아 구별하기 쉽지 않다. 4분 반응부터 검게 보이는 기공들이 뚜렷이 나타나기 시작하며 6분 까지는 크기가 증가함을 알 수 있다. 10분 반응한 (d)에서는 오히려 기공의 크기가 작아지는 것을 볼 수 있다. 앞의 그림 3에서도 6분이라는 일정한 반응시간에서 전류밀도가 100mA/cm² 이상으로 증가하면 기공크기 변화가 거의 없듯이, 반응시간을 길게 해도 기공의 크기는 더 이상 증가하지 않거나 오히려 작아짐을 알 수 있다.

그림 5는 40mA/cm² 전류밀도 조건에서 여러 시간 동안 양극산화후 형성된 PS의 깊이와 형상을 조사하기 위해 기판을 절단하여 그 단면을 SEM으로 관찰한 것으로서 (a)는 기공이 형성된 부분과 bulk Si 사이 경계부 조직을 확대 관찰한 것이고 (b)는 2분, (c)는 8분, (d)는 10분 양극산화후 PS의 깊이를 관찰한 것이다. 우선 기공의 형상을 관찰한 (a)를 보면 작은 기공들이 서로 연결되어 있는 망상구조 또는 수상돌기 구조 (dendrite structure)를 갖고 있으며, 아래 방향으로 길게 성장하는 주상정 (columnar)기공은 관찰되지 않는다.

기공의 형상과 형성기구에 대해서는 많은 설명이 있는데 그중 인가하는 전기적 포텐셜과 기공의 형상과 깊이를 정의하는 임계기공인자 (critical porosity parameter) 등 2개의 상대적 크기에 따라 주상정, 수지상정 그리고 두 형상의 혼합형등 크게 세 개의 서로 다른 기공의 형상이 나타난다. [13] PS형성은 Si 기판 표면에서의 전기화학적 반응에 기인하므로

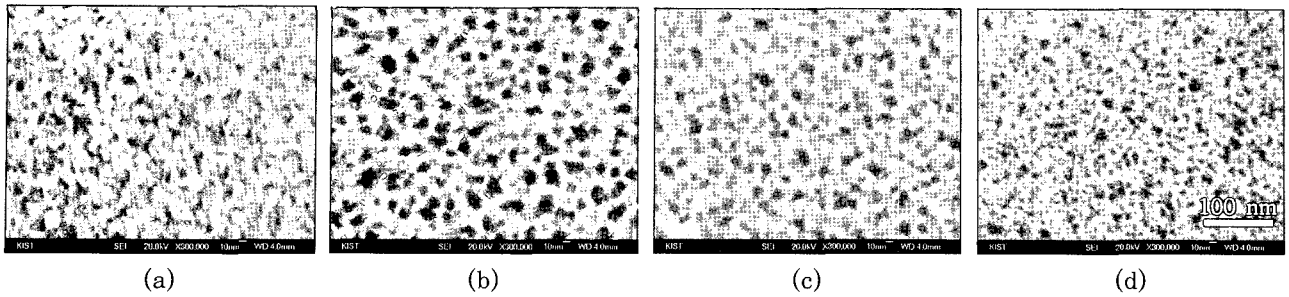


그림 4. 일정전류밀도 (80 mA/cm²) 조건에서 양극산화반응 시간을 변화하여 형성된 다공성 실리콘의 SEM사진 (a) 2분 (b) 4분 (c) 6분 (d) 10분

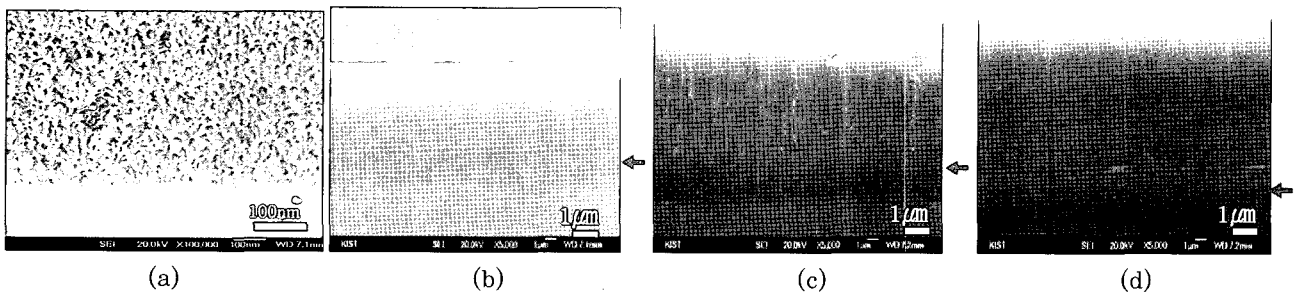


그림 5. 40mA/cm² 전류밀도 조건에서 시간을 변화시키며 다공성 Si을 형성시킨 후 단면을 관찰한 SEM사진 (a) 다공질층과 Si기판과의 경계부 (b)2분, (c)8분, (d) 10분 양극산화한 기공층의 깊이

인가하는 전류밀도가 가장 주요한 변수가 되는데 p-Si와 HF사이의 인가전압과 전류밀도의 곡선을 보면 두 인자 사이의 상대적인 크기에 따라 1) 포텐셜과 전류밀도가 낮을경우 HF가 이온화되면서 양극에서는 수소만 발생하고 2) 적정한 조건에서 표면반응에 의해 기공이 형성되는 반면 3) 높은 포텐셜과 전류밀도하에서는 Si 표면 전체가 식각되는 전해연마반응이 일어나게 된다. 그러므로 기공형성중에 포텐셜과 전류밀도를 적절하게 제어해야만 상당한 깊이까지 기공을 형성할 수 있다.

40mA/cm²의 일정한 전류밀도에서 양극산화 시간을 증가시키며 관찰한 기공의 깊이는 (각 사진에서 화살표 모양) 지속적으로 증가하였다. 10분까지 2분 간격으로 반응시간을 증가시킨 기공의 깊이를 SEM으로 측정하여 그래프로 나타낸 것이 그림 6이다. 8분 이내의 양극산화 시간에서는 시간에 따라 기공의 깊이가 증가하여 최대 14 μm까지 기공이 형성되었다. 그러나 그 이상의 반응시간에서는 오히려 기공의 깊이가 다소 감소하는 것을 알 수 있다. 이러한 현상은 반응초기에는 40 mA/cm² 전류밀도조건에서 p형 실리콘의 정공과 F⁻이온이 정상적으로 반응하고, 형성된 기공 사이로 HF가 쉽게 공급되어 깊이 방향과 기공의 벽면이 함께 연마 되지만 시간이 증가함에 따라 표면근처에 있는 기공과 기공 사이

의 Si 뼈대구조 (skeleton)가 얇아지게 되고 따라서 국부적으로 전류밀도가 급증하여 전해연마과정이 일어나 표면쪽에 Si이 감소한 것이 주요한 이유인 것으로 사료된다. 그러므로 기공의 깊이를 지속적으로 향상시키기 위해서는 세심한 전류-전압의 제어가 필요하다. 한편, 그림 3에서 100mA/cm² 전류밀도까지 기공의 크기가 전류밀도에 따라 직선적으로 증가하다 120 mA/cm² 조건에서 기공의 직경이 더 이상 증가하지 않는 이유도 기공의 크기가 커지면서 기공 사이 Si의 벽 (skeleton)이 얇아지고 동일한 이유로 국부적 전압-전류 증가에 따라 표면 연마가 일어났기 때문으로 여겨진다.

그림 7은 Bulk Si기판과 양극산화하여 두께 15 μm, 기공밀도가 40%인 PS를 대상으로 X-선 회절 분석하여 기공 형성전후 Si의 격자상수를 측정한 것이다. 점선으로 나타낸 것이 양극산화전 Si기판의 XRD 결과인데 69.156° 에서 Si (400) *ka*₁ 피크가, 인접한 69.36°에서 *ka*₂ 피크가 관찰되며, 이것은 격자상수 5.4308Å의 평형 Si결정구조와 일치한다. 기공이 형성된 PS의 회절곡선은 진한 실선으로 표시하였는데 bulk Si에 비해 낮은 각도쪽으로 조금 치우쳐 회절피크가 69.146°에서 나타나며 두곡선의 반가폭 (FWHM)은 bulk Si이 0.042°, PS가 0.045°로 0.003° 증가한다. (004)회절 피크의 위치이동은

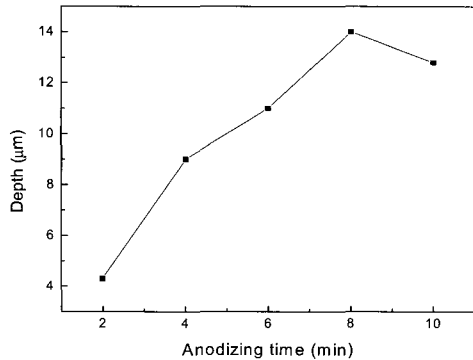


그림 6. 40mA/cm² 전류밀도에서 시간에 따른 다공성 Si이 형성된 깊이

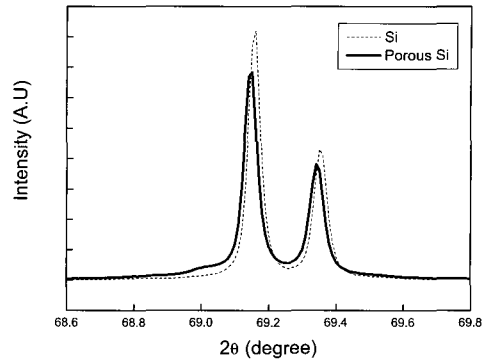


그림 7. 기공이 형성되기 전 Si기판과 형성된 다공질 Si의 (400) X-선 회절도

격자상수의 변화를 의미하여 Bragg law를 이용하여 계산하면 PS의 격자상수는 5.4312Å로 평형 격자상수 5.4308 Å에 비교해 0.7% 증가하였다. 기공의 도입으로 Si의 격자상수가 증가하고 그 결과로 PS는 음의 내부응력이 작용함을 알 수 있다. Si의 Young's modulus가 131 GPa 이므로 0.7%의 변형량으로 도입되는 내부응력의 증가는 약 -8.7MPa이다. 이 값은 이전 연구에서 PS형성직후 내부응력량 -10 MPa과 매우 유사하다. [14] Kim등은 초기 -10 MPa의 내부 응력을 효과적인 반복 열처리를 통해 1 MPa이하로 감소하였으며 이 정도크기의 내부 응력은 Stoney 방정식에 의해 4인치 웨이퍼 기준으로 전체 기판의 곡률반경 변화가 약 558 m이내의 미미한 변형을 초래하므로 Si VLSI공정을 수행하는 데 아무 문제가 없다. [14] 그러므로 비접촉식 양극산화로 PS를 형성하는 방법은 향후 Si 기반 RFIC소자에 효과적인 차단재로서 적용 가능할 것으로 여겨진다.

IV. 결 론

P+형 (100) 실리콘을 간접전극 양극산화하여 형성된 다공성 Si의 크기와 깊이를 조사한 결과, 기공의 크기는 일정한 시간 동안 전류밀도 증가에 따라 100 mA/cm²까지는 지속적으로 커지나 그 이상의 전류밀도조건에서는 더 이상 증가하지 않았다. 기공의 깊이는 반응시간에 따라 증가하지만 40mA/cm², 10분 후에는 오히려 기공의 깊이가 감소하였는데 이것은 기공크기 확대에 따른 Si뼈대구조 감소로 국부적으로 전류-전압이 증가하여 전해연마 과정이 일어나는 것으로 판단되며 이것을 방지하고 수백

마이크론 깊이까지 안정한 기공을 형성하기 위해서는 양극산화동안 세심한 전류-전압 제어가 요구된다. 본 연구를 통해 확인된 최적 임계전류 조건은 40mA/cm²이며 양극산화중 전압이 일정하게 유지되면 수백마이크론 깊이의 다공질을 안정적으로 얻을 수 있다. 기공이 형성되면 Si의 격자상수가 0.7% 증가하나 적절한 열처리를 통해 변형량을 감소시킬 수 있으며 결국 간접전극 양극산화로 형성된 다공성 Si구조는 Si VLSI공정에 적합함을 확인 하였다.

참 고 문 헌

- [1] G. Davies, Phys. Rep. **176**, 83 (1989).
- [2] L. T. Canham, M. R. Houlton, W. Y. Leong, C. Pickering, and J. M. Keen, J. Appl. Phys. **70**, 422 (1991).
- [3] H. Shinoda, T. Nakajima, K. Ueno, and N. Koshida Nature **400**, 853 (1999).
- [4] A. G. Cullis, L. T. Canham, and P. D. J. Calcott, J. Appl. Phys. **82**, 909 (1997).
- [5] H. S. Kim, Y. H. Xie, M. DeVincentis, T. Itoh, and K. A. Jenkins, J. Appl. Phys. **93**, 4226 (2003).
- [6] K. B. Ashby, I. A. Koullias, W. C. Finley, J., J. Bastek, and S. Moinian, IEEE J. Solid-State Circuits **32**, 4 (1996).
- [7] J. N. Burghartz, D. C. Edelstein, K. A. Jenkins, and Y. H. Kwark, IEEE Trans. Microwave Theory Tech. **45**, 1961 (1996).
- [8] J. P. Raskin, A. Viviani, D. Flandre, and J. P. Colinge, IEEE Trans. Electron

- Devices **44**, 2252 (1997).
- [9] C. M. Nam and Y. S. Kwon, IEEE Micro-wave Guid. Wave Lett. **7**, 236 (1997).
- [10] T. L. Lin and K. L. Wang, Appl. Phys. Lett. **49**, 1104 (1986).
- [11] R. L. Smith and S. D. Collins, J. Appl. Phys. **71**, R1 (1992).
- [12] V. Lehmann and U. Gosele, Appl. Phys. Lett. **58**, 856 (1991).
- [13] V. Parhutik, Solid State Elec. **43**, 1121 (1999).
- [14] H. S. Kim, E. C. Zouzounis, and Y.H. Xie, Appl. Phys. Lett. **80**, 2287 (2002).

Formation of Porous Si by Indirect Electrode Anodization

Soonkyu Kim and Joonyeon Chang^{*}

Nano Device Research Center, Korea Institute of Science & Technology, Seoul 136-791

(Received February 20, 2006)

This study explored the possibility of porous Si (PS) formed by indirect electrode anodization used for effective isolation material for radio frequency integrated circuits (RFIC). We investigated the effect of current density and reaction time on the porosity size and depth, and X-ray diffraction of bulk Si and porous Si to evaluate the change in lattice parameter. Porosity size and depth usually increases with an increase in the current density and reaction time. PS increases the lattice parameter of Si compared to the bulk Si which causes the compressive stress of around 8 MPa. PS formed by the method is believed to be suitable for isolation material for RFIC because it is simple process as well as good compatibility to Si VLSI process.

Keywords : Porous Si, Indirect electrode anodization, Isolation material,
Lattice parameter

* [E-mail] presto@kist.re.kr