

Class-F 구동회로를 사용하는 Class-E 전력 증폭기의 신뢰성

論 文

55C-6-1

Reliability Characteristics of Class-E Power Amplifier using Class-F Driving Circuit

崔 晉 縞[†]
(Jin-Ho Choi)

Abstract - A class-E CMOS RF(Radio frequency) power amplifier with a 1.8 Volt power supply is designed using 0.25 μm standard CMOS technology. To drive the class-E power amplifier, a Class-F RF power amplifier is used and the reliability characteristics are studied with a class-E load network. After one year of operating the power amplifier with an RF choke, the PAE(Power Added Efficiency) decreases from 60% to 47% and the output power decreases 29%. However, when a finite DC-feed inductor is used with the load, the PAE decreases from 60% to 53% and the output power decreases only 19%. The simulated results demonstrate that the class-E power amplifier with a finite DC-feed inductor exhibits superior reliability characteristics.

Key Words : RF 전력증폭기, Class F, Class E, Reliability

1. 서 론

최근 무선 통신의 발달 및 무선 통신 시스템의 수요 증가에 따라 RF 부품에 대한 연구가 활발히 진행되고 있다. 무선 통신 시스템의 송신부에 사용되는 RF 전력 증폭기는 높은 효율을 가짐과 동시에 저전압·저전력 등의 동작이 요구된다. GaAs를 이용한 전력 증폭기의 경우 높은 동작 속도 및 저잡음 특성 등으로 RF 부품을 구성하기에 적합한 장점이 있으나, CMOS 공정 기술에 비해 단가가 높은 단점이 있다. 최근 CMOS 공정 기술의 발달과 더불어 CMOS 공정 기술을 이용한 전력 증폭기, 저잡음 증폭기, 혼합기, 전압제어 발진기 등과 같은 RF 구성 요소들을 one-chip화하기 위한 연구가 활발하게 이루어지고 있다[1-4].

RF 전력 증폭기에서 class-E 전력 증폭기는 비선형 증폭기로서 다른 타입의 증폭기에 비해 높은 효율을 얻을 수 있으며, 또한 큰 출력 전력을 공급하는 장점이 있다. Class-E 전력 증폭기는 입력신호에 따라 트랜지스터가 스위치로 동작하며, 트랜지스터가 이상적인 스위치로 동작할 경우 최대의 PAE를 얻을 수 있다. CMOS 공정을 이용한 class-E 증폭기에서 MOS를 on/off 하기 위한 이상적인 입력신호는 구형파이다. 구형파의 입력신호는 MOS의 천이시간을 줄여서 전력소모를 감소시키기 때문이다. 그리고 최대 전력을 공급하기 위한 구형파의 duty는 50%이다. 그러므로 일반적인 class-E 증폭기의 경우 출력신호가 구형파에 가까운 class-F 증폭기를 구동회로로 사용하고 있다[5, 6].

Class-E 증폭기의 경우 MOS는 입력신호에 따라 on/off

동작을 하며, MOS의 스위칭 동작에 따라 드레인 단자에는 약 $3.57V_{DD}$ 크기의 전압 신호가 발생한다. 그러므로 입력신호에 따라 MOS에는 HC와 FN 스트레스가 인가된다. 이러한 스트레스는 증폭기의 동작 시간에 따라 MOS의 전기적 특성을 변화시키며, 전력 증폭기의 신뢰성 특성에 직접적인 영향을 미치게 된다[7].

본 논문에서는 0.25 μm 표준 CMOS 공정을 이용하여 class-F 증폭기를 구동회로로 사용하는 class-E 전력 증폭기를 설계한다. 그리고 RF 증폭기에서 부하 구성에 따라 MOS에 인가되는 스트레스 특성을 살펴보고 class-E 증폭기의 부하 구성에 따른 신뢰성 특성을 살펴보고자 한다.

2. 본 론

그림 1은 설계되어진 class-E 증폭기 회로도이다. 증폭단은 class-E로 구성하였으며, 구동 회로단은 class-F로 구성하였다.

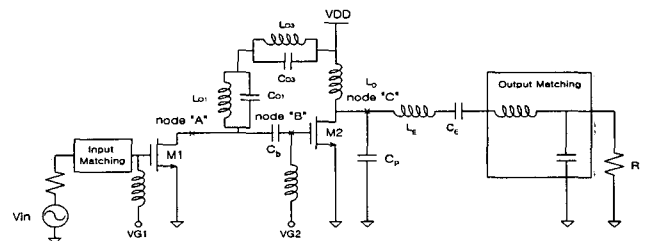


그림 1 Class-E 전력 증폭기 회로도

Fig. 1 Schematic of class-E power amplifier

Class-F 증폭기는 트랜지스터 M1과 공진회로 L_{01} , C_{01} 그리고 L_{03} , C_{03} 로 구성하였다. L_{01} 과 C_{01} 으로 구성된 공진

[†] 교신저자, 正會員 : 부산외국어대학교 컴퓨터공학부 부교수
E-mail : jhchoi@pufs.ac.kr
接受日字 : 2006年 2月 24日
最終完了 : 2006年 5月 9日

회로의 공진주파수는 입력주파수 $3f_0$ 이며, L_{O3} 과 C_{O3} 으로 구성된 공진회로의 공진주파수는 f_0 이다. Class-F 전력 증폭기에서 전압 신호는 기본 주파수의 짝수 고조파는 제거하고 홀수 고조파는 통과시킴으로서, node A의 전압은 구형파에 가까운 파형이 된다. 트랜지스터 M2, 커패시터 C_P , 공진회로 L_E , C_E 는 class-E 증폭기를 구성하고 있다. L_E 와 C_E 로 구성된 공진회로의 공진 주파수는 입력주파수 f_0 이다.

설계되어진 증폭기에 사용된 MOS M1의 채널 폭은 $750\mu\text{m}$ 이며, 채널 길이는 $0.25\mu\text{m}$ 이다. 그리고 MOS M2의 채널 폭은 $1,000\mu\text{m}$ 이며, 채널 길이는 $0.25\mu\text{m}$ 이다. MOS M1과 M2는 채널 폭이 $2.5\mu\text{m}$ 인 MOS를 병렬로 연결하여 구성하였다. 그리고 공급전압은 1.8volt이며 입력주파수는 900MHz이다. 그림 1에서 각 소자의 값은 표1과 같다. 그리고 트랜지스터는 MOSIS사의 $0.25\mu\text{m}$ 트랜지스터 모델 파라미터를 사용하였으며, 회로의 시뮬레이션은 HP-ADS를 사용하였다.

표 1. class-E 전력 증폭기의 소자 크기

Table 1. The device values of the class-E power amplifier

소자	크기[nH]	소자	크기[pF]
L_{O1}	0.5	C_{O1}	6.96
L_{O3}	2.0	C_{O3}	15.7
L_E	3.0	C_E	10.4

그림 2는 M1 드레인(노드 A), M2 게이트(노드 B) 그리고 M2 드레인(노드 C) 단자의 전압 파형이다. 시뮬레이션 결과로부터 M1 드레인 단자의 전압 파형은 구형파에 가까운 형태임을 알 수 있으며, class-E 증폭기의 드레인 단자 전압은 $3.57V_{DD}$ 전압인 6.5volt 정도임을 알 수 있다.

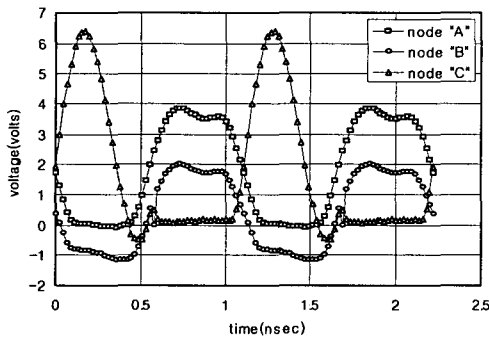


그림 2 RF choke 전력 증폭기의 게이트와 드레인 전압
Fig. 2 Gate and drain voltages in RF choke power amplifier

RF 전력 증폭기에서 스위치로 동작하는 MOS는 on/off 동작에 따라 HC와 FN 스트레스를 받게 된다. 그림 3은 RF 전력 증폭기에서 스위치로 동작하는 MOS 트랜지스터의 HC와 FN 스트레스에 따른 모델회로이다[7]. 그림 3에서 DC 파라미터인 저항 R_{SS} 는 스트레스에 따른 이동도 감소로 인한 드레인 전류의 감소를 나타내며, R_{GD} 는 게이트와 드레인 사이의 누설전류를 나타낸다. 그리고 AC 파라미터 C_{DB} 와 R_{DB} 는 스트레스 시간에 따른 출력 저항의 감소를 나타낸다. 발표된 모델 식에 의하면, HC 스트레스는 회로의 동작 시간과 기판 전류의 함수로 표현되며, FN 스트레스는 게이

트전압과 회로의 동작시간 함수로 표현되어진다. 그러나 그림 2에서 보듯이 class-E 전력 증폭기의 경우 게이트 단자의 전압이 낮은 관계로 FN 스트레스에 따른 영향은 거의 발생하지 않으며, 높은 드레인 단자의 전압으로 인한 HC 스트레스가 MOS 특성 변화의 주 원인이 된다. 표 2는 HC 스트레스에 따른 R_{SS} , R_{GD} , C_{DB} 와 R_{DB} 의 모델식이다.

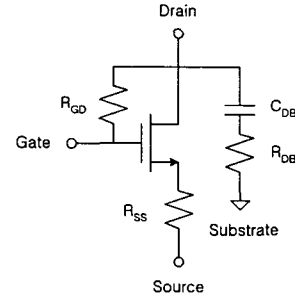


그림 3 MOS의 HC와 FN 스트레스 모델 회로
Fig. 3 MOS degradation model circuit of HC stress and FN stress

표 2 HC 스트레스에 따른 저항 및 커패시트 모델 식

Table 2 R and C model equations with HC stress

Parameters	Description
x	$I_{SUB}/(W/L)$, I_{SUB} : 기판전류
t	Operating time
$R_{SS} = [t/R_{SSx}]^y$	
$R_{SSx} = [-3.46 + 17.7 \exp(\frac{-x}{0.39}) + 2.21 \exp(\frac{-x}{3.23})] + [-2.15 + 15.9 \exp(\frac{-x}{0.746})]x$	
$y = 0.54 - 0.23 \exp(-x/1.71)$	
$T_{CD} = 10^{17} \exp(-6.1x)$	
10^{11} when stress time $< T_{CD}$, 10^5 when stress time $> T_{CD}$	
$R_{DB} = (\frac{16 - 1.25 \log(t)}{x}) - 1.48 \log(t) + 15$	
$C_{DB} = [3.7 + \frac{-1.7}{1 + (\log(t)/1645)^{0.45}}]x + 15$	

그림 4와 그림 5는 스트레스 모델회로 및 모델식을 이용하여 시뮬레이션한 MOS의 전기적인 특성 변화이다. 시뮬레이션에 사용된 파라미터 R_{SS} , R_{GD} , R_{DB} , C_{DB} 의 값은 스트레스 시간에 따라 표 2를 이용하여 계산하였다. MOS M1의 기판 전류는 드레인 전압의 감소에 따라 MOS M2의 기판 전류 크기의 약 1/4.76 정도였다[8]. 그림 4는 class-F에 사용된 MOS M1의 전기적인 특성 변화로서 약 1년 정도의 스트레스 인가 후 전류는 약 12.9%가 감소하였다. 그러나 그림 5의 class-E에 사용된 MOS M2는 1년 후에 49.5%의 전류가 감소하였다. MOS의 특성 변화는 증폭 회로의 특성을 변화시키고 이로 인하여 회로의 수명은 짧아진다. 그러나 MOS의 드레인 단자 전압을 낮추어 준다면 스트레스에 따른 MOS의 특성 변화는 줄일 수 있을 것이다.

Class-E 증폭기의 경우 RF choke로 사용된 부하 인덕터 L_D 의 값을 감소시킴으로서 드레인 단자의 전압을 감소시킬

수 있다. 또한 작은 인덕터의 경우, 즉 DC-feed 인덕터를 부하로 사용한 경우 RF choke에 비해 큰 출력 전력을 얻을 수 있는 장점이 있다[9]. MOS의 드레인 단자의 전압을 낮추기 위하여 그림 2의 회로에서 RF choke로 사용된 인덕터 L_D 를 1mH에서 1nH로 감소시켰다. 이때 DC-feed 인덕터의 크기는 드레인 단자의 전압이 $2.5V_{DD}$ 가 되도록 인덕터의 크기를 감소시켰으며, 그림 1에서 출력 매칭 회로는 gain을 고려하여 인덕터와 커패시터의 크기를 조절하였다.

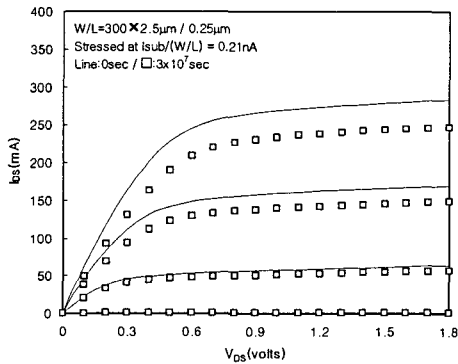


그림 4 HC Stress에 따른 IDS-VDS 특성(M1)
Fig. 4 IDS-VDS Characteristics with HC stress(M1)

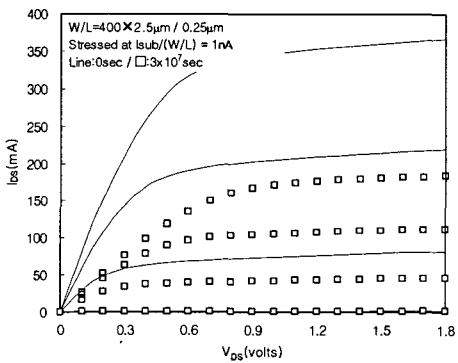


그림 5 HC Stress에 따른 IDS-VDS 특성(M2, LD:1mH)
Fig. 5 IDS-VDS Characteristics with HC stress(M2, LD:1mH)

그림 6은 class-E 증폭기에서 L_D 의 값을 감소시켜 설계한 증폭기의 특성이다. RF 증폭기에서 M1의 드레인과 M2의 게이트 전압은 동일하나, M2 드레인 단자의 전압은 감소하였음을 알 수 있다. 이때 드레인 단자의 전압은 약 $2.5V_{DD}$ 인 4.5volt 정도이다. 이 경우 기판전류는 L_D 가 1mH일 때에 비해 약 1/2.86로 감소하였다. 그림 7은 드레인 전압 4.5volt에 대한 MOS M2의 스트레스 인가 후의 특성이다. 그림 5와 비교하였을 때 MOS의 전류 변화는 16.9%로서 인덕터의 값을 감소시켰을 때 특성 변화가 작다는 것을 알 수 있다.

그림 8은 시간에 따른 class-F의 M1, 부하 인덕터 L_D 가 1mH와 1nH일 때 class-E 증폭기 M2의 시간에 따른 I_{DS} 의 변화이다. ΔI_{DS} 는 초기의 드레인 전류 I_{DS} 값과 시간에 따른 전류의 차이이다. Class-F의 경우 낮은 드레인 전압으로 인하여 시간에 따른 특성의 변화가 가장 작다는 것을 알 수 있으며, RF choke를 부하 인덕터로 사용한 class-E 증폭기의 MOS에서 특성의 변화가 가장 크다는 것을 알 수 있다.

그림 9는 부하 인덕터 L_D 의 값에 따른 PAE와 출력 전력의 변화이다. 그림 9를 보면 L_D 의 값이 1mH일 때 1년 후의 PAE 특성은 60%에서 약 47%로 감소하였으며, 출력 전력은 77mW에서 55mW로 변화하여 28.6%가 감소하였다. 그러나 L_D 의 값이 1nH일 때 PAE는 60%에서 53%로 변화하였으며, 출력 전력은 123mW에서 100mW로 변화하여 18.7%만이 감소함으로써 충분히 사용 가능한 출력 전력 특성을 보여 주었다. 그러므로 class-E 증폭기에서 인덕터의 값을 감소시켜 회로를 구성할 경우 높은 효율 및 출력 전력을 얻을 수 있을 뿐 아니라 충분한 신뢰성 특성도 얻을 수 있다.

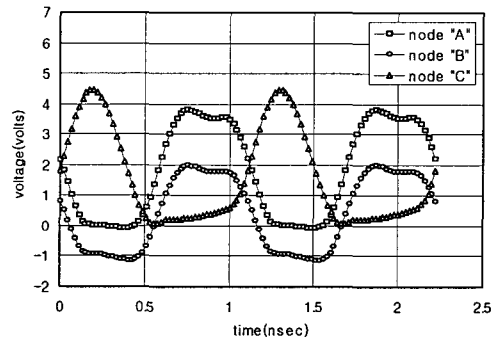


그림 6 DC-feed 전력 증폭기의 게이트와 드레인 단자의 전압
Fig. 6 Gate and drain voltages in the DC-feed power amplifier

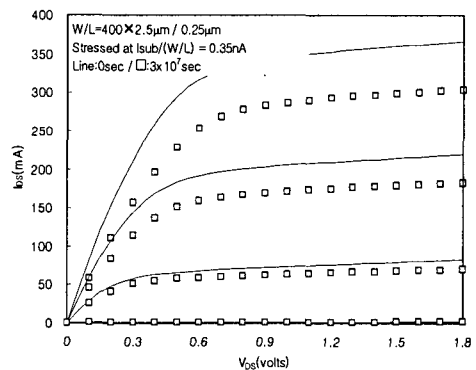


그림 7 HS Stress에 따른 IDS-VDS 특성(M2, LD:1nH)
Fig. 7 IDS-VDS Characteristics with HC stress(M2, LD:1nH)

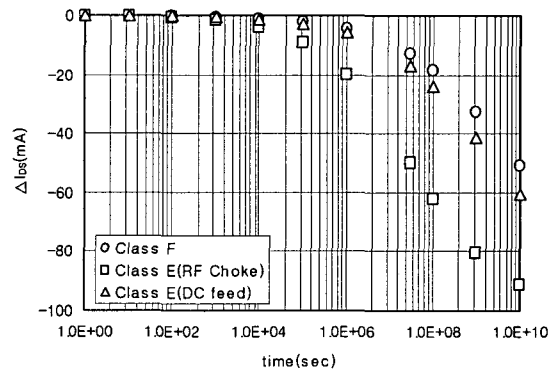
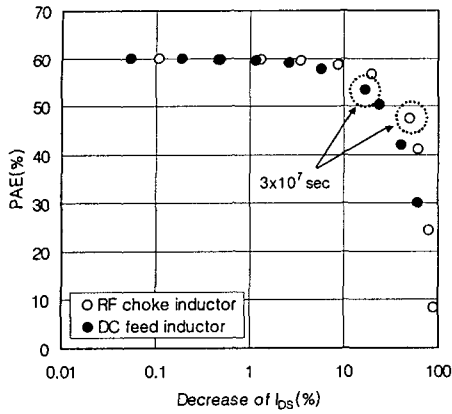
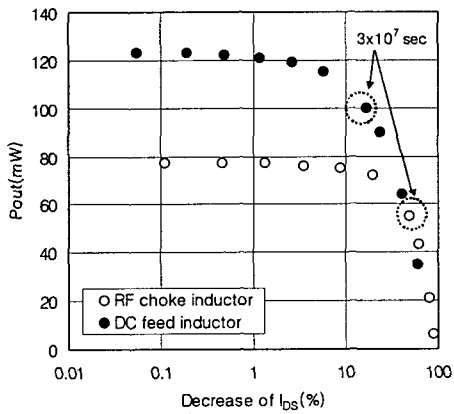


그림 8 스트레스 시간에 따른 드레인 전류 IDS의 변화
Fig. 8 The change of drain current IDS with stress time

참 고 문 헌



(a)



(b)

그림 9 드레인 전류의 감소에 따른 PAE 및 출력 전력 (a) PAE (b) 출력전력

Fig. 9 The PAE and output power against the drain current degradation (a) PAE (b) output power

3. 결 론

본 논문에서는 0.25 μ m 표준 CMOS 공정을 이용하여 입력 전압 1.8volt, 입력 주파수 900MHz에서 동작하는 class-E 전력 증폭기를 설계하였다. 그리고 설계되어진 class-E 전력 증폭기의 구동을 위하여 class-F 전력 증폭기를 사용하였다. Class-E 전력 증폭기에서 MOS의 드레인과 공급전압 사이에 연결된 부하 인덕터 L_D 의 값을 감소시킬 경우 높은 출력 전력을 얻을 수 있는 장점이 있다. 그리고 MOS의 스위칭에 따른 드레인 단자의 전압을 3.57 V_{DD} 의에서 2.5 V_{DD} 로 감소시켜 회로의 동작에 따른 MOS의 특성 변화도 줄일 수 있다. 그러므로 class-E 전력 증폭기에서 DC-feed 인덕터를 사용하는 경우 RF choke를 사용하는 경우에 비해 높은 출력 전력 뿐 아니라 향상된 신뢰성 특성을 얻을 수 있다.

감사의 글

본 연구는 2004년도 부산외국어대학교 학술연구조성비에 의하여 연구되었습니다.

[1] E. Morifuji, H.S.Momose, et al, "Future perspective and scaling down Roadmap for RF CMOS," Symposium on VLSI Circuits Dig. of Technical Papers, pp. 165-166, 1999.

[2] P. J. Sullivan, B. A. Xavier, and W. H. Ku, "Low voltage performance of a microwave CMOS Gilbert cell mixer," IEEE. J. Solid-State Circuits, vol. 32, pp. 1151-1155, 1997.

[3] R. A. Rafla and M. N. Gamal, "Design of a 1.5V CMOS integrated 3GHz LNA," in proc. ISCAS, pp. 440-443, 1999.

[4] Steve Hung-Lung Tu and Fu Jen, "Class E RF Tuned Power Amplifiers in CMOS Technologies : Theory and Circuit Design Considerations," IEEE Radio Communications, pp. S6-S11, September 2004.

[5] Chris Trask, "Class-F Amplifier Loading Networks:A Unified Design Approach," IEEE MTT-S Digest, pp. 351-354, 1999.

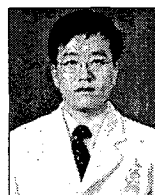
[6] Tirdad Sowlati, C. Andre T. Salama, et al, "Low Voltage, High Efficiency GaAs Class E Power Amplifiers for Wireless Transmitters," IEEE Journal of Solid-State Ciruits, vol. 30, No. 10, pp. 1074-1080, 1995.

[7] W. C. Lin, T. C. Wu, Y. H. Tsai, L. J. Du, and Y. C. King, "Reliability evaluation of class-E and class-A power amplifiers with nanoscaled CMOS technology," IEEE Trans. on Electron Devices, vol. 52, No. 7, July 2005.

[8] J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko and C. Hu, "Low-voltage hot-electron currents and degradation in deep submicrometer MOSFET's," IEEE. Trans. on Electron Devices, vol. 37, No. 7, pp. 1651-1657, July 1990.

[9] C. Yoo, and Q. Huang, "A common-gate switched 0.9W class-E power amplifier with 41% PAE in 0.25um CMOS," IEEE. J. Solid-State Circuits, vol. 36, No. 5, pp. 823-830, May 2001.

저 자 소 개



최진호(崔晋鎬)

1985년 부산대학교 전자공학과 졸업. 1987년 KAIST 전기 및 전자공학과 석사 졸업. 1992년 KAIST 전기 및 전자공학과 박사 졸업. 1996-현재 부산외국어대학교 근무
Tel : 051-640-3194
Fax : 051-640-3038
E-mail : jhchoi@pufs.ac.kr