

논문 2006-43SD-5-5

설계사양기반 RF 집적회로의 시간영역 테스트링 기법

(The time domain testing technique of RFIC based on specifications)

한 석 봉*, 백 한 석**, 김 강 철***

(Seok Bung Han, Han Suk Baek, and Kang Chul Kim)

요 약

본 논문에서는 무선 트랜시버 구성요소들의 완제품 테스트를 용이하게 할 수 있는 새로운 테스트 기법을 제안하였다. 즉, RF 집적회로에 존재하는 고장들에 대하여 설계사양의 정보를 포함하는 구간고장모델(band fault model)을 제안하고 이 구간고장모델들의 변화를 회로의 출력에서 그대로 관찰할 수 있도록 함으로써 시간영역에서 설계사양에 대한 테스트를 용이하게 할 수 있는 방식을 제시하였다. 이 방식은 주파수 영역에서 테스트를 행하는 기존의 설계사양 테스트를 시간영역에서 용이하게 테스트할 수 있도록 함으로써 고가의 테스트 장비가 필요 없으며 테스트 시간이 단축되는 장점이 있다. 본 논문에서 제시된 테스트 기법을 5.25 GHz 저잡음증폭기의 테스트에 적용하여 설계사양을 고려한 시간영역 테스트 기법이 저잡음증폭기를 비롯한 RF 집적회로의 테스트에 매우 효과적임을 입증하였다.

Abstract

In this paper, a new testing technique for core components of wireless transceiver was proposed. That was, band fault models (including the information of specifications in the analogue and RF IC) and methods which can test specifications in the time domain easily by observing a variation of band fault models in the circuit output were proposed and developed. This technique had an advantage over testing technique in frequency domain because it didn't need expensive test equipments and could reduce the time required. Test technique proposed in this paper was adapted to the test of 5.25 GHz low noise amplifier and proved that this testing technique was efficient in RF IC including low noise amplifier.

Keywords: time domain testing, RFIC, specification testing, band fault modeling

I. 서 론

정보기술과 고주파 통신기술의 급속한 발전으로 RF 집적회로의 수요가 폭발적으로 증가하여 그 개발이 가속화되고 있다. 이러한 RF 소자의 개발 시에는 먼저 저렴한 가격으로 공급이 가능하도록 하는 한편, 짧은 제

품 사이클을 고려하여 다른 제조회사보다 먼저 시장에 출시하여야 제품이 경쟁력을 가진다. 따라서 신제품 출하 시, 완제품 테스트(production test)는 저렴한 테스트 비용으로 매우 높은 신뢰도를 갖게 하는 동시에 가능한 최단시간 내에 이루어져야 한다. 그런데 최근 아날로그 및 혼성신호 집적회로의 테스트 시, 테스트 비용은 전체 제조비용의 50% 까지 차지하여 제품가격이 상승하는 요인이 되고 있으며 여기에 RF 소자의 개입으로 인하여 테스트는 더욱 어려워지고 있다.^[1-2] 따라서 최소한의 비용과 시간이 드는 경제적인 테스트 기술이 필요하게 된다.

한편, 아날로그/RF 집적회로에 사용되는 테스트 기술은 설계사양 테스트(specification testing) 방식과 고장 모델을 고려한 테스트(fault model-oriented testing) 방식이 있다.

* 정회원, 경상대학교 전자공학과, 공학연구원 연구원
(Dept. of Electronic Engineering, Gyeongsang National University, Engineering Research Institute)

** 정회원, 한국항공 우주산업(주)
(Korea Aerospace Inc.)

*** 정회원, 전남대학교 컴퓨터 공학과
(Dept. of Computer Engineering, Chonnam National University)

※ 이 논문은 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원과 IDEC 지원을 받아 수행된 연구임(KRF-2004-202-D00527)

접수일자: 2006년2월8일, 수정완료일: 2006년5월8일

설계사양 테스트 방식은^[11] 테스트하고자 하는 회로의 모든 설계사양들(이득, 잡음여유, 선형성 등)을 측정하고 그 값이 허용된 범위 내에 있는지를 판단하여 설계사양의 고장 유, 무를 판단한다. 이 방식은 설계자가 제시한 설계사양들을 직접 테스트하므로 테스트 평가가 용이하고 회로내의 고장모델을 고려하지 않으므로 별도의 테스트 입력신호가 요구되지 않는다. 그러나 모든 설계사양들이 주파수 영역에서 측정되므로 값비싼 전용 테스트장비를 사용하여야 하며 긴 테스트 시간이 요구되므로 비경제적이다. 따라서 대량생산 단계의 RF 집적회로의 완제품테스트에서는 테스트 비용이 높아 실용적인 테스트 방식이라고 할 수 없다.

고장모델을 고려한 테스트 방식은^[5-15] 제조상에서 발생하는 공정결함 등을 회로수준의 고장으로 모델링하고 회로의 입력에서 테스트 신호를 인가한 후, 고장이 없을 때와 존재 할 때의 출력 값을 비교하여 회로의 고장 유·무를 판단한다. 이 방식은 고장검출률의 계산이 용이하고 시간영역에서 테스트가 수행되므로 저가의 테스트장비가 사용되며 테스트 시간이 짧은 장점이 있다. 그러나 설계사양 테스트와 동일한 결과를 얻기 위하여 설계사양을 고려하여 고장들을 모델링 하여야 하며 이들의 변화를 출력에서 효과적으로 관찰할 수 있도록 하는 테스트 입력신호의 생성과 출력결과를 평가할 수 있는 방식이 필요하다.

지금까지 아날로그 집적회로에 대하여는 설계사양을 고려한 고장모델링 방식^[13,14]이 일부 제안되고 있으나, RF 집적회로에 대하여는 체계적으로 연구되어 있지 않다. 아날로그회로에 대한 기존의 연구는 회로의 설계사양과 소자 파라미터사이의 상관관계로부터 테스트하여야 하는 설계사양들의 수를 줄이는 방식^[14]이 있다. 또한, RF 집적회로의 고장모델(설계사양을 고려하지 않음)에 대한 연구로는 2.4GHz 저잡음증폭기의 레이아웃 기반 브리지(bridge) 고장과 일정한 값을 갖는 파라메트릭 고장^[7] 그리고 저잡음증폭기와 믹서내의 강고장 및 특정 값을 가정한 파라메트릭 고장들에 대한 연구^[9,13] 등이 있으나 테스트 결과가 설계사양의 결과와 일치하지 않는 문제점이 있다.

한편, 고장모델을 고려한 테스트 방식에서는 고장모델들의 변화를 출력에서 효과적으로 관찰할 수 있도록 하는 테스트 입력신호의 생성이 매우 중요하며 이에 관한 기존의 연구는 다음과 같다. M. Slamani 등^[4]은 정현파 테스트 입력신호를 테스트 입력으로 사용하고, 고장검출률을 향상시키는 정현파 주파수를 선택하기

위하여 최대최소 최적화(minimax optimization) 문제를 이용하였다. 과도파형을 이용한 테스트 방식^[7,13,18,19]에서는 CUT에 과도 테스트 입력신호가 인가되고, 회로 응답은 고장의 존재를 검출하기 위하여 특정된 시간에 샘플링된다. P. N. Variyam 등^[16]은 테스트 입력신호를 인가하고 결과적인 테스트 측정값들로부터 설계사양 값을 예측하고, 이 데이터에 의하여 회로의 고장 유·무를 판단하는 테스트 방식을 제안하였다. A. Balivada 등^[3]은 파라메트릭 고장을 검출하기 위하여 정현파 테스트입력과 포화된 램프 테스트 입력을 사용하였다. 또한 펄스형태의 입력 신호를 인가하고 출력에 나타나는 과도응답을 샘플링하여, 고장이 없는 값과 있을 때의 값을 비교하여 테스트하는 방식을^[13] 제안하였다. 기존의 연구결과^[3,13]에서는 정현파 테스트입력의 사용이 램프 파형보다 생성과 인가는 용이하나, 정상상태 파형을 고려하기 때문에 테스트 시간이 많이 걸리며, 램프 파형과 같은 과도파형들은 많은 주파수 성분이 압축된 테스트 파형으로 정현파 테스트입력보다 고장검출률이 매우 높다.

본 논문에서는 RF 집적회로에 존재하는 설계사양의 정보를 포함하는 구간고장모델(band fault model)을 제시하고, 이 구간고장모델들의 변화를 회로의 출력에서 그대로 관찰할 수 있도록 함으로써 시간영역에서 설계사양들에 대한 테스트를 용이하게 할 수 있는 방식을 제안한다. 즉 회로의 입력에 과도파형의 일종인 단일스텝 테스트 입력신호를 인가하고, 출력에서 나타나는 출력파형의 변화를 시간영역에서 측정하여 설계사양의 고장에 영향을 주는 구간 고장들의 값을 정확하게 예측할 수 있도록 한다. 그리고 구간고장모델들의 변화를 출력파형의 변화로 선형적으로 사상할 수 있는 단일스텝 테스트 입력신호를 생성하는 방법을 제시한다. 본 논문에서 제시된 테스트 기법을 5.25 GHz 저잡음 증폭기의 테스트에 적용하여 그 타당성을 입증한다.

II. 설계사양을 고려한 구간고장모델링 기법

RF 집적회로에 존재하는 고장들은 강고장과 파라메트릭고장으로 분류되며, 강고장은 저항, 커패시터, 트랜지스터등과 같은 회로소자의 개방 혹은 단락고장을 나타내고 파라메트릭고장은 이 회로소자 값의 변화를 나타내며 보통 특정한 값을 갖는 것으로 정의한다. 이러한 고장들은 대부분 물리적인 제조결함으로 발생되며 연역적 고장분석(Inductive Fault Analysis : IFA) 등과

같은 컴퓨터에 의한 분석법에 의하여 모델링되고, 테스트의 유효성과 고장검출률을 평가하는 척도로서 이용된다. 그러나 이러한 고장들은 회로의 설계사양에 미치는 영향이 고려되지 못하여 실제적인 칩 테스트에 적용하기가 어려웠다. 본 논문에서는 이러한 문제점을 해결하기 위한 방법으로 설계사양을 고려한 구간고장모델을 제시한다. 즉 테스트하고자 하는 회로의 설계사양들을 만족하는 각 회로소자 값의 범위를 구간고장모델로 정의한다. 각 회로소자의 값이 구간고장 내에 있다면 모든 설계사양을 만족하나, 구간고장 밖에 있을 때는 구간고장이 발생하고 이 경우는 테스트하고자 하는 회로가 설계사양을 만족하지 못한다. 그러므로 RF 집적회로의 테스트 시에, 설계사양을 테스트 할 필요가 없어지고 각각의 고장모델의 값이 허용범위를 만족하는지를 테스트한다. 즉, 출력에서 측정되는 결과 값에 의하여 모든 고장모델의 허용범위가 만족된다면 이는 설계사양을 모두 만족하는 것으로 판단한다. 기존의 논문에서 고려하는 강고장은 구간고장모델에 포함되며, 파라메트릭고장 값의 변화도 이와 유사하다.

본 논문에서 고려하는 RF 집적회로내의 구간고장모델들은 설계사양을 만족하는 수동소자 저항, 인덕터, 커패시터 값의 허용범위를 나타내는 구간고장, 능동소자 MOS 트랜지스터의 V_{th} , L/W , K_1 , U_0 값의 허용범위를 규정하는 구간고장 그리고 MOS 트랜지스터의 게이트 옥사이드 브레이크다운에 의한 트랜지스터 파라미터 값의 허용범위를 나타내는 구간고장이다. 특히 게이트 옥사이드 브레이크다운에 의한 구간고장은 RF 집적회로의 스케일링(scaling)에 의하여 발생하는 고장으로 주로 핑거(finger)형태의 게이트 중 핑거가 없어지거나, 인접한 핑거와 단락되는 경우에 발생되며 결과적으로 MOS 트랜지스터 파라미터들 중 V_{th} , K_1 , U_0 값의 변화에 영향을 미친다.^[16]

RF 집적회로 내에 존재하는 구간고장을 모델링하기 위하여 설계사양을 고려하는 허용구간이 결정되어야 한다. 우선 테스트하고자 하는 회로의 설계사양에 대한 정상구간을 결정하고(일반적으로 설계자에 의해 주어짐)이 회로에서 고려되어야 하는 구간고장모델을 선택한다. 그리고 회로의 설계사양을 만족하는 구간고장모델의 허용구간을 결정하는 과정은 다음과 같은 순서로 행해진다.

1. 회로설계사양의 정상구간 결정

회로의 성능을 나타내는 n 개의 설계사양, $S=[s_1, s_2,$

$s_3, \dots, s_n]$ 을 고려한다. 예를 들어, RF 집적회로인 경우의 설계사양은 이득, 잡음여유, 입력3차교차점 등이 될 수 있다. 일반적으로 이 설계사양은 회로 설계자에 의하여 결정된다. 각 설계사양의 최대값을 $S^u=[s_1^u, s_2^u, \dots, s_n^u]$ 라 하고, 각 설계사양의 최소값을 $S^l=[s_1^l, s_2^l, \dots, s_n^l]$ 라 할 때, 각 설계사양의 고장이 없는 정상구간은 $s_1^l \leq s_1 \leq s_1^u, s_2^l \leq s_2 \leq s_2^u, \dots, s_n^l \leq s_n \leq s_n^u$ 이다. 이때 s_i ($1 \leq i \leq n$)의 측정값이 이 범위의 밖에 있다면 설계사양 s_i 가 만족하지 않는다고 간주한다. 설계된 회로의 각 설계사양의 정상값은 $S_o=[s_{1o}, s_{2o}, \dots, s_{no}]$ 이다.

2. 구간고장모델의 선택

회로내에 m 개의 구간고장모델 $P=[p_1, p_2, \dots, p_i, \dots, p_m]$ 을 고려한다. 이때 p_i 는 회로내의 저항, 커패시터, 인덕터 그리고 MOS 트랜지스터의 V_{th} , L/W 등을 나타낸다. 각 구간고장모델의 정상 값은 $P_o=[p_{1o}, p_{2o}, \dots, p_{mo}]$ 이다. 기존의 연구에서 제시된 강고장과 파라메트릭 고장들은 구간고장모델의 일부로 포함된다. 특히 파라메트릭고장의 경우, 정상 값에서 임의의 값으로 변화된 특정 값을 고장모델로 가정하였으나, 구간고장모델에서는 가능한 모든 값을 고려하게 된다.

3. 설계사양을 고려한 구간고장모델의 최대 값, 최소 값 결정

한 구간고장에 대하여, 각 설계사양을 만족하는 구간고장 변화 값의 범위를 구한 후, 모든 설계사양을 동시에 만족하는 구간고장의 최대 값과 최소 값을 결정한다. 이 과정을 모든 구간고장에 적용한다. 이를 구하기 위해서는 각 구간고장모델과 설계사양과의 관계식을 유도한다. 이 관계식은 이들의 관계가 명백(explicit)하고 단순(simple)하다면 쉽게 구할 수 있으나 이러한 관계가 암시적(implicit)이고, 회로의 규모가 크거나 능동소자가 포함되어 있을 경우에는 이런 방식으로 유도하기는 매우 어렵다. 따라서 본 연구에서는 컴퓨터 시뮬레이션에 의한 방식을 사용한다. 여기에 사용된 시뮬레이터는 Cadence 사의 Spectre RF 시뮬레이션 툴^[21]이다. 즉, 구간고장모델 값의 변화에 대한 설계사양의 변화들이 직접 툴에 의하여 시뮬레이션 된다. 설계사양과 구간고장 값의 변화 관계가 표 혹은 그래프 형태로 얻어질 수 있고, 이 관계 표나 그래프로부터 각 설계사양의 허용범위를 만족하는 구간고장의 최대 값과 최소 값을 구할 수 있다. 이 방법으로 모든 설계사양에 대한 모든 다른 구간고장의 허용범위도 구할 수 있다. 그러므로

설계사양들 중의 j 번째 설계사양 $s_j \in S$ 는 그 회로의 모든 구간고장들의 함수이다.

RF 집적회로 내에 존재하는 단일고장(single fault)을 고려하고, 구간고장 p_i 가 발생하는 경우를 가정한다. j 번째 설계사양 s_j 는 $s_j(p_i) = f(p_1, p_2, \dots, p_{i-1}, p_i, p_{i+1}, \dots, p_m)$ 을 나타낸다. 이때 변화하는 p_i 만을 제외한 다른 모든 p_i 는 고정값을 갖는다.

s_j 의 허용범위가 $s_j^l \leq s_j \leq s_j^u$ 라고 가정한다. 설계사양 s_j 에 대한 p_i 의 설계사양을 만족하는 구간은 다음에 의해 구할 수 있다.

$$s_j(p_i) = f(p_{10}, p_{20}, \dots, p_{i-10}, p_i, p_{i+10}, \dots, p_{m0}) \leq s_j^u, \\ s_j(p_i) = f(p_{10}, p_{20}, \dots, p_{i-10}, p_i, p_{i+10}, \dots, p_{m0}) \geq s_j^l.$$

설계사양 s_j 에 대한 구간고장 p_i 의 고장이 없는 구간의 최대값과 최소값은 각각 p_i^u, p_i^l 이다. 이때 설계사양 값의 변화가 구간고장으로 모델링 되기 위해서는 다음의 조건들을 만족하여야 한다.

구간고장 값 p_i 의 최대 값과 최소 값을 p_i^u, p_i^l 이라 하고, 이에 대응하는 설계사양 값을 $f(p_i^u), f(p_i^l)$ 이라 한다.

다음으로 모든 설계사양 s_j ($1 \leq j \leq n$)를 만족하는 i 번째 구간고장의 최종 최대 값 p_i^u 와 최소 값 p_i^l 은 다음과 같다.

$$p_i^u = \text{최소값}(p_{i1}^u, p_{i2}^u, \dots, p_{in}^u) \\ p_i^l = \text{최대값}(p_{i1}^l, p_{i2}^l, \dots, p_{in}^l)$$

마찬가지 방법으로 모든 구간고장 p_i ($1 \leq i \leq m$)에 대한 최대값, $P^u = (p_1^u, p_2^u, \dots, p_m^u)$ 이고, 최소값, $P^l = (p_1^l, p_2^l, \dots, p_m^l)$ 이다.

이상의 방법으로 모델링한 설계사양을 만족하는 m 개의 구간고장들은 다음과 같다.

$$p_1^l \leq p_1 \leq p_1^u, \\ p_2^l \leq p_2 \leq p_2^u, \dots \\ \vdots \\ p_m^l \leq p_m \leq p_m^u.$$

본 논문에서 제안한 방법으로 모델링한 구간고장들은 설계사양의 허용구간에 대한 정보를 모두 포함하고 있으므로 구간고장모델들을 테스트하면 설계사양 테스

트 결과와 동일한 결과를 얻을 수 있다. 그러므로 이 구간고장 모델의 변화 값을 회로의 출력에서 관찰함으로써 용이하게 테스트 할 수 있다.

III. 구간고장모델에 대한 시간영역 테스트 기법

본 장에서는 설계사양 정보가 포함된 구간고장모델들의 변화를 회로 출력에서 그대로 관찰하여 시간영역에서 설계사양에 대한 테스트를 용이하게 하는 방식을 제안한다. 즉 회로의 입력에 테스트 파형을 인가하여 출력에서 나타나는 출력파형의 변화를 시간영역에서 측정하여 설계사양의 고장에 영향을 주는 구간고장들의 값을 정확하게 예측할 수 있도록 한다. 이를 위해서 우선 구간고장모델들의 변화 값이 출력에 그대로 사상(mapping)될 수 있도록 하는 테스트 입력신호의 생성과 출력파형에 대한 평가방식이 필요하다. 구간고장모델의 변화 값과 출력파형의 결과 값의 관계는 그래프 혹은 표로 나타낸다. 그러나 이 관계는 매우 암시적(implicit)이고 회로의 크기가 클 경우, 매우 복잡한 문제로 나타나므로 본 논문에서는 컴퓨터 시뮬레이션에 의하여 구하며, 그 고장검출 과정은 다음과 같다.

1. 테스트 입력신호의 생성

한 테스트 입력신호 T 에 의하여 m 개의 모든 구간고장들의 변화 값이 회로의 출력 값으로 사상된다면, 이 테스트 신호에 의하여 모든 설계사양의 고장이 회로의 출력에서 검출이 가능하다. 그러므로 이 테스트 신호 T 는 단일 테스트 입력신호가 된다.

한편, k 개의 테스트 입력신호 T_b ($1 < b \leq k$)에 의하여 m 개의 모든 구간고장들의 변화 값이 회로의 출력으로 사상된다면 이 k 개의 테스트 입력신호들에 의하여 모든 설계사양의 고장이 회로의 출력에서 검출가능하다. 이때 이 k_i 개의 입력신호들은 테스트 입력신호 집합이 된다.

일반적으로 RF 집적회로의 테스트 입력신호는 정현파^[4], 구형파^[9,13] 그리고 램프파^[3] 테스트 입력신호 등이 있다. 기존의 연구에서는 다양한 주파수 성분을 포함하는 구형파 입력이 정현파 보다 더 높은 고장 검출률을 나타낸다고 제안되었다^[3].

본 논문에서는 이 테스트 입력신호의 수를 최소화 할 수 있는 입력파형으로 단일 스텝파형을 사용하고, 이 파형의 상승시간과 하강시간의 일정한 범위에서 m 개의 구간고장들이 회로의 출력에 사상될 수 있음을 보인

다. 따라서 이 범위내의 특정한 상승 및 하강시간을 갖는 단일스텝 파형을 인가한 후, 회로의 출력 값을 측정하여 이 값이 고장이 없는 측정값의 범위 내에 있는지를 판단하여 테스트하고자 하는 회로의 고장여부를 확인할 수 있다.

2. 구간고장모델의 출력파형 측정값으로의 사상

테스트하고자 하는 회로에 테스트 입력신호 T 를 인가한 후, 회로출력에서 출력 값을 측정한다. 이때 구간고장모델 값의 변화가 테스트 입력신호 T 에 의하여 출력 측정값으로 그대로 사상되기 위한 조건은 다음과 같다.

한 구간고장모델 p_i 의 허용최대 값과 최소 값을 각각 p_i^u, p_i^l 이라 하고, 이에 대응하는 측정값을 각각 $M(p_i^u), M(p_i^l)$ 이라 한다. 또한 p_i^u 와 p_i^l 사이에 존재하는 임의의 구간고장모델 값을 p_a 라 하고 이에 대응하는 측정값을 $M(p_a)$ 라 한다. 이때 구간고장모델 값의 변화가 출력에서 측정되는 파형의 파라미터 값의 변화로 성공적으로 사상되기 위해서는 다음의 두 가지 경우를 만족하여야 한다.

가. 출력사상 조건 1 : ($M(p_i^u) > M(p_i^l)$ 일때 (그림 1) $p_i^l < p_a < p_i^u$ 를 만족하는 p_a 에 대하여, $M(p_i^l) < M(p_a) < M(p_i^u)$ 이고, $p_a < p_i^l$ 혹은 $p_a > p_i^u$ 를 만족하는 p_a 에 대하여는 $M(p_a) < M(p_i^l)$ 혹은 $M(p_a) > M(p_i^u)$ 이다.

나. 출력사상조건 2 : ($M(p_i^u) < M(p_i^l)$ 일때 (그림 2) $p_i^l < p_a < p_i^u$ 를 만족하는 p_a 에 대하여, $M(p_i^u) <$

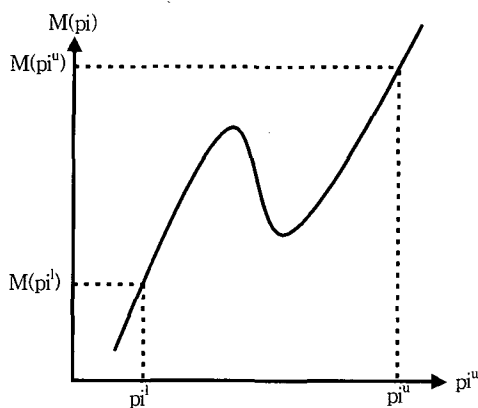


그림 1. 구간고장모델의 출력사상 조건 1
Fig. 1. Output mapping condition 1 of band fault model.

$M(p_a) < M(p_i^l)$ 이고,

$p_a < p_i^l$ 혹은 $p_a > p_i^u$ 를 만족하는 p_a 에 대하여는 $M(p_a) > M(p_i^l)$ 혹은 $M(p_a) < M(p_i^u)$ 이다.

위의 조건을 만족하는 테스트 입력신호 T 가 존재한다면, 이 테스트 신호에 한 구간고장모델 p_i 는 회로 출력에서 측정된 출력 값으로 사상된다. 이 측정값의 허용범위를 구함으로써 시간영역에서 테스트를 용이하게 할 수 있다. 한편, 한 구간고장모델 p_i 가 회로 출력에서 측정된 출력 값으로 사상되지 않는다면 구간고장모델 p_i 는 이 테스트 신호에 의하여 고장검출이 불가능하다. 따라서 다른 입력 테스트 신호를 찾아야 한다.

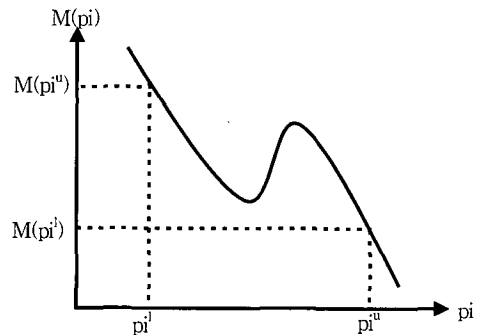


그림 2. 구간고장모델의 출력 사상 조건 2
Fig. 2. Output mapping condition 2 of band fault model.

3. 설계사양 고장이 없는 출력 측정값의 사상범위 결정

테스트 입력신호 T를 인가한 후, 구간고장모델에 의하여 회로의 출력에서 나타나는 출력 값들에 대하여 고장이 없는 출력 값의 범위는 다음과 같이 구할 수 있다.

설계사양을 고려하여 모델링된 m 개의 구간고장들 $P=[p_1, p_2, \dots, p_i, \dots, p_m]$ 에 대하여, 설계사양고장이 존재하지 않는 m 개의 구간고장모델들의 변화 값의 범위를 구한다. 칩이 제조된 후, 각 고장모델들의 값들이 이 범위 내에 존재한다면 이 회로는 모든 설계사양고장이 발생하지 않는다.

다음으로 회로의 입력에 테스트 입력신호들 T1, T2, T3, ..., Tk, Tk+1을 인가하여 시뮬레이션 한 결과, 테스트 입력신호 Tk 에서 구간고장모델의 출력사상 조건 1 혹은 2 를 만족한다고 가정한다. 이때 설계사양고장이 존재하지 않는 각 구간고장모델의 범위는 다음과 같이 설계사양고장이 존재하지 않는 측정값의 범위로 사상된다.

사상

$$p1^l < p1 < p1^u \implies Mk(p1^l) < Mk(p1) < Mk(p1^u)$$

$$p2^l < p2 < p2^u \implies Mk(p2^l) < Mk(p2) < Mk(p2^u)$$

$$pm^l < pm < pm^u \implies Mk(pm^l) < Mk(pm) < Mk(pm^u)$$

혹은

사상

$$p1^l < p1 < p1^u \implies Mk(p1^l) > Mk(p1) > Mk(p1^u)$$

$$p2^l < p2 < p2^u \implies Mk(p2^l) > Mk(p2) > Mk(p2^u)$$

$$pm^l < pm < pm^u \implies Mk(pm^l) > Mk(pm) > Mk(pm^u)$$

이때 $Mk(pi)$ 는 테스트 입력신호 Tk 를 인가 한 후, 구간고장모델 $pi(1 \leq i \leq m)$ 의 측정값이다.

최종적으로 모든 구간고장모델에 대하여 설계사양과 장이 존재하지 않는 측정값의 범위는 다음과 같이 구할 수 있다. 테스트 입력신호 Tk 에 의한 측정값의 최소와 최대값을 각각 Mk^l, Mk^u 라 할 때,

$$Mk^l = \text{최대값} \{Mk(p1^l), Mk(p2^l), \dots, Mk(pm^l)\},$$

$$Mk^u = \text{최소값} \{Mk(p1^u), Mk(p2^u), \dots, Mk(pm^u)\} \text{ 이다.}$$

4. 테스트 평가

입력파형에 대한 테스트 입력신호 Tk 를 인가할 경우, 회로의 출력에서 측정된 값이 Mk^l 과 Mk^u 사이에 있다면 이 회로는 고려하고 있는 모든 설계사양을 만족한다. 반대로 측정값이 Mk^l 보다 작거나, Mk^u 보다 크다면 이 회로는 적어도 한 가지의 설계사양을 만족하지 않는다.

한편, 출력 파형에 대한 시간영역에서 측정 파라미터를 결정하여야 한다. 기존의 논문에서는 출력파형이 정현파인 경우, 주파수 혹은 진폭, 위상 값을 고려하였고, 펄스파인 경우는 주로 정상상태의 출력 값, 시간지연, 위상 등을 측정 파라미터로 결정하였다. 이상의 파라미터 결정방식은 분석적인 방식이 아니고 컴퓨터 시뮬레이션에 의한 경험적인 방식을 사용하였다.

본 논문에서는 저잡음증폭기에 대한 테스트 시, 테스트 입력신호로 단일스텝 파형을 사용하였고, 출력에서 나타나는 감쇠되는 정현파의 첫 번째 진폭을 측정 파라미터로 사용하였다.

IV. 5.25 GHz 저잡음증폭기의 적용 예

본 논문에서 제안한 구간고장모델링과 시간영역 테스트 기법을 실제 회로에 적용하기 위하여 5.25 GHz 저잡음증폭기를 설계하였다. 일반적으로 저잡음증폭기는 그 이득과 잡음지수가 전체 트랜시버의 성능에 심각한 영향을 주므로 RF 전반부 설계에서 가장 중요한 구성요소이다. 저잡음증폭기는 가능한 한 작은 잡음여유와 높은 이득을 갖는 동시에 선형성이 뛰어나며 특히 입력소스에서 50 혹은 100 오옴의 임피던스를 나타내도록 설계된다.

그림 3은 캐스코드 형태의 저잡음증폭기이며, 입력과 출력 임피던스 매칭회로를 포함하고 있다. 또한 이 증폭기는 IEEE 802.11a의 표준규격을 따르며 동작주파수는 5.15 GHz~5.35 GHz 이고, 대역폭은 200 MHz 이다.

본 논문에서 고려하는 저잡음증폭기의 설계사양은 증폭기 이득(S21), 잡음지수(Noise Figure) 그리고 회로의 선형성을 나타내는 입력3차교차점(IIP3)이다. 일반적으로 저잡음증폭기의 테스트에서는 이 3가지의 설계사양에 대한 결과 값이 허용 값 내에 든다면 설계사양 테스트를 통과하는 것으로 판단한다.

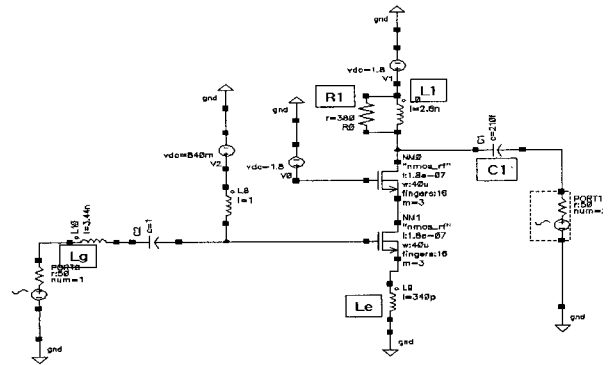


그림 3. 5.25GHz 저잡음 증폭기
Fig. 3. 5.25GHz LNA.

1. 설계사양기반 구간고장모델링 가. 회로설계사양의 정상구간 결정

그림 3의 저잡음증폭기의 정상동작 시, 설계사양을 구하기 위하여 최대 동작주파수 5.35 GHz, 중심 동작주파수 5.25 GHz 그리고 최소 동작주파수 5.15 GHz 에서의 이득, 잡음지수, 입력3차교차점을 구하였다. 그리고 반도체 공정상의 공정파라미터의 허용 값인 표준공정 파라미터, 고속공정 파라미터 그리고 저속공정 파라미

터 각각에서의 설계사양을 고려하였다. 최종적인 설계 사양으로 이득은 가장 작은 값과 가장 큰 값의 범위를 가지며, 잡음지수는 가장 큰 값보다 작은 범위 그리고 입력3차교차점은 가장 작은 값 이하의 값을 갖는다. 여기에서 얻어진 모든 설계사양 값들은 설계사양 테스트 시에 정상동작의 허용치가 된다. 본 논문에서 고려한 5.25 GHz 저잡음증폭기의 설계사양은 표 1과 같다.

나. 설계사양을 만족하는 구간고장 모델링

본 논문에서 고려하는 구간고장모델은 수동소자 5개와 능동소자의 파라미터 3개를 합하여 총 8개이다. 각 소자에 대한 구간고장 모델링은 다음과 같다.

(1) 수동소자 Le 의 구간고장 모델링

그림 4와 같이 이득의 범위를 만족하는 Le 의 값은 289.28 와 437.39 사이의 값이다. 잡음지수와 입력3차교차점은 이득의 범위에서 얻어진 Le 값들 내에서 모두 만족한다. 그러므로 모든 설계사양을 만족하는 Le 의 값은 이득을 만족하는 Le 의 값과 동일하다.

마찬가지 방법으로 수동소자 $R1$, Lg , $L1$, 그리고 $C1$ 에 대하여 구간고장 모델링을 행하였다. 다음으로 능동소자(RF CMOS 트랜지스터)의 중요 파라미터들인 V_{th} , $U0$ 그리고 $K1$ 에 대하여 이득, 잡음지수 및 입력 3차교차점의 허용범위를 만족하는 구간고장 모델링을 행한다.

(2) 능동소자 파라미터 V_{th} 의 구간고장 모델링

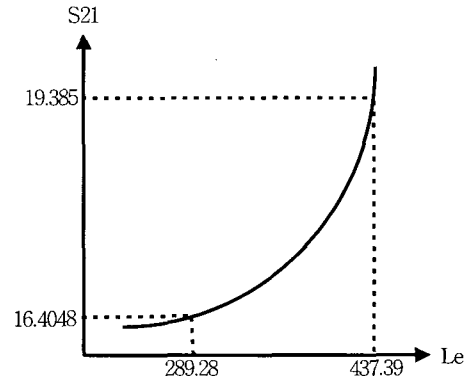
기본 V_{th} 값에서 +38% 변화 할 때 이득이 설계사양의 허용 값을 만족하지 못하였으며 변화율을 증가시킬수록 설계사양을 더욱 벗어난다. 그러므로 V_{th} 값은 38% 의 변화율, 즉 0.655 이상의 값에서 적어도 한개 이상의 설계사양을 만족하지 못한다.

마찬가지 방법으로 능동소자 파라미터 $K1$ 그리고 $U0$ 에 대하여 구간고장 모델링을 행하였다.

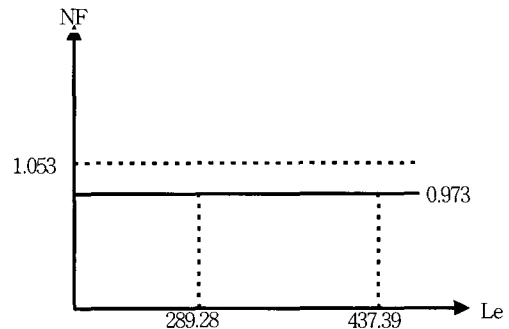
다음 표 2 는 수동소자 및 능동소자 파라미터에 대하여 구간고장 모델링한 결과이다. 전체 8개의 소자에 대하여 구간고장 모델링을 하였으며 각 구간고장모델에 대하여 모든 설계사양을 만족하는 값의 범위를 구하고, 그 외의 범위에 대한 불만족한 설계사양을 제시하였다. 여기에서 설계사양은 이득이나 잡음지수보다 고장 범위가 큰 것을 알 수 있다. 따라서 이 입력3차교차점은 설계사양 만족범위를 구하는데 영향을 미치지 않는다.

표 1. 설계사양
Table 1. Specifications.

설계사양	정상동작 범위
이득 (S21)	16.404 < 이득 < 19.385
잡음지수(NF)	잡음지수 < 1.053
입력3차교차점(IIP3)	입력3차교차점 < -9.395



(a) 이득



(b) 잡음지수

그림 4. 이득과 잡음지수에 대한 Le 의 변화
Fig. 4. Variation of Le depending on the gain and NF.

표 2. 수동 및 능동소자의 구간고장 모델링
Fig. 2. Band fault modeling of the passive and active devices.

구간고장모델	설계사양 만족 범위	설계사양 불만족 종류
p1 : Le	289.48 < Le < 437.39	이득
p2 : $R1$	287.48 < $R1$ < 437.49	이득 및 잡음지수
p3 : Lg	1.76 < Lg < 5.58	이득 및 잡음지수
p4 : $L1$	2.31 < $L1$ < 4.38	이득
p5 : $C1$	154.10 < $C1$ < 471.25	이득
p6 : V_{th}	V_{th} < 38%	이득
p7 : $K1$	$K1$ < 164%	잡음지수
p8 : $U0$	-61 < $U0$ < 88	이득 및 잡음지수

2. 시간영역 테스트 기법

본 논문에서 제안하는 시간영역 테스트 기법의 유효성을 입증하기 위하여 5.25 GHz 저잡음증폭기의 테스트에 이 방식을 적용한다. 앞 절에서 구한 설계사양을 포함하는 구간고장모델을 고려한 저잡음증폭기에 시간영역의 테스트 입력신호를 인가하여 출력 값의 변화를 관찰함으로써 테스트를 행한다. 이때 구간고장모델의 변화가 출력에서 관찰이 가능하도록 하는 테스트 입력신호의 선정이 매우 중요하다. 본 논문에서는 테스트 입력신호로 다양한 상승(하강)시간을 갖는 단일스텝 테스트입력을 사용하여 그 결과를 비교, 평가하였다.

시간영역 테스트가 가능하기 위해서는 주어진 테스트 입력신호가 구간고장모델의 출력사상 조건 1 혹은 2를 만족하여야 하며 만족하는 경우, 구간고장모델의 변화에 따른 출력 추정값의 변화율이 되도록 커야 한다.

가. 단일스텝 테스트 입력신호의 생성

유한한 상승시간과 하강시간, 진폭 그리고 펄스폭이 서로 다른 스텝입력을 인가한 후, 출력에서 나타나는 파형의 최대 진폭의 변화를 측정하였다. 단일 스텝입력을 사용하여 입력신호의 인가와 출력신호의 평가가 용이하므로 테스트 시간이 줄어들고 테스트 비용이 감소하는 장점을 갖는다.

그림 5는 본 논문에서 사용한 단일 스텝입력의 기본 형태를 나타낸다. 회로에 인가되는 단일스텝 입력은 유한한 상승시간(TR) 및 하강시간(TF), 진폭(TA) 그리고 펄스폭(TW)으로 구성된다.

기존의 논문^[20]에서 일반적인 RF 전반부 회로에 스텝 입력신호를 인가하면 출력응답으로 감쇠되는(damping) 정현파 신호가 나타난다고 제시되었다. 출력파형의 대략적인 시간영역 출력방정식은 다음과 같다(1).

$$V_{out}(t) \cong (a/\omega_0)e^{(-\omega_0 t/2Q)} \sin(\omega_0 t) = A \sin(\omega_0 t) \quad (1)$$

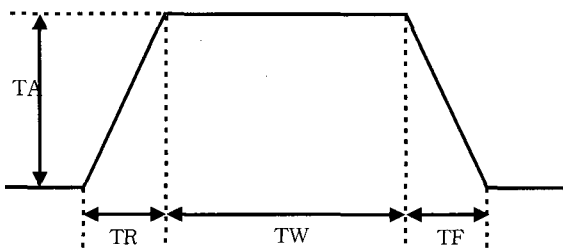


그림 5. 단일 스텝 테스트 입력
Fig. 5. Test input of the unit step.

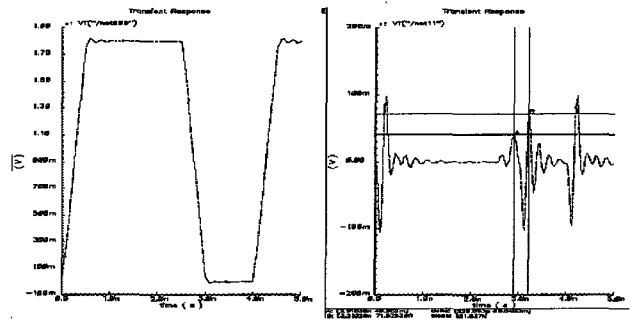


그림 6. 연속적인 스텝 테스트 입력과 출력파형
Fig. 6. Serial test step input and output waveform.

표 3. 본 논문에서 고려하는 단일스텝 테스트 입력
Table 3. Unit step inputs considered in this paper.

	TA(mV)	TR(pS)	TW(pS)	TF(pS)
테스트입력 1	200	50	450	50
테스트입력 2	200	100	900	100
테스트입력 3	200	150	850	150
테스트입력 4	400	5	995	5
테스트입력 5	400	35	1965	35

여기서 ω_0 는 CUT의 주파수, A 는 감쇠상수이다. 즉, 스텝 입력에 대한 출력신호는 RF CUT의 동일한 주파수 ω_0 와 진폭이 감쇠상수 A 에 의하여 변조되는 정현파로서 근사화된다.

유한한 상승시간과 하강시간을 갖는 단일스텝 입력과 이를 저잡음증폭기에 인가하여 출력에서 나타나는 파형은 그림 6과 같다. 단일스텝 입력의 상승시점과 하강시점에서 감쇠되는 정현파가 나타나므로 이 파형에서 첫 번째 피크 값을 A, 두 번째 피크 값을 B라 하고, 이 두 값의 차이값을 A-B 라 한다. 출력파형의 측정은 A, B 그리고 A-B 에서 행하여 이 값들이 구간고장모델에 대한 출력사상 조건을 만족하는지를 평가하였다. 그러나 B와 A-B 값은 A 값보다 만족한 결과를 얻지 못하였으므로 이 논문에서는 A 값을 사용하였다.

구간고장모델에 대한 출력사상 조건을 만족하는 단일스텝 테스트입력을 찾기 위하여 유한한 상승시간과 하강시간, 진폭 그리고 펄스폭을 갖는 많은 수의 파형을 사용하였다. 이들 중 대표적인 테스트입력들을 선택하여 다음 표 3에 나타내었다.

나. 구간고장모델의 출력사상과 출력 값의 범위 결정
각 단일스텝 테스트입력들에 대하여 각 구간고장모델들이 출력사상 조건을 만족하는지를 판단한다. 이 결과 출력사상 조건을 만족한다면 해당하는 구간고장모델

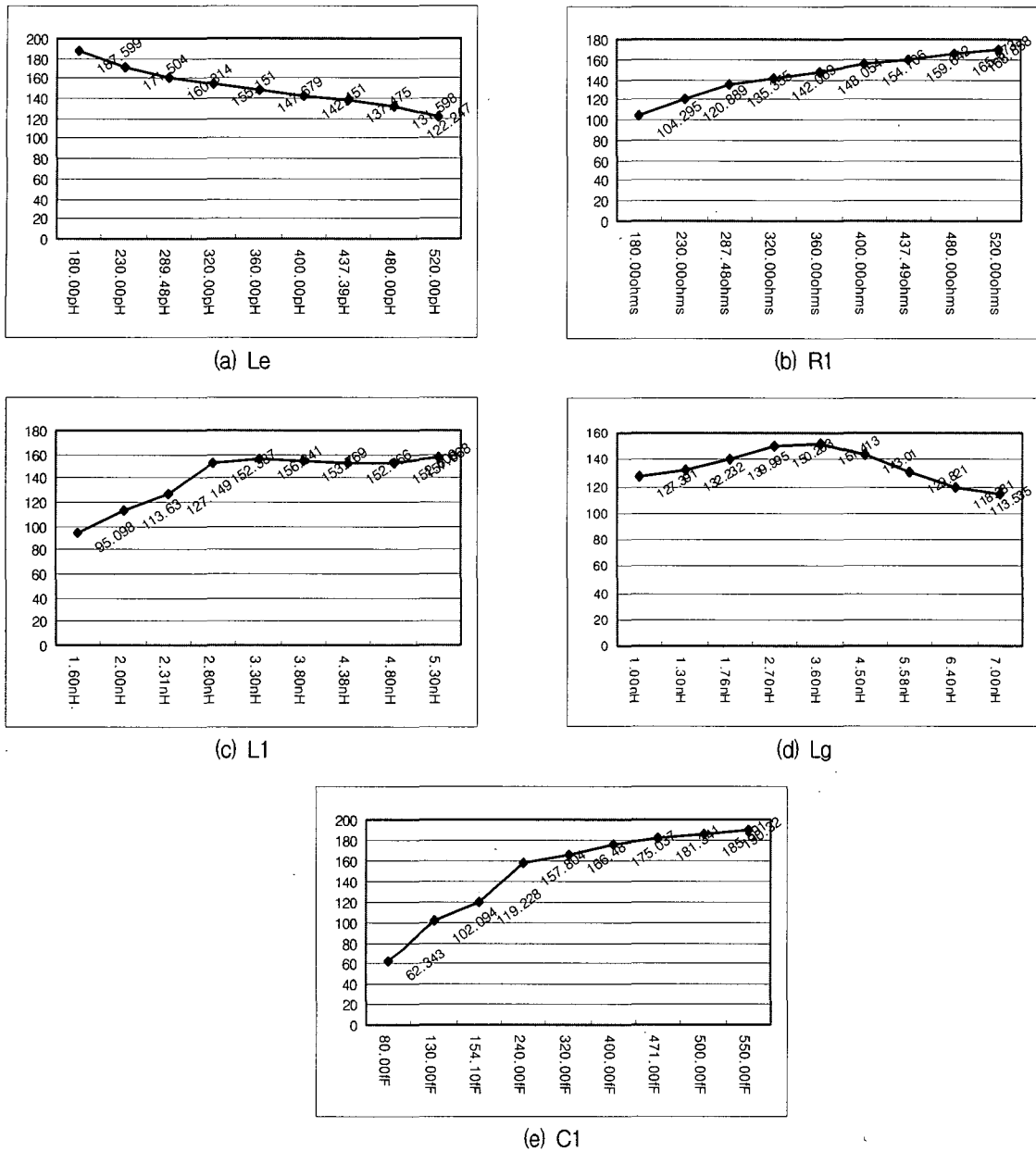


그림 7. 각 수동소자의 변화에 대한 출력값의 변화 그래프
 Fig. 7. Variation of the output of each passive device.

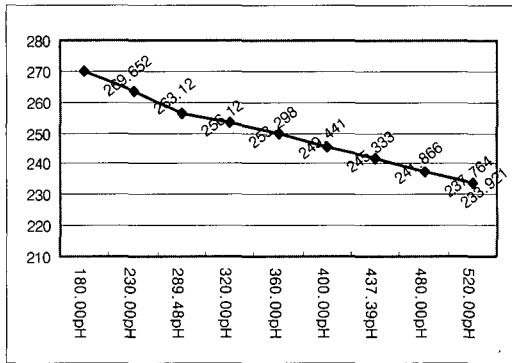
은 시간영역에서 검출이 가능하고, 이때 고장이 없는 상태의 출력 값의 범위를 구할 수 있다. 그러나 출력사상 조건을 만족하지 않는다면 다른 테스트입력을 선택하여 위의 동작을 반복한다.

(1) 테스트입력 1

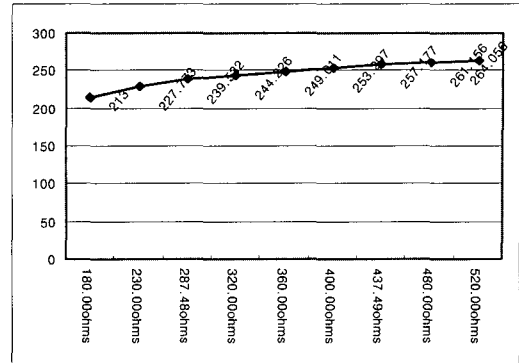
수동소자의 구간고장모델의 변화에 대한 출력 측정값의 변화를 그래프로 표현하여 그림 7에 나타내었다. 여기에서 수동소자 Lg는 출력사상 조건 1과 2를 만족하지 못한다. 또한 능동소자들은 고려하는 모든 파라미터에서 출력사상조건을 만족하지 못하고 있다.

결과적으로 이 단일스텝 테스트입력 1에 의하여 수동소자 Lg와 능동소자의 파라미터들에 대한 설계사양 고장은 출력에서 측정이 불가능하다.

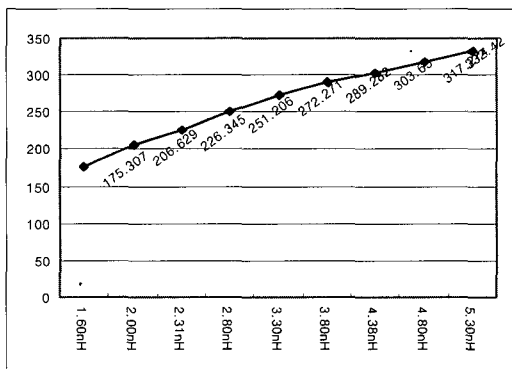
마찬가지 방법으로 단일스텝 테스트입력 2, 3 그리고 4를 인가하고 구간고장모델의 변화에 대한 출력 측정값의 변화를 관찰하였다. 모든 테스트 입력에 대하여 수동소자Lg와 능동소자들은 출력사상 조건 1, 2를 만족하지 못하였다. 그러므로 설계사양 고장 검출이 불가능하였다. 본 논문에서 고려하고 있는 단일스텝 테스트입력 5에 대한 실험 결과는 다음과 같다.



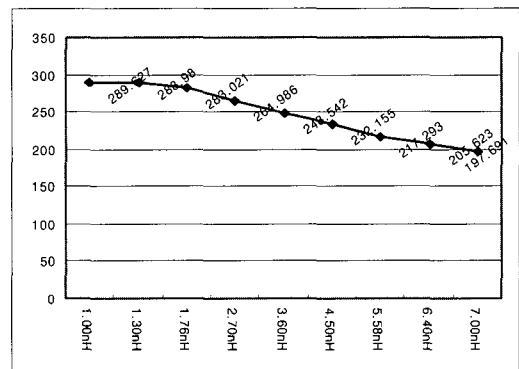
(a) Le



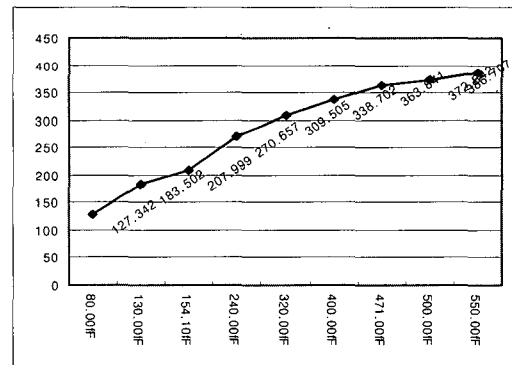
(b) R1



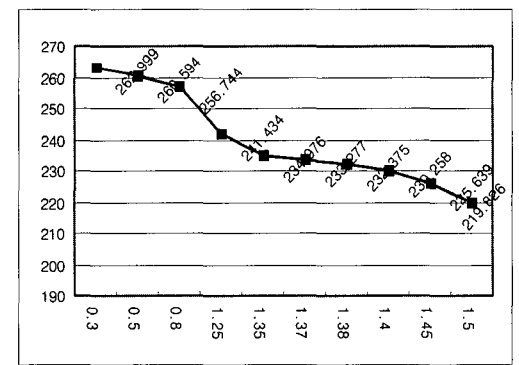
(c) L1



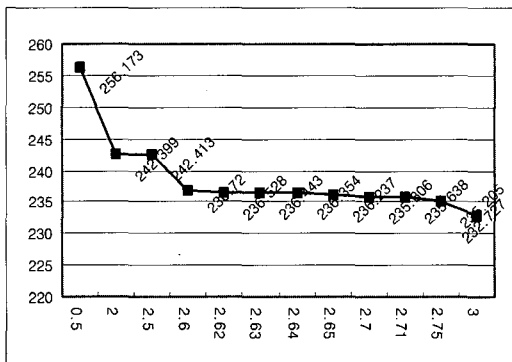
(d) Lg



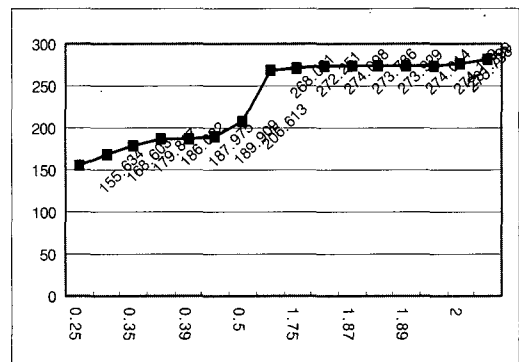
(e) C1



(f) Vth



(g) K1



(h) U0

그림 8. 각 수동 및 능동소자의 변화에 대한 출력값의 변화 그래프
 Fig. 8. Variation of the output of each passive and active device.

표 4. 고장검출이 가능한 소자의 출력값의 범위
Table 4. Range of the output value of the fault detectable devices.

구간고장모델	고장이 없는 출력 값의 범위
p1(Le)	241.866 < M(p1) < 256.120
p2(R1)	239.532 < M(p2) < 257.177
p3(L1)	226.345 < M(p3) < 303.650
p4(Lg)	217.293 < M(p4) < 283.021
p5(C1)	207.999 < M(p5) < 363.841
p6(Vth)	M(p6) < 232.375
p7(K)	M(p7) < 236.354
p8(U)	187.975 < M(p8) < 273.929
p(전체)	241.866 < M(p) < 256.120

(2) 테스트입력 5

수동소자와 능동소자 파라미터의 구간고장모델의 변화에 대한 출력 측정값의 변화를 그래프로 표현하여 그림 8에 나타내었다. 이 테스트입력에 의하여 모든 수동소자들이 출력사상 조건을 만족하여 고장검출이 가능하다. 또한 능동소자의 모든 파라미터들이 출력사상조건을 만족하므로 이 테스트입력에 의하여 고장검출이 가능하다. 표 4에서는 검출이 가능한 모든 수동소자와 능동소자 파라미터의 출력 측정값의 범위를 보여준다.

다. 테스트 평가

본 논문에서 고려한 단일스텝 테스트 입력들을 저잡음증폭기의 입력에 인가한 후, 출력사상조건을 만족하는지를 평가하였다. 상승 및 하강시간이 35 pS 인 단일스텝 테스트입력 5를 인가했을 때, 모든 수동소자 및 능동소자의 고장을 회로의 출력에서 검출할 수 있었다. 그러므로 단일스텝 테스트입력의 상승시간과 하강시간이 출력사상 조건의 만족 여부에 매우 밀접한 관계가 있음을 도출하였다. 다음으로 출력사상 조건을 만족하는 상승 및 하강시간의 범위를 구하기 위하여 다양한 값들을 모의실험한 결과, 5.25 GHz 저잡음증폭기의 경우, 단일스텝 입력의 상승시간과 하강시간이 10 pS에서 35 pS 사이일 때, 출력사상 조건을 만족하고, 모든 구간고장모델이 검출 가능함을 알 수 있었다. 한편, 단일스텝 테스트입력의 진폭은 테스트 응답에 영향을 주지 않았으며, 가능한 큰 펄스폭의 값을 주면 출력사상조건을

표 5. 각 테스트입력에 따른 구간고장모델의 고장검출유무

Table 5. Fault and fault-free of the band fault model by each test input.

테스트입력	구간고장모델							
	p1	p2	p3	p4	p5	p6	p7	p8
테스트입력 1	O	O	X	X	O	X	X	X
테스트입력 2	O	O	O	X	O	X	X	X
테스트입력 3	O	O	X	X	O	X	X	X
테스트입력 4	O	O	O	X	O	X	X	X
테스트입력 5	O	O	O	O	O	O	O	O

O : 출력사상 조건을 만족, 설계사양 고장검출이 가능함
X : 출력사상 조건을 불만족, 설계사양 고장검출이 불가능함

더 만족하였다. 표 5는 각 테스트 입력을 인가할 경우, 검출이 가능한 구간고장 모델을 나타내었다. 단일스텝 테스트입력 5를 제외한 다른 테스트 입력은 출력사상 조건을 만족하지 못하여 설계사양 고장을 검출하지 못하였다. 결과적으로 5.25 GHz 저잡음증폭기의 입력에 35 pS 의 상승시간을 갖는 단일스텝 테스트입력을 인가한 후, 출력에서 나타나는 파형의 최대진폭의 측정값이 241.866 와 256.120 사이에 있다면 모든 수동소자와 능동소자 파라미터는 정상 값을 갖는다. 그러므로 본 논문에서 제안한 설계사양을 고려한 시간영역 테스트 기법은 저잡음증폭기를 비롯한 RF 집적회로의 테스트에 매우 효과적임을 입증하였다.

V. 결 론

본 논문에서는 무선 트랜시버를 구성하는 RF 집적회로의 완제품 테스트를 용이하게 할 수 있는 새로운 테스트 기법을 제안하였다. 우선 RF 집적회로에 존재하는 회로소자의 결함들에 대하여 설계사양을 고려한 구간고장모델을 제시하였다. 즉 테스트하고자 하는 회로의 설계사양들을 만족하는 각 회로소자 값을 구간고장모델로 정의하였으며 이 값이 구간고장 내에 있다면 모든 설계사양을 만족하나, 구간고장 밖에 있을 때는 구간고장이 발생하고 이 경우는 테스트하고자 하는 회로가 설계사양을 만족하지 못한다. 그러므로 RF 집적회로의 테스트시에, 설계사양을 테스트 할 필요가 없어지고 오직 각각의 고장모델 값이 허용범위를 만족하는지만을 테스트

트한다. 본 논문에서 고려하는 RF 집적회로내의 구간고장모델의 종류는 설계사양을 만족하는 수동소자 저항, 인덕터, 커패시터 그리고 능동소자 MOS 트랜지스터의 V_{th} , K_1 , U_0 값의 허용범위를 나타내는 구간고장들이다. 특히 기존의 연구에서 고려하지 않았던 게이트 옥사이드 브레이크다운에 의한 고장을 MOS 트랜지스터 파라미터들 V_{th} , K_1 , U_0 값의 변화에 대한 구간고장으로 모델링하였다.

다음으로 설계사양의 정보가 포함된 구간고장모델들의 변화를 회로의 출력에서 그대로 관찰할 수 있도록 함으로써 시간영역에서 설계사양에 대한 테스트를 용이하게 할 수 있는 새로운 테스트 방식을 제안하였다. 이 방식은 회로의 입력에 테스트 입력파형을 인가하여 출력에서 나타나는 출력파형의 변화를 시간영역에서 측정하여 설계사양의 고장에 영향을 주는 구간고장들의 값을 정확하게 예측할 수 있도록 한다. 이를 위해서 구간고장모델들의 변화 값이 출력에 그대로 사상(mapping)될 수 있도록 하는 출력사상 조건을 제시하였고 이 조건을 만족하는 입력 테스트신호의 생성과 출력파형에 대한 평가방식을 연구하였다. 연구 결과, 단일 스텝파형을 입력신호로 사용하고, 이 스텝파형의 상승시간과 하강시간의 일정한 범위에서 m 개의 구간고장들이 회로의 출력에 사상될 수 있음을 확인하였다. 따라서 이 범위내의 특정한 상승 및 하강시간을 갖는 스텝 테스트입력을 인가한 후, 회로의 출력 값을 측정하여 이 값이 고장이 없는 측정값의 범위 내에 있는지를 판단하여 테스트하고자 하는 회로의 고장여부를 확인할 수 있었다.

본 논문에서 제안하는 설계사양을 고려한 고장모델링 방식과 시간 영역 테스트 기법의 유효성을 입증하기 위하여 5.25 GHz 저잡음증폭기의 테스트에 이 방식을 적용하였다. 먼저 동작주파수범위와 표준, 고속 그리고 저속공정 파라미터를 사용하여 테스트 대상 증폭기의 설계사양을 결정하였다. 다음으로 설계사양의 정보를 포함하는 구간고장들을 모델링한 결과, 수동소자에 대하여 L_e , R_1 , L_1 , L_g , C_1 의 5개 그리고 능동소자 파라미터 V_{th} , K_1 , U_0 등 3개의 고장모델과 허용범위를 구하였다.

위에서 구한 설계사양을 포함하는 구간고장모델에서 시간 영역의 테스트 입력신호를 인가하여 출력 값의 변화를 관찰함으로써 테스트를 행하였다. 본 논문에서는 상승(하강)시간이 다른 5개의 스텝 테스트입력을 사용하여 그 결과를 비교, 평가하였다. 스텝 테스트입력 1-4에서는 적어도 한개 이상의 구간고장이 검출되지 못하

였다. 그러나 상승 및 하강시간이 35 pS 인 스텝 테스트입력 5에 의하여 모든 수동소자와 능동소자의 모든 파라미터들이 출력사상 조건을 만족하여 고장검출이 가능하였다. 본 논문에서는 스텝 테스트입력의 상승시간과 하강시간이 본 논문에서 제안한 출력사상 조건 1과 2에 매우 밀접한 관계가 있으며, 5.25 GHz 저잡음증폭기의 테스트 경우, 단일 스텝입력의 상승시간과 하강시간이 5 pS에서 35 pS 사이일 때, 모든 구간고장이 검출되었다. 그러므로 본 논문에서 제안한 설계사양을 고려한 시간영역 테스트 기법은 저잡음증폭기를 비롯한 RF 집적회로의 테스트에 매우 효과적임을 입증하였다.

앞으로 다양한 무선 트랜시버 소자들에 대하여 효과적이고, 빠른 구간고장모델링 방식과 테스트 입력 신호를 생성하기 위한 연구가 계속될 것이다.

참 고 문 헌

- [1] B. Atzema and T. Zwemstra, "Exploit Analog IFA to Improve Specification Based Tests", *Proceedings of European Design and Test Conference*, pp.542-546, 1996.
- [2] S. D. Huss, R. S. Gyurcsic, and J. J. Paulos, "Optimal Ordering of Analog Integrated Circuit Tests to Minimize Test Time," *Proceedings of Design Automation Conference*, pp.494-499, 1991.
- [3] A. Balivada, J. Chen and J. A. Abraham, "Analog Testing with Time Response Parameters," *IEEE Design and Test of Computers*, pp.18-25, vol.13, 1996.
- [4] M. Slamani and B. Kaminska, "Multifrequency Analysis of Faults in Analog Circuits," *IEEE Design and Test of Computers*, vol.12, no.2, pp.70-80, 1995.
- [5] R. Kondagunturi, E. Bladley, K. Maggard and C. Stroud, "Benchmark Circuits for Analog and Mixed-Signal Testing," *Southeastcon' 99, Proceedings, IEEE 25-28*, pp.217-220, March, 1999.
- [6] P. N. Variyam, A. Chatterjee and N. Nagi, "Low-Cost and Efficient Digital-Compatible BIST for Analog Circuits Using Pulse Response Sampling," *15th IEEE VLSI Test Symposium*, pp.261-266, 1997.
- [7] J. Gyvez, G. Gronthoud and R. Amine, "VDD Ramping Testing for RF Circuits," *Int. Test Conference'03*, pp.651-658, 2003.
- [8] J. Dabrowski, "BiST Model for IC RF-Transceiver Front-End", *Proceeding of Design for Testability'03*, pp.295-302, 2003.

- [9] R. Voorakaranam, S. Cherubal and A. Chatterjee, "A Signature Test Framework for Rapid Production Test of RF Circuits", *Proceedings of Design Automation and Test in Europe*, pp.186-191, 2002.
- [10] J. Dabrowski, "Fault Modeling of RF Blocks Based on Noise Analysis", *ISCAS 2004*, pp.513-516, 2004.
- [11] R. Kheriji, V. Danelon, J. L. Carbonero and S. Mir, "Optimizing Test Sets for a Low Noise Amplifier with a Defect-Oriented Approach", *DATE'05*, vol.1, pp.170-171, 2005.
- [12] S. Bhattacharya, A. Halder and A. Chatterjee, "Automatic Multitone Alternate Test Generation for RF Circuits Using Behavioral Models", *International Test Conference*, pp.665-673, 2003.
- [13] P. N. Variyam and A. Chatterjee, "Test Generation for Comprehensive Testing of Linear Analog Circuits Using Transient Response Sampling," *Int. Conference on Computer Aided Design*, pp.382-385, 1997.
- [14] S. J. Chang and C.L. Lee, "Structural Fault Based Specification Reduction for Testing Analog Circuits," *Journal of Electronic Testing: Theory and Application 18*, pp. 571-581, 2002.
- [15] C. Yu, J. S. Yuan and H. Yang, "MOSFET Linearity Performance Degradation Subject to Drain and Gate Voltage Stress", *IEEE Transactions on Device and Materials Reliability*, vol.4, pp.681-689, Dec. 2004
- [16] P. N. Variyam and A. Chatterjee, "Enhancing Test Effectiveness for Analog Circuits Using Synthesized Measurements", *Proc. VLSI Test Symposium*, pp.132-137, 1998.
- [17] L. Milor and A. S. Vincentelli, "Minimizing Production Test Time to Detect Faults in Analog Integrated Circuits", *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol.13, no.6, pp.796-813, June, 1994.
- [18] H. H. Zheng, A. Balivada and J. A. Abraham, "A Novel Test Generation Approach for Parametric Faults in Linear Analog Circuits", *VLSI Test Symposium*, pp.470-475, 1996.
- [19] S. G. Lee and R. D. Schultz, "Production DC Screening for RF Performance of A 900 MHz Monolithic Low Noise Amplifier", *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium*, pp.69-72, 1995.
- [20] Q. Wang, Y. Tang and M. Soma, "GHz RF Front-end Bandwidth Time Domain Measurement", *IEEE VLSI Test Symposium*, pp. 223-228, 2004.
- [21] *Cadence SpectreRF user guide*

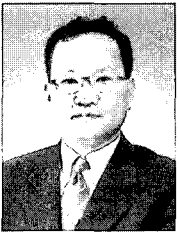
저 자 소 개



한 석 봉(정회원)
 1982년 한양대학교
 전자공학과 학사 졸업
 1984년 한양대학교
 전자공학과 석사 졸업
 1988년 한양대학교
 전자공학과 박사 졸업
 1992년~1993년 Stanford University, 연구교수
 2002년~2003년 Cornell University, 연구교수
 1988년~현재 경상대학교 전자공학과 교수
 <주관심분야 : RFIC Design & Testing, SoC Design & Testing>



백 한 석(정회원)
 2000년 경상대학교
 전자공학과 학사 졸업
 2002년 경상대학교
 전자공학과 석사 졸업
 2006년 경상대학교
 전자공학과 박사과정
 수료
 2002년~현재 한국항공 우주 산업(주) 비행지원
 선임연구원
 <주관심분야 : VLSI Design & Testing, RF IC Design & Testing>



김 강 철(정회원)
 1981년 서강대학교
 전자공학과 학사 졸업.
 1983년 서강대학교
 전자공학과 석사 졸업
 1996년 경상대학교
 전자공학과 박사 졸업
 1983년~1989년 전자통신연구원
 1989년~1990년 삼성종합기술원
 1990년~1997년 진주산업대학교 컴퓨터공학과
 1997년~현재 전남대학교 여수캠퍼스
 컴퓨터공학과 부교수
 <주관심분야 : VLSI Design & Testing, RF IC Design & Testing>