

논문 2006-43SD-5-1

1.8V 8-bit 500MSPS Cascaded-Folding Cascaded-Interpolation CMOS A/D 변환기의 설계

(Design of an 1.8V 8-bit 500MSPS Cascaded-Folding
Cascaded-Interpolation CMOS A/D Converter)

정 승 휘*, 박 재 규*, 황 상 훈*, 송 민 규*

(SeungHwi Jung, JaeKyu Park, SangHoon Hwang, and MinKyu Song)

요 약

본 논문에서는, 1.8V 8-bit 500MSPS CMOS A/D 변환기를 제안한다. 8-bit 해상도, 고속의 샘플링과 입력 주파수, 그리고 저 전력을 구현하기 위하여 Cascaded-Folding Cascaded-Interpolation type으로 설계되었다. 또한 본 연구에서는 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 Digital Encoder, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위한 Averaging Resistor, SNR을 향상시키기 위한 Distributed Track & Hold를 설계하여 최종적으로 500MSPS의 A/D 변환기 출력 결과를 얻을 수가 있다. 본 연구에서는 1.8V의 공급전압을 가지는 0.18 μ m 1-poly 5-metal N-well CMOS 공정을 사용하였고, 소비전력은 146mW로 Full Flash 변환기에 비해 낮음을 확인할 수 있었다. 실제 제작된 칩은 측정결과 500MSPS에서 SNDR은 약 43.72dB로 측정되었고, Static상태에서 INL과 DNL은 각각 ± 1 LSB 로 나타났다. 유효 칩 면적은 1050 μ m \times 820 μ m의 면적을 갖는다.

Abstract

In this paper, an 1.8V 8-bit 500MSPS CMOS A/D Converter is proposed. In order to obtain the resolution of 8bits and high-speed operation, a Cascaded-Folding Cascaded-Interpolation type architecture is chosen. For the purpose of improving SNR, Cascaded-folding Cascaded-interpolation technique, distributed track and hold are included [1]. A novel folding circuit, a novel Digital Encoder, a circuit to reduce the Reference Fluctuation are proposed. The chip has been fabricated with a 0.18 μ m 1-poly 5-metal n-well CMOS technology. The effective chip area is 1050 μ m \times 820 μ m and it dissipates about 146mW at 1.8V power supply. The INL and DNL are within ± 1 LSB, respectively. The SNDR is about 43.72dB at 500MHz sampling frequency.

Keywords : Cascaded-Folding Cascaded-Interpolation A/D Converter, Distributed Track & Hold

I. 서 론

이동 통신용 단말기, 캠코더, 멀티미디어기기 등과 같은 휴대용 장비의 이용은 급속한 증가 추세에 있으며, 그 응용 범위 또한 확대되고 있다. 이러한 장비들은 적은 전력소모와 소형화, 또한 빠른 변환속도를 우선적으로 요구하고 있기 때문에 SOC(System On a Chip)의

One-chip으로 구현되어가고 있다. SOC의 구현을 위해서는 아날로그/디지털 인터페이스의 기술이 중요하며, 그중에서 고속, 저전력과 높은 해상도를 갖는 A/D 변환기는 광범위한 응용 분야를 갖는다. 의료장비 및 프로세스 제어, 레이더, 디지털 샘플링 오실로스코프 등과 같은 응용 분야는 높은 해상도와 높은 변환 속도를 갖는 A/D 변환기의 주요 사용 예이다. 고속의 A/D 변환기는 기존의 Full-Flash 방식이 널리 사용되고 있으나 많은 비교기의 수에 의한 큰 칩 면적과 높은 전력 소모를 가지는 단점을 가지고 있다.^[2] 반면에 폴딩/인터폴레이팅 A/D 변환기의 경우 시간 연속적인 이단(two-step) 병렬

* 정회원, 동국대학교 반도체학과
(System IC Design Lab. Department of
Semiconductor Science, Dongguk University)
접수일자: 2006년2월20일, 수정완료일: 2006년5월8일

표 1. A/D 변환기 비교
Table 1. Comparison of the ADCs.

	적정해상도	동일한 해상도에서의 비교		
		H/W [%]	Sampling속도 [GHz]	Power [W]
Flash	6 bit	100	1	1
Folding/Interpolating	8-10 bit	40	0.6	0.4
Pipeline	10-14 bit	30	0.3	0.2

처리 구조로 플래쉬 구조가 지닌 고속 변환 동작 특성을 보이면서도 면적은 Full-Flash 구조 보다 작은 장점이 있다. 그러므로 폴딩 구조에 인터폴레이션 기법을 결합한 폴딩/인터폴레이션 구조가 고속, 저 전력 응용에 가장 적합한 A/D 변환기 구조로 제안된 바 있다.^[3] 이러한 이유로 통신 시스템에 사용되는 아날로그/디지털 인터페이스, xDSL 모뎀의 아날로그 채널 등에 폴딩/인터폴레이팅 A/D 변환기가 널리 사용되는 추세다. 일반적인 고속 A/D 변환기에서 사용되는 Flash type, Folding/Interpolation type, Pipeline type A/D 변환기를 표 1에서 비교했다.^[4]

일반적인 폴딩/인터폴레이팅 A/D 변환기에서 해상도가 증가함에 따라 폴딩 팩터(folding factor)와 폴딩 차동쌍 회로의 수도 함께 증가하게 된다. 이를 해결하기 위하여 본 논문에서는 Cascade 기법을 이용하여 폴딩/인터폴레이션 블록을 제안하고, 옴셋 보상이 필요 없는 Dynamic 래치를 사용함으로써 고속 동작이 가능한 A/D 변환기를 설계 하였다. 8-bit의 분해능을 얻기 위해 폴딩율(FR)=3X3, 폴딩 블록의 수(NFB)=4 및 인터폴레이션율(IR)=4X2를 이용하여 폴딩 블록과 인터폴레이션 블록을 설계하였다. 전류에 의해 구동되는 인터폴레이션 기법을 사용하여, 선형성을 개선하였으며 전류 구동 인터폴레이션의 단점인 입력 Capacitance와 전력 소비를 해결하기 위하여 4X2의 Cascaded 기법을 사용하여 설계하였다. 또한 고속 동작의 문제점들을 해결하기 위하여 입력 Capacitance 감소 기법을 이용한 프리엠프, Dynamic 래치, 새로운 알고리즘의 Encoder를 제안 하였으며, SNR을 향상시키기 위한 T/H 증폭기는 분산 T/H 구조로 설계하였다.

본 논문의 내용을 정리하면 다음과 같다. II장에서는 제안하는 A/D 변환기의 세부적인 회로설계 내용과 각 블록에 대해 기술하였다. III장에서는 Full Chip에 대한 여러 가지 모의실험 결과를 통해 성능을 평가하였다. 그리고 IV장에서는 레이아웃 및 측정결과에 대해서 기술

하고, 마지막으로 V장에서는 제안하는 A/D 변환기에 대한 전체적인 내용을 요약 표를 통해 정리하였다.

II. 8bit A/D 변환기의 설계

1. Folding/Interpolation A/D 변환기의 구조

폴딩 A/D 변환기에서 가장 중요한 점은 폴딩율과 인터폴레이션율의 설정이다. 적은 폴딩율(FR)은 많은 비교기를 요구하며, 높은 폴딩율은 많은 기준 전압들을 필요로 한다. 그러므로 A/D 변환기가 몇 비트의 해상도를 가졌느냐에 따라 최적의 폴딩율을 결정할 수 있다. 본 연구에서는 8-bit A/D 변환기의 설계에 가장 적합한 3-5구조로 하위 A/D 변환기는 FR=3X3, NFB=4, IR=4X2의 구조로 설계하였다. 폴딩과 인터폴레이션을 거쳐 래치에서 나오는 32개의 Thermometer Code는 제안된 Encoder에 의하여 하위 5-bit과 지연 시간 보정을 위한 1-bit이 출력되고, 이와 동시에 상위 비트 A/D 변환기에 의하여 상위 3-bit의 출력코드를 생성하며 하위 1-bit을 이용하여 상위와 하위의 지연시간을 보정하게 된다. 그림 1에 폴딩/인터폴레이션 기법이 결합되어진 A/D 변환기 구조를 블록다이어그램으로 나타내었다.

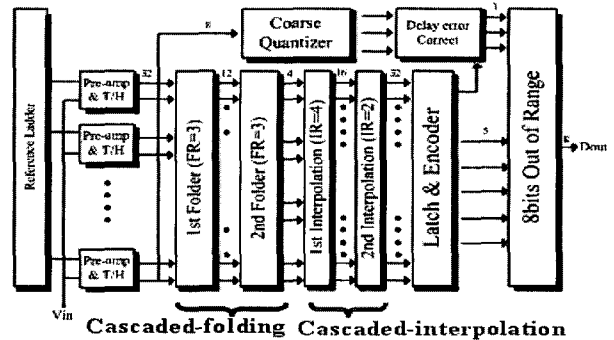


그림 1. Folding/Interpolation A/D 변환기의 전체 블록도
Fig. 1. Full Block Diagram of the Folding/Interpolation ADC.

2. 제안하는 기준전압 저항열의 설계

가. 저항열 부정합에 대한 보정 기법

A/D 변환기의 저항열은 기준전압을 생성하는 역할을 한다. 이 기준전압은 일정한 간격을 유지하지 못하거나 불안정하게 흔들려 A/D 변환기의 전체 성능을 떨어지게 한다. 이중 특히 저항열의 부정합은 기준전압을 불안정하게 하는 주요인이다. 그래서 본 논문에서는 새로운 형태의 저항열을 제안함으로써 저항열 부정합으로

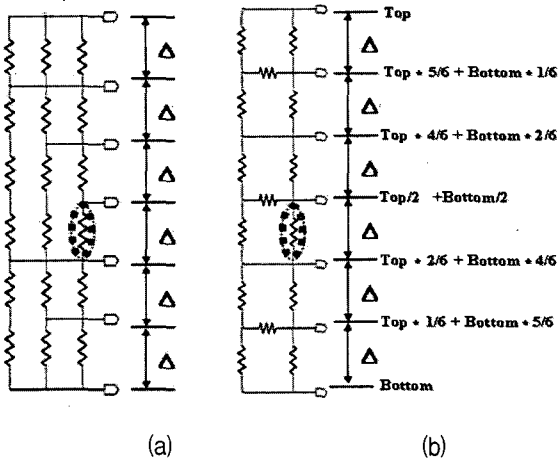


그림 2. (a) 기존의 저항열 보정 기법
(b) 제안하는 저항열 보정 기법
Fig. 2. (a) Conventional Reference Array Techniques.
(b) The Proposed Reference Array Techniques.

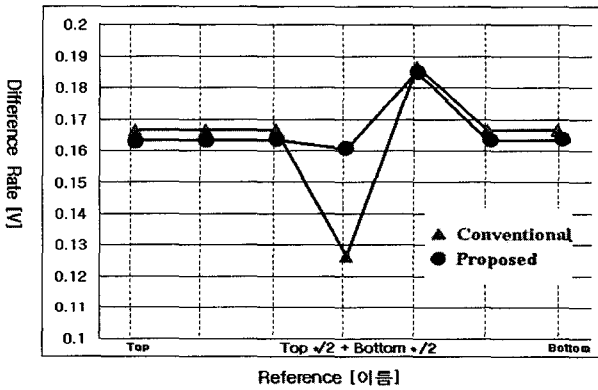


그림 3. 저항열 부정합 모의실험 결과
Fig. 3. Simulation result of Resistor array mismatching.

인한 일정하지 않은 기준전압의 간격을 완화시켰다. 새로운 형태의 저항열은 저항열 Interpolation 기법을 이용하여 저항열을 보정시키는 기법이다. 그림 2에 기존에 사용하던 저항열과 제안하는 저항열 보정 기법을 나타낸다.

그림 3은 기존에 사용하던 저항열과 제안하는 저항열의 모의실험 결과이다. 기존의 방식은 단순히 저항열을 병렬로 구성하여 저항열 부정합에 의한 영향이 그대로 기준전압에 영향을 주었다. 하지만 제안하는 저항열은 Interpolation resistor string^[5] 기법처럼 Bridge 저항을 삽입함으로써 임피던스 부정합에 의한 영향을 분산시키는 효과를 얻을 수 있다.

그림 2에서 타원 안의 저항에서 부정합이 일어났을 경우 그림에서 삼각형으로 표시된 기존의 저항열에 비해 원으로 표시된 제안하는 저항열이 훨씬 적은 기준전압 변화를 보임을 나타내고 있다.

나. 기준전압 흔들림에 대한 보정 기법

그림 4는 커패시터를 이용한 기존의 흔들림 감쇄 기법과 제안하는 기준전압 흔들림 감쇄 회로를 나타낸다.

제안하는 기준전압 감쇄회로는 커패시터와 같은 Layout상의 큰 면적을 피하기 위해 Transmission Gate(TG) Switch를 이용했으며 PMOS gate에는 VSS를 연결시키고 NMOS gate에는 VDD를 연결시켜 Switch가 항상 On이 되도록 하였다. 이 때 MOS의 Gate, Drain, Source 사이에서 발생하는 기생 커패시터 성분과 On 저항 성분을 이용하여 기준전압 흔들림 현상은 기존의 방법에 비해 더욱 효율적으로 감쇄한다. 제안하는 TG Switch는 그림 5와 같은 형태로 두개의 커패시터와 한 개의 저항으로 등가모델을 나타낼수 있고,^[6] 기준전압 노드 v1에서 v2를 바라 보았을 때의 소신호 해석은 식 (1)과 같이 2차 RC LPF의 전달

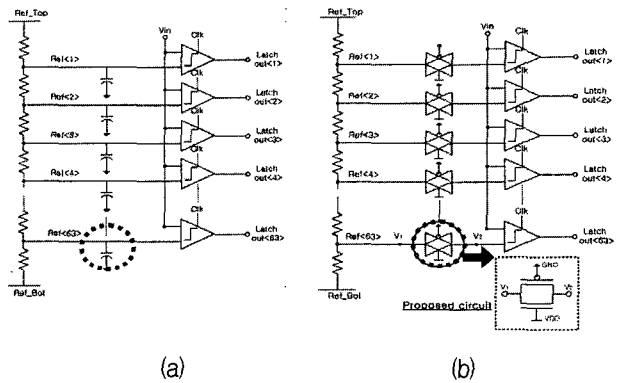


그림 4. (a) 커패시터를 이용한 기존의 흔들림 감쇄 회로
(b) 제안하는 기준전압 흔들림 감쇄 회로
Fig. 4. (a) Reference fluctuation reduction using Capacitor(1pF)
(b) Proposed Reference voltage reduction circuit.

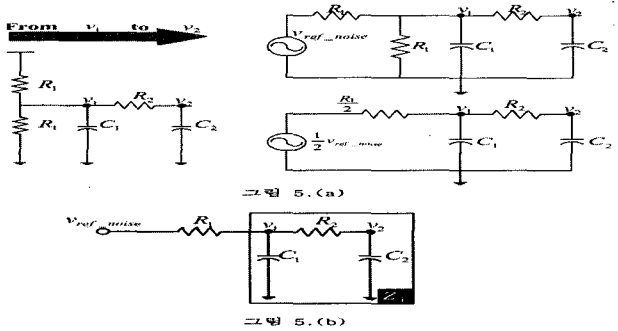


그림 5. (a) 기준전압에서 내부에서 바라봤을 때의 Modeling 과정
(b) 그림 5(a)의 최종 Model
Fig. 5. (a) Modeling Process from reference voltage to Comparator input node.
(b) Final model of fig 5(a).

함수가 됨을 알 수 있다. 그러므로 제안하는 회로는 2차 저역통과필터 형태로 흔들림을 감쇄시킨다.

$$v_2 = v_1 \frac{\frac{1}{sC_2}}{R_2 + \frac{1}{sC_2}} = v_1 \frac{1}{1 + sR_2C_2}$$

$$Z_1 = \left(\frac{1}{sC_1} \right) \left(R_2 + \frac{1}{sC_2} \right) = \frac{1 + sR_2C_2}{s^2 R_2 C_1 C_2 + s(C_1 + C_2)} \quad (1)$$

$$v_1 = v_{ref_noise} \frac{Z_1}{R_1 + Z_1} = v_{ref_noise} \frac{1 + sR_2C_2}{s^2 R_1 R_2 C_1 C_2 + s(R_1 C_1 + R_2 C_2 + R_1 C_2) + 1}$$

$$\frac{v_2}{v_{ref_noise}} = \frac{1}{s^2 R_1 R_2 C_1 C_2 + s(R_1 C_1 + R_2 C_2 + R_1 C_2) + 1}$$

그림 6은 제안하는 저항열에 Pass Gate를 이용한 기준전압 방지회로를 적용한 저항열을 보여주고 있으며, 그림 6에서 기준전압 흔들림 방지회로가 없는 경우와 기준전압 방지회로가 사용된 경우를 비교한 것이다. 기준전압 흔들림이 약 80% 감소되는 것을 확인할 수 있다.

그림 7은 제안하는 회로의 Layout과 1pF 커패시터의 Layout 면적을 비교한 그림이다. 제안하는 회로의

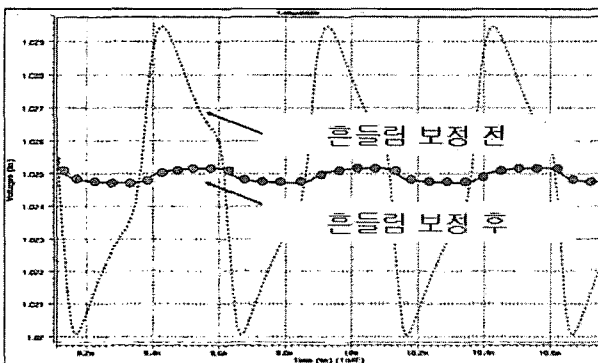


그림 6. 기준전압 흔들림 모의실험 결과
Fig. 6. Simulation result of reference fluctuation.

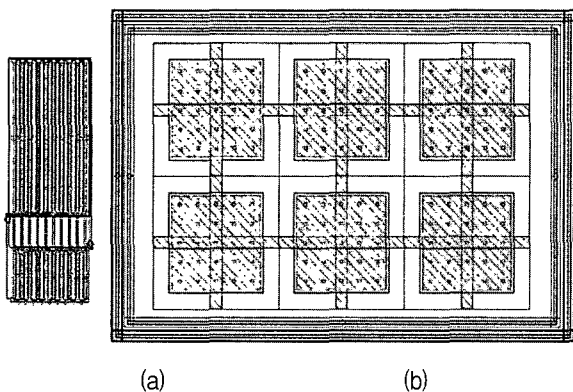


그림 7. (a) 제안하는 Transmission Gate의 Layout
(b) 기존의 1pF 커패시터의 Layout
Fig. 7. (a) Layout of Proposed Transmission Gate.
(b) Layout of Conventional 1pF Capacitor.

Layout 면적은 모의실험에서 사용한 1pF 커패시터 Layout 면적의 약 1/6에 밖에 되지 않아 성능뿐만 아니라 면적에 있어서도 큰 장점을 갖는다.

3. 프리엠프의 설계

전체 A/D 변환기는 아날로그 입력과 기준전압을 비교하여 영교차점(zero crossing)을 생성하여 폴딩 앰프에 인가하게 된다. 이를 위해 차동의 입력을 받아 처리할 수 있는 증폭기가 필요하다.

그림 8은 설계된 프리엠프 구조^[7]이다.

입력단의 입력 커패시턴스는 Miller 효과에 의해 식 (2)로 나타나게 된다.

$$C_{input} = C_{gd}(1 + A_v) \quad (2)$$

하지만 Neutralization Tr을 추가함에 따라 입력 커패시턴스는 식 (3)과 같이 줄어 전체 프리엠프 블록에서의 입력 커패시턴스를 현저하게 줄일 수 있다.

$$C_{input} = C_{gd}(1 + A_v) + C_{dg}(1 - A_v) = 2C_{gd} \quad (3)$$

Isolation Tr은 프리엠프 블록에 연결되는 분산 Track and Hold(T/H)로부터의 Clock Feedthrough가 입력 쪽으로 넘어가는 것을 막는 역할을 하는 차단(Isolation) Tr이다. 그림 9는 Isolation Tr의 효과를 보여주는 모의 실험결과이다. 모의실험결과 전압이득은 3.84[dB], 3[dB] 주파수는 1.2[GHz], Nyquist 입력에서의 Phase Margin은 -13.7°를 보였다. 또한 Preprocessing Amp의 선형성은 뒷단의 폴딩 회로의 동작에 직접적인 영향을 주기

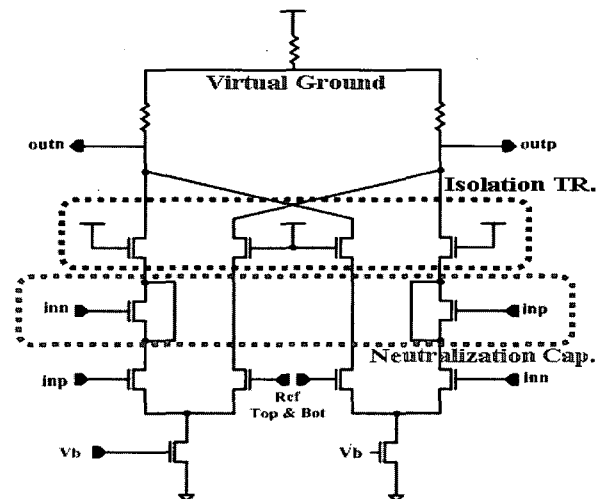


그림 8. 프리엠프의 회로도
Fig. 8. Preamp circuit.

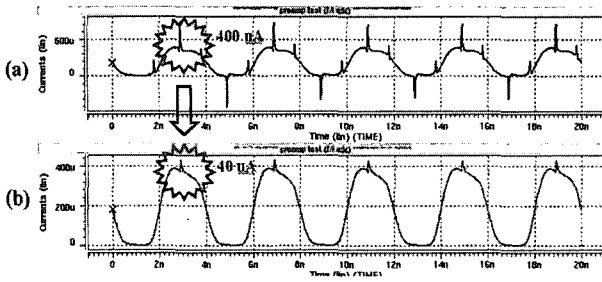


그림 9. Preamp 입력MOS의 전류변화
 (a) W/O. Isolation Tr (b) W. Isolation Tr
 Fig. 9. Current fluctuation of preamp input MOS.
 (a) W/O. Isolation Tr (b) W. Isolation Tr

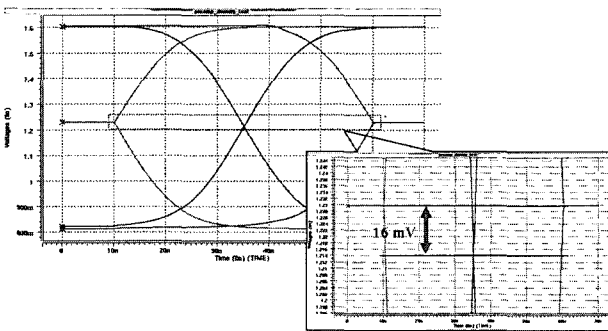


그림 10. 입력 DC에 따른 출력 offset
 Fig. 10. Output offset at Input DC.

때문에 전압이득보다는 선형성을 유지하는 것이 중요하다. 그림 10은 입력에 따른 출력의 offset을 나타낸다.

그림 10에서 입력에 따른 출력에서 16mV의 offset이 발생하는데, 이는 폴딩 회로를 통해 더욱더 증가하여 zero crossing에 오차를 유발시킨다. 그 원인은 입력 범위의 최소값이 인가되었을 경우(DC 0.9V에서 0.75V) 한 쪽 바이어스 MOS가 Linear로 빠지기 때문이다. 이를 방지하기 위해서 입력 범위를 줄이는 방법이 있지만 이는 증폭기의 전압이득이 낮기 때문에 좋은 해결책이 아니다. 그래서 본 연구에서는 입력 DC를 1.1V로 인가하여 출력 offset을 1.4mV로 줄이도록 설계하였다.

4. 제안하는 Folding Block의 설계

폴딩 회로는 Preprocessing 블록의 출력을 받아 상위 A/D 변환기의 해상도에 상응하는 폴딩율로 Zero Crossing을 생성한다. 폴딩 회로의 폴딩율은 상위 A/D 변환기에 의해 결정이 된다. 상위 A/D 변환기의 해상도와 폴딩율은 식 (4)와 같다.

$$FR = 2^n \quad (4)$$

여기서 FR은 폴딩율, n은 상위 A/D 변환기의 해상도이다.

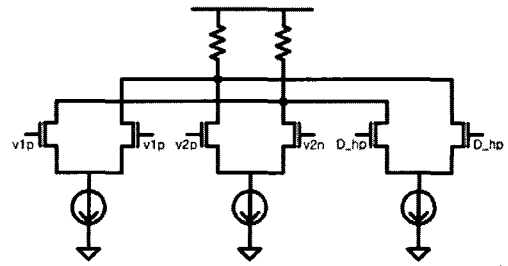


그림 11. 기존의 폴딩 회로
 Fig. 11. The Conventional Folding Circuit.

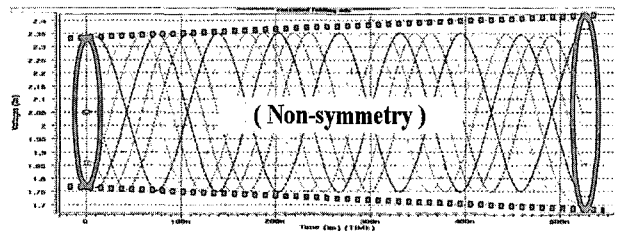


그림 12. 기존 폴딩 앰프의 모의실험 결과
 Fig. 12. The Conventional Folding Simulation Results.

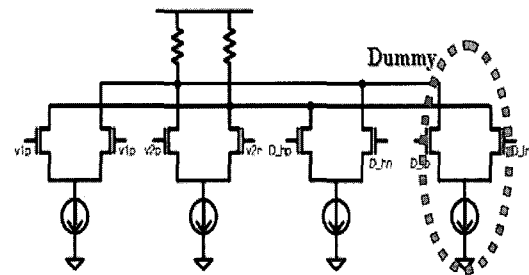


그림 13. 제안하는 폴딩 회로
 Fig. 13. The Proposed Folding Circuit.

폴딩 회로는 입력범위의 위쪽 끝부분의 Zero Crossing 생성하기위해 입력범위 윗부분의 Preprocessing 출력만을 필요로 하게 된다. 하지만 이것은 전체 폴딩 회로에서의 대칭성을 무너뜨려 신호의 처음 부분과 끝부분에서 동일한 기울기의 폴딩 신호를 생성하지 못한다. 본 논문에서 제안하는 폴딩 회로는 이러한 단점을 보완하여 신호의 처음부분과 끝부분이 서로 같은 기울기의 폴딩 신호를 생성하게 하였다. 그림 11는 기존의 폴딩 회로이다. 그림 12의 모의실험결과에서 볼 수 있듯이 처음과 끝부분에서 생성된 폴딩 신호의 기울기가 서로 다르다. 이것은 뒷단의 인터플레이션 블록을 지나면서 그 오차가 증폭되어 결국 오동작을 발생시키는 요인이 된다.

그림 13은 본 논문에서 제안하는 폴딩 회로이다. 그림 14는 제안하는 폴딩 회로의 모의실험결과로써 처음과 끝부분에서 서로 동일한 기울기의 폴딩 신호를 생성하고 있다. 이는 기존의 폴딩회로가 입력범위 윗부분의 Preprocessing 출력만을 이용한 반면 제안하는 폴딩 회로는 입력범위 윗부분과 아랫부분의 Preprocessing 출

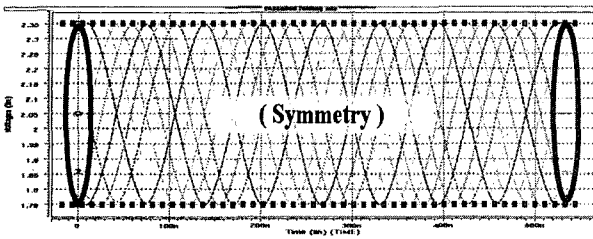


그림 14. 제안하는 폴딩 임프의 모의실험 결과
Fig. 14. The Proposed Folding Simulation Results.

력을 모두 사용함으로써 Preprocessing 블록 출력의 중심을 기준으로 신호를 대칭으로 받아 입력범위 끝부분에서의 비대칭성을 해결하였다. 이것은 입력범위 끝부분에서의 Zero Crossing 간격이 일정해지는 효과를 주어 Missing Code의 발생을 억제하는데 도움을 주었다. 본 논문은 NFB =4로 4개의 차동 폴딩 신호를 생성한다.

5. Cascaded Interpolation 회로의 설계

폴딩 블록을 지나면서 입력신호는 상위 A/D 변환기에 상응하는 Zero Crossing을 생성하였다. 하위 A/D 변환기는 지연시간 보정을 위해 필요한 신호를 포함하여 6-bit의 디지털 코드를 생성해야 한다. 6-bit의 디지털코드를 만들기 위해서는 비교기에 인가되는 63쌍의 차동 신호가 필요하지만 폴딩 신호의 특성으로 32쌍의 차동 신호로 6-bit의 디지털코드를 얻을 수 있다. 앞의 폴딩 블록에서 이에 필요한 32쌍의 폴딩 신호를 만들어줄 수도 있으나 그럴 경우 전체 A/D 변환기는 Flash A/D 변환기보다 더 크고, 전력소비도 높아진다. 본 논문에서는 폴딩 기법에 인터폴레이션 기법을 적용하여 면적과 전력소비를 모두 줄일 수 있다. 폴딩 블록에서 생성된 4쌍의 차동신호를 인터폴레이션 하여 32쌍의 차동신호를 생성한다. 인터폴레이션을(IR)은 식(5)와 같다.

$$IR = \frac{\text{필요한 차동쌍의수}}{\text{폴딩블록의수}} \quad (5)$$

본 논문에서는 인터폴레이션을(IR)은 8이다. IR=8 을 구현하기 위하여 여러 방법이 있다. IR=8을 하나의 인터폴레이션 회로로 구현할 경우 폴딩 회로에서 느끼는 부하 커패시턴스는 일반적인 상상을 훨씬 뛰어넘는다. 이는 폴딩 회로에서의 주파수 특성을 떨어뜨려 전체 A/D 변환기의 입력범위를 제한하는 주요 요인이 된다. 또한 IR=2 를 폴딩 블록 뒤에 위치할 경우 인터폴레이션 신호의 위상차가 너무 크게 생성되어 뒤의 IR=4 의 인터폴레이션 회로가 오동작을 하는 원인이 된다. 따라

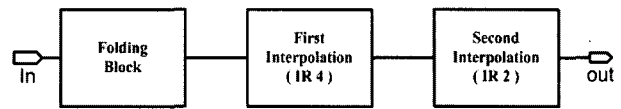


그림 15. Cascaded Interpolation 블록다이아그램
Fig. 15. Cascaded Interpolation Block.

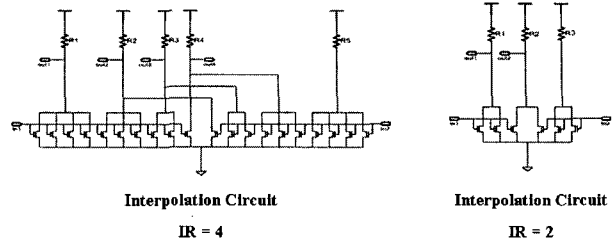


그림 16. 인터폴레이션 회로
Fig. 16. Interpolation Circuit.

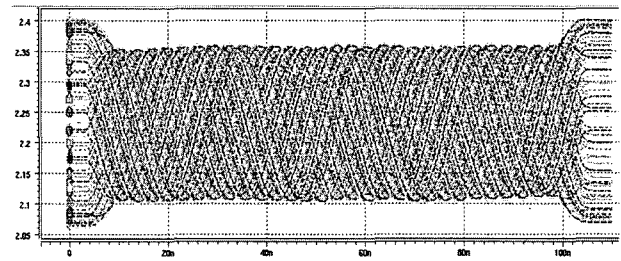


그림 17. 인터폴레이션 모의실험 결과
Fig. 17. Interpolation simulation Results.

서 본 논문에서는 IR=4 와 IR=2 의 인터폴레이션회로를 직렬로 연결하여 전체 IR=8을 구현하였다.

그림 15는 본 논문에 사용된 Cascaded Interpolation의 블록다이아그램이다. 폴딩 블록 뒤에 IR=4 의 인터폴레이션 회로가 위치하여 폴딩 회로가 느끼는 부하 커패시턴스가 IR=8 과 비교해 약 36%로 줄어드는 효과가 있어 전체 A/D 변환기의 입력 Bandwidth 넓히는데 도움을 주었다. 그림 16은 IR=4 와 IR=2 의 인터폴레이션 회로이다. Interpolation 회로는 MOS의 전류를 이용하는 회로로써 보다 정확한 전류분배를 위해 단위 MOS를 사용했다. 그림 17은 100nsec의 Ramp입력에 대한 인터폴레이션 모의실험 결과이다.

6. 제안하는 Auto Switching 인코더의 설계

제안하는 Auto Switching 인코더의 알고리즘은 그림 18과 같다. 폴딩 출력은 이상적인 경우 톱니파 형태를 가져야 하지만, 이를 회로로 구현하기에는 불가능하므로 폴딩 출력을 정현파로 구현한다. 그러므로 폴딩 출력 정현파의 $2\pi N + \pi$ 에서 $2\pi N + 2\pi(N=0,1,2,3)$ 까지의 구간에서는 역코딩을 해야 한다. 일반적인 디지털 블록은

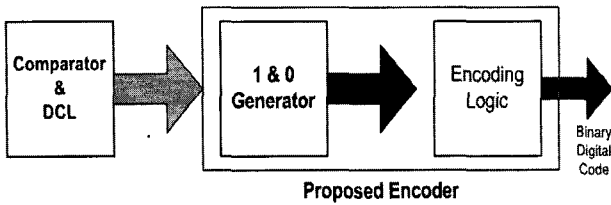


그림 18. 제안하는 Auto Switching 인코더의 알고리즘
 Fig. 18. The proposed Auto Switching Encoder Algorithm.

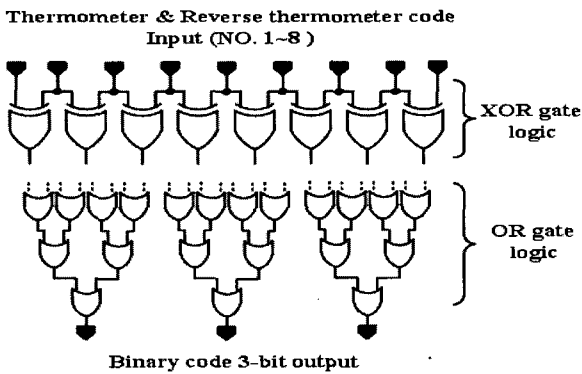


그림 19. 제안하는 Auto Switching 인코딩 로직
 Fig. 19. The Proposed Auto Switching Encoding Logic.

62개의 비교기 출력(out=31개 및 outb=31개)이 스위칭 블록으로 인가된다. 그 후 선택신호(Sync select Signal)가 역코딩을 위한 선택신호로 사용되며 동시에 지연시간 보상을 위한 LSB로 출력된다. 제안하는 Encoder는 역코딩 과정 없이 역 Thermometer 신호를 그대로 받아 Encoding을 수행한다.

그림 19는 제안하는 인코딩 로직을 나타낸다. 인코더는 앞단의 DCL로부터 인가되는 스위칭 되지 않은 Thermometer 신호를 1&0 생성기의 XOR에 인가되고 두 입력이 서로 다른 부분의 XOR는 "1"로 출력하고 나머지 두입력이 같은 부분의 XOR는 "0"으로 출력한다. 이때 발생하는 신호는 Thermometer와 역 Thermometer의 구간에서 서로 일치하여 뒷단의 OR Gate로 구성된 Encoding Logic은 2input OR Gate를 사용하여 버퍼의 효과를 함께 나타낼 수 있으며, Thermometer와 역 Thermometer 구간에서도 오동작 없이 동작 할 수 있고 이를 인가받은 Encoding Logic에서 Binary의 Digital code를 생성 출력하게 된다. 그렇게 해서 계속되는 고속 스위칭에 대한 전력소비와 면적의 낭비를 줄여준다.

그림 20은 3-bit Encoder의 Algorithm의 예이다. XOR을 거친 Thermometer Code가 OR를 거쳐서 Binary Code를 출력한다. bit-1의 경우 색칠된 4개의 Code가 OR로 들어가기 때문에 하나라도 1이 있는 부분이 1을

Thermometer code (MSB)	Encoder	Thermometer code	Encoder	Thermometer code (LSB)	Encoder
0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0
0 0 0 0 0 0 0 1	0 0 0 1	0 0 0 0 0 0 0 1	0 0 0 1	0 0 0 0 0 0 0 1	0 0 0 1
0 0 0 0 0 0 1 0	0 0 1 0	0 0 0 0 0 0 1 0	0 0 1 0	0 0 0 0 0 0 1 0	0 0 1 0
0 0 0 0 0 0 1 1	0 0 1 1	0 0 0 0 0 0 1 1	0 0 1 1	0 0 0 0 0 0 1 1	0 0 1 1
0 0 0 0 0 1 0 0	0 0 0 0	0 0 0 1 0 0 0 0	0 1 0 0	0 0 0 1 0 0 0 0	0 1 0 0
0 0 0 0 0 1 0 1	0 0 0 1	0 0 0 1 0 0 0 1	0 1 0 1	0 0 0 1 0 0 0 1	0 1 0 1
0 0 0 0 0 1 1 0	0 0 0 1	0 0 0 1 0 0 1 0	0 1 1 0	0 0 0 1 0 0 1 0	0 1 1 0
0 0 0 0 0 1 1 1	0 0 0 1	0 0 0 1 0 0 1 1	0 1 1 1	0 0 0 1 0 0 1 1	0 1 1 1
0 0 0 0 1 0 0 0	0 0 0 0	0 0 1 0 0 0 0 0	0 1 0 0	0 0 1 0 0 0 0 0	0 1 0 0
0 0 0 0 1 0 0 1	0 0 0 1	0 0 1 0 0 0 0 1	0 1 0 1	0 0 1 0 0 0 0 1	0 1 0 1
0 0 0 0 1 0 1 0	0 0 0 1	0 0 1 0 0 0 1 0	0 1 1 0	0 0 1 0 0 0 1 0	0 1 1 0
0 0 0 0 1 0 1 1	0 0 0 1	0 0 1 0 0 0 1 1	0 1 1 1	0 0 1 0 0 0 1 1	0 1 1 1
0 0 0 0 1 1 0 0	0 0 0 0	0 0 1 1 0 0 0 0	0 1 0 0	0 0 1 1 0 0 0 0	0 1 0 0
0 0 0 0 1 1 0 1	0 0 0 1	0 0 1 1 0 0 0 1	0 1 0 1	0 0 1 1 0 0 0 1	0 1 0 1
0 0 0 0 1 1 1 0	0 0 0 1	0 0 1 1 0 0 1 0	0 1 1 0	0 0 1 1 0 0 1 0	0 1 1 0
0 0 0 0 1 1 1 1	0 0 0 1	0 0 1 1 0 0 1 1	0 1 1 1	0 0 1 1 0 0 1 1	0 1 1 1

그림 20. 3-bit 인코더의 알고리즘
 Fig. 20. 3-bit Encoder Algorithm.

출력하고, bit-2와 bit-3도 마찬가지로 색칠된 4개 Code가 OR로 들어가서 1을 출력한다.

III. FULL chip 회로도 및 모의실험 결과

모의실험은 설계된 8-bit A/D 변환기의 PAD를 포함 시킨 LPE를 통한 Full code 확인과 유효 비트수를 확인하기 위해 FFT를 하였다. Ramp 입력은 디지털 256코드(Full Code)를 확인할 수 있다. 그림 21은 A/D 변환기에 인가된 Ramp 입력에 대한 256코드의 디지털 출력의 모의실험 결과이다. missing code 없이 출력됨을 확인하였다.

그림 22는 본 연구에서 설계된 A/D 변환기의 각각의 Sine입력에 대한 Ideal DAC의 출력파형이다.

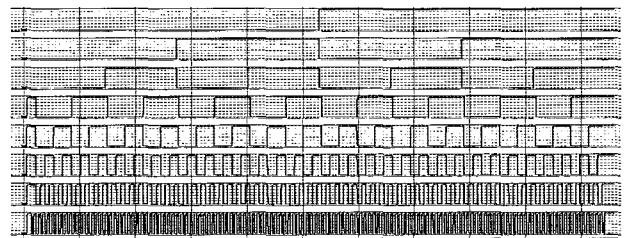


그림 21. 램프 출력 모의실험 결과
 Fig. 21. The Ramp Output Simulation Results.

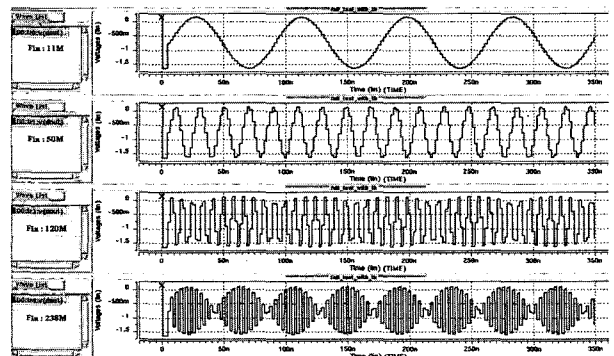


그림 22. A/D 변환기의 복원 파형
 Fig. 22. Reconstruction Wave of A/D Converter.

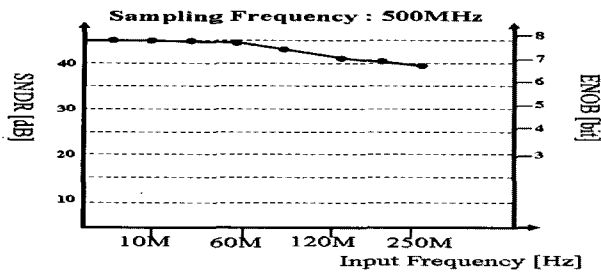


그림 23. Sine 입력에 따른 유효비트
Fig. 23. Effective Number of Bits by Sine Input.

샘플링 주파수 500MHz에서 각 주파수별 유효 비트수를 보기위해서 FFT(Fast Fourier Transform) simulation을 하였다. 그림 23은 주파수에 따른 유효 비트수이다.

IV. 레이아웃 및 측정결과

1. 레이아웃

그림 24는 전체 A/D 변환기의 Core Layout과 제작 완료된 A/D 변환기를 나타냈다. 전체 Layout된 A/D 변환기의 Core Size는 1050um × 820um이다. 폴딩 구조의 특성상 폴딩 입력신호의 교차현상이 발생하며 이를 개선하기 위하여 프리엠프의 순서를 폴딩 입력 순서 기준으로 재배치하여 레이아웃 하였다.

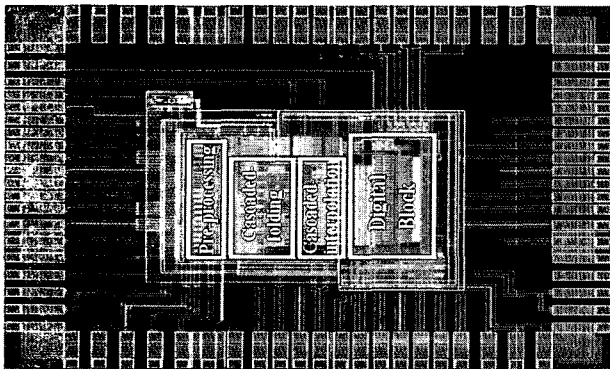


그림 24. 설계된 8bit A/D 변환기의 레이아웃
Fig. 24. 8bit A/D converter Layout.

2. 측정 결과

본 연구는 Gage社의 Compu-Scope 3200을 사용하여 측정하였다. 그림 25는 제안된 8-bit A/D 변환기의 패키지 된 칩과 측정을 위한 테스트 보드의 그림이다. 그림 26은 Ramp 입력에 따른 출력을 Compscope로 측정한 결과이다.

측정 결과는 그림 27과 같이 샘플링 주파수 500MHz와 입력 주파수 10MHz에서 SNDR 43.72dB, INL ±1LSB, DNL ±1LSB로 측정되었다.

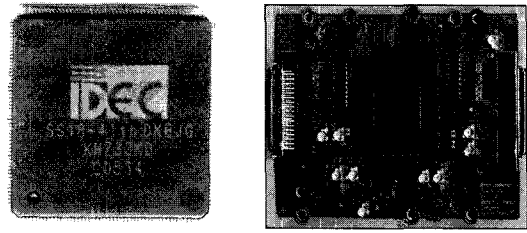


그림 25. 제작된 칩 및 측정보드
Fig. 25. Produced Full Chip & Measurement Board.

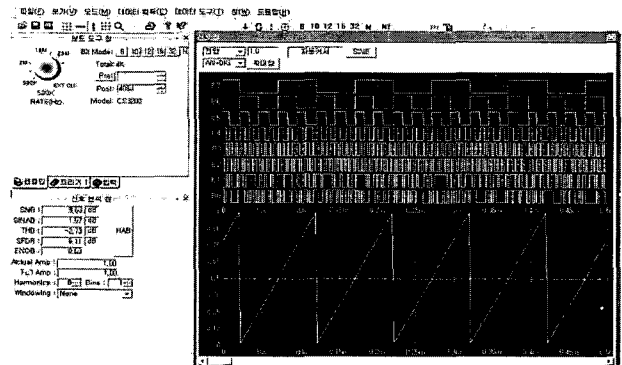


그림 26. Ramp 입력에 따른 출력 파형
Fig. 26. Output Wave by Ramp Input.

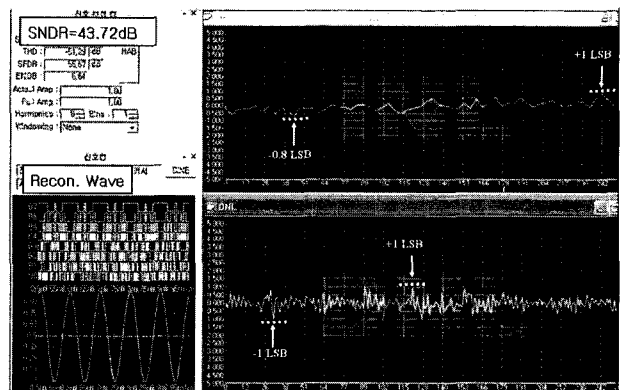


그림 27. FFT 측정결과 (fin=10MHz, fs=500MHz)
Fig. 27. FFT at fin=10MHz and fs=500MHz.

V. 결론

반도체 공정기술의 발전에 따라 집적회로는 Mixed Mode ASIC에서 SOC(System On a Chip)으로 급속히 발전하고 있다. 다양한 기능을 조합한 Multimedia의 최종 입출력은 인간이 보고 듣고 느낄 수 있는 아날로그 신호이기 때문에 시스템 IC분야에서 이러한 아날로그 IP(Intellectual Property)의 개발은 필수적이다. 특히 이 중에서도 고속의 미세 신호를 조작 처리해야하는 System의 입출력은 저 잡음 증폭기와 고속 A/D 변환기, D/A 변환기의 개발을 시발점으로 SOC 기술의 조기

표 2. 설계된 A/D 변환기 사양 및 측정 결과
Table 2. Performance summary of the designed ADC.

분해능	8 비트
변환속도	500MSPS
전원 전압	단일 1.8V
아날로그 입력 범위	Dual 1 V _{PP}
공정	0.18 μ m, 1-poly, 5-metal N-well CMOS
DNL 및 INL	< \pm 1LSB
SNDR	> 42dB (F _{in} <100MHz)
전력소모	146mW
유효 칩 면적 (Core)	1050 μ m \times 820 μ m

표 3. 최근 8bit ADC 연구동향
Table 3. Recent research of 8bit ADC.

참고문헌	Sampling	Input Freq.	전력[mW]	FOM[pJ]	ENOB[bit]
본 논문	500MHz	Nyquist	146	2.9	6.7
[3]	100MHz	Nyquist	200	22	6.5
[4]	400MHz	Nyquist	200	3.6	7.1
[7]	600MHz	Nyquist	220	16	6.5
[8]	1.6GHz	Nyquist	774	3.2	7.26
[9]	200MHz	10MHz	210	9.4	6.8

실현이 가능하다.

본 연구의 목적은 고속 Interface를 위한 의료장비 및 프로세스 제어, 레이더, 디지털 샘플링 오실로스코프 등과 같은 응용 분야에서 높은 해상도와 높은 변환 속도를 갖는 A/D 변환기의 개발이다. 고속의 A/D 변환기는 Full-Flash 방식이 널리 사용되고 있으나 많은 비교기의 수에 의하여 큰 칩 면적과 많은 전력 소모를 가지는 단점을 가지고 있다.

본 연구에서는 0.18 μ m 1-poly 5-metal N-well CMOS 공정을 사용하여, Cascaded-Folding Cascaded-Interpolation 기법을 이용하여 고속동작을 목표로 한 1.8V 8-bit 500MSPS A/D 변환기를 설계하였다. 제안된 A/D 변환기는 8의 분해능을 얻기 위해 최적화된 조합인 FR=3 \times 3, NFB=4 및 IR=4 \times 2 를 적용하여 폴딩 블록과 인터플레이션 블록을 설계하였다. 저항의 부정합에

둔감한 저항열을 제안하여 전체 A/D 변환기의 성능을 향상시켰으며, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor, 고속 동작을 위해 새로운 알고리즘의 Encoder를 제안하여 폴딩 A/D 변환기에서 필수적인 회로였던 스위치블록을 제거하여 면적과 전력소비를 줄였다. SNR을 향상시키기 위한^[9]T/H 증폭기는 분산 T/H 폴딩 구조로 설계하였다.

설계된 A/D 변환기의 유효 칩 면적은 1050 μ m \times 820 μ m으로 기존의 Full-Flash 타입의 A/D 변환기에 비해 작은 칩 면적을 차지하였다. 또한, 1.8V 전원에서 146mW의 낮은 전력을 소모를 하였다. 표 2는 본 연구에서 설계된 A/D 변환기의 사양을 정리한 도표이다. 표 3은 최근 8-bit ADC 연구동향을 정리하였으며, 타 연구 논문과 비교해 볼 때 높은 변환속도와 적은 전력 소모를 가짐을 알 수 있다.

참고 문헌

- [1] A. G. W. Venes and van-de-Plassche. R. J. "An 80MHz 80mW 8b CMOS folding A/D converter with Distributed T/H Preprocessing", ISSCC Dig., pp 318-319, Feb. 1996.
- [2] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그/혼성모드 집적회로시스템 설계", 시그마프레스, 1999.
- [3] R. Plassche and P. Baltus. "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter, "IEEE J, Solid-State Circuits, vol. 23, n0. 6, pp. 1334-1344, DEC. 1988.
- [4] Silva, R.T., Fernandes, J.R. "A low-power CMOS folding and interpolation A/D converter with error correction", Circuits and Systems, 2003. ISCAS, 25-28 May 2003 Page(s):I-949 - I-952 vol.1
- [5] Xicheng Jiang, Yunti Wang and Alan N.Wilson Jr. "A 200MHz 6-Bit Folding and Interpolating ADC" ISCAS., 1998.
- [6] Phillip E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design" 2nd Edition
- [7] Zheng-Yu Wang, Hui Pan, Chung-Ming Chang, Hai-Rong Yu and M. Frank Chang. "A 600 MSPS 8-bit Folding ADC in 0.18 μ m CMOS " 5 SOVC, pp. 424-427, June. 2004.
- [8] Peter scholtens, Maarten Vertergt "A 8b 1.6GSample/s Flash ADC in 0.18 μ m CMOS using Averaging Termination." in international Solid State Circuit Conference, pp. 168-169, IEEE, Feb.

2002.

[9] Vandebussche J, Lauwers E, Uyttenhove K, Gielen G, Steyaert M "Systematic design of a 200MSPS 8-bit interpolating A/D converter"

Design, Automation and Test in Europe Conference and Exhibition, 2002 pp. 357-361

저 자 소 개



정 승 휘(정회원)
 2004년 동국대학교 반도체과학과 학사 졸업.
 2006년~현재 동국대학교 반도체과학과 석사 과정.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계 >



박 재 규(정회원)
 2004년 동국대학교 반도체과학과 학사 졸업.
 2006년 동국대학교 반도체과학과 석사 졸업.
 2006년~현재 MagnaChip Semiconductor Ltd. DSD Large DDI Design Team 2

<주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계 >



황 상 훈(정회원)
 2001년 동국대학교 반도체과학과 학사 졸업.
 2003년 동국대학교 반도체과학과 석사 졸업.
 2004년~현재 동국대학교 반도체과학과 박사 과정.

<주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계 >



송 민 규(정회원)
 1986년 서울대학교 전자공학과 학사 졸업.
 1988년 서울대학교 전자공학과 석사 졸업.
 1993년 서울대학교 전자공학과 박사 졸업.

1993년~1995년 동경대학교 초빙연구원
 1995년~1997년 삼성전자 ASIC 설계팀 연구원
 1997년~현재 동국대학교 부교수
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계 >