

논문 2006-43TC-5-16

Drain 바이어스 제어를 이용한 Hybrid Doherty 증폭기의 성능개선

(Performance Enhancement of Hybrid Doherty Amplifier using Drain bias control)

이 석 희*, 이 상 호**, 방 성 일***

(Suk-hui Lee, Sang-ho Lee, and Sung-il Bang)

요 약

본 논문에서는 3GPP 증계기 및 기지국용 50W급 Doherty 전력증폭기를 설계 및 제작하였다. 이상적인 Doherty 전력증폭기는 효율개선과 고출력 특성이 뛰어나지만 이를 구현하기 위해서는 바이어스 조절이 어렵다. 이를 해결하고자 기존의 Gate 바이어스 조절회로를 가진 Doherty(GDCHD) 전력증폭기에 Drain 바이어스 조절회로를 첨가한 GDCHD(Gate and Drain Control Hybrid Doherty) 전력증폭기를 구현하였다. 실험결과 3GPP 동작주파수 대역인 2.11~2.17 GHz에서 이득이 57.03 dB 이고, PEP 출력이 50.30 dBm, W-CDMA 평균전력 47.01 dBm, 5MHz offset 주파수대역에서 -40.45 dBc의 ACLR 특성을 가졌으며, 각각의 파라미터는 설계하고자 하는 증폭기의 사양을 만족하였다. 특히 GDCHD 전력증폭기는 일반적인 Doherty 전력증폭기에 비해 ACLR에 따른 효율 개선성능이 우수하였다.

Abstract

In this paper, design and implement 50W Doherty power amplifiers for 3GPP repeater and base station transceiver system. Efficiency improvement and high power property of ideal Doherty power amplifier is distinguishable; however bias control for implementation of Doherty(GDCHD) amplifier is difficult. To solve the problem, therefore, GDCHD(Gate and Drain Control Hybrid Doherty) power amplifier is embodied to drain bias adjustment circuit to Doherty power amplifier with gate bias adjustment circuit. Experiment result shows that 2.11~2.17 GHz, 3GPP operating frequency band, with 57.03 dB gain, PEP output is 50.30 dBm, W-CDMA average power is 47.01 dBm, and -40.45 dBc ACLR characteristic in 5MHz offset frequency band. Each of the parameter satisfied amplifier specification which we want to design. Especially, GDCHD power amplifier shows proper efficiency performance improvement in uniformity ACLR than Doherty power amplifier.

Keywords : Doherty amplifier, Efficiency enhancement, Bias control

I. 서 론

현대의 이동통신 시스템은 한정된 주파수 대역을 효율적으로 사용하기 위하여 디지털 변조방식을 사용하

고, 송수신단의 전단부에서 전력효율보다는 대역효율이 우수한 전력증폭기를 사용하고 있다. 전력증폭기가 가지는 비선형성으로 인해 기존의 전력증폭기만으로는 우수한 이동통신 시스템을 구현할 수 없다. 특히 이동통신 시스템에서 기지국용 전력증폭기는 높은 선형성을 만족하면서 필연적으로 발생하는 열기억효과(Thermal memory effect) 문제와 높은 전력효율을 만족하는 것이 점진적으로 중요한 항목이 되고 있다. 따라서 최근에는 증폭기의 전력효율과 대역효율을 적절한 절충점(trade off)에서 만족시킬 수 있는 전력증폭기에 대한

* 학생회원, ** 정회원, *** 평생회원,
단국대학교 전자컴퓨터공학과
(Dept. of Electronic and Computer Engineering
Dankook University)

※ 본 연구는 단국대학교의 대학연구비 지원금에 의하여 수행되었음.

접수일자: 2006년4월11일, 수정완료일: 2006년5월15일

많은 연구가 진행되고 있다^[1].

이와 같이 전력증폭기가 고선형성을 만족하면서 전력효율을 강화시키기 위한 여러 가지 방법 중에서 가장 많은 관심을 갖고 연구되고 있는 것이 Doherty 증폭기이다. Doherty 증폭기는 1936년 W. H. Doherty 에 의해 전력을 보존하거나 효율을 증대시키기 위한 방법으로 처음 제안되어 비교적 높은 전력효율을 갖으며 구현이 용이한 방식으로 알려져 있다^[2].

이에 따라 본 논문에서는 디지털 이동통신 시스템의 소기지국이나 증계기에 적용할 수 있는 Normal 전력크기가 50[W]인 고전력 Doherty 증폭기를 구현한 다음, 입력전력크기에 따라 MOSFET의 Gate 및 Drain 바이어스 전압을 조절할 수 있는 회로를 설계하여 적용함으로써 Doherty 증폭기 구현 문제점을 해결하고 성능을 개선할 수 있는 방안을 제시하였다.

II. Doherty 전력증폭기의 구성

일반적인 전력 증폭기의 선형성과 전력효율의 관계를 개선하기 위해 제안된 다양한 방법들 중에서 현재 가장 주목받고 있는 것이 Doherty 전력증폭기이다. Doherty 전력증폭기는 다른 방식에 비해 불필요한 회로가 없어 비교적 구조가 간단하고 부하 임피던스 변조 (Load Impedance Modulation)를 이용하여 높은 효율개선효과를 볼 수 있다^[3].

1. Load modulation 기법

Doherty 전력증폭기는 입력전력에 따라 부하의 크기가 조절되는 Load modulation 기법을 사용하는데, 그 등가회로는 그림 1에서 보는 바와 같다^[3].

그림 1의 Load modulation 등가회로로부터 부하에 걸리는 전압과 각각의 전원에서 바라본 부하의 크기를 구하면 다음과 같다.

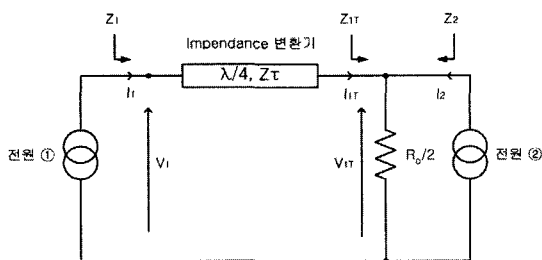


그림 1. Load modulation 등가회로
Fig. 1. The load modulation equivalent circuit.

$$\begin{aligned}
 V_{1T} &= \frac{R_o}{2}(I_{1T} + I_2) \\
 Z_{1T} &= \frac{V_{1T}}{I_{1T}} = \frac{R_o}{2} \left(1 + \frac{I_2}{I_{1T}} \right) \\
 Z_2 &= \frac{V_{1T}}{I_2} = \frac{R_o}{2} \left(1 + \frac{I_{1T}}{I_2} \right)
 \end{aligned} \tag{1}$$

전원 ①에서 부하를 바라본 임피던스는 임피던스 변환기에 의해 다음과 같이 된다.

$$Z_1 = \frac{R_o^2}{Z_{1T}} = \frac{2R_o I_1}{I_1 + I_2}, \quad 0 \leq I_2 \leq I_1 \tag{2}$$

전원 ①에서 바라본 부하는 전원 ②에 따라서 다음과 같이 변한다. 전원 ②가 turn-off되어 I2 = 0인 경우 Z1 = 2R0가 되고, 전원 ②가 turn-on되어 동일한 전류를 가지면 I1 = I2이고, Z1 = Z2 = R0가 된다. 전원 ②가 증가함에 따라 Z1은 2R0에서 R0로 변하게 된다. 즉, 증폭소자에서 바라본 부하의 크기가 고정되어 있는 것이 아니라 다른 전원의 동작상태에 따라 부하의 크기가 달라지게 된다.

2. Doherty 전력증폭기의 동작특성

Doherty 전력증폭기의 기본구조는 그림 2와 같다^[4,5].

그림 2에서 보는 바와 같이 Doherty 전력증폭기는 주증폭기와 보조증폭기로 이루어져 있다. 주증폭기와 보조 증폭기의 출력부는 λ/4 임피던스 변환기로 결합된다. λ/4 임피던스 변환기는 주증폭기의 낮은 출력 임피던스를 높은 임피던스로 변화시켜 전달되는 모든 전력이 부하저항에 나타나게 하는 역할을 한다. 보조증폭기 앞단의 λ/4 전송선로는 출력부의 임피던스 변환기에 의한 위상차를 보정하기 위한 것이다.

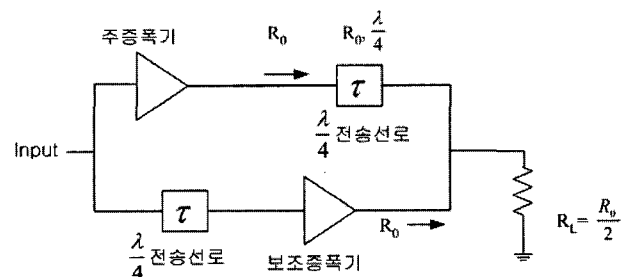
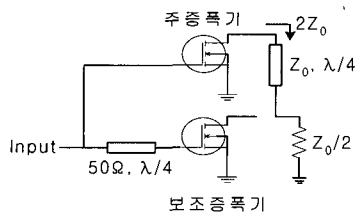
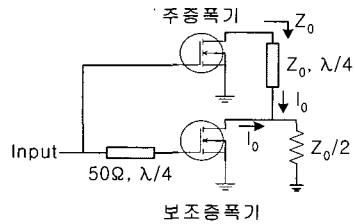


그림 2. Doherty 전력증폭기의 기본구조
Fig. 2. The basic structure of Doherty PA.



(a) 낮은 입력전력레벨 동작모드



(b) 최대 입력전력레벨 동작모드

그림 3. Doherty 전력증폭기의 동작모드
Fig. 3. The operation modes of Doherty PA.

일반적으로 주증폭기와 보조증폭기의 바이어스는 각각 B급과 C급으로 동작시키는데, 효율보다 선형성에 비중을 두었을 경우에는 B급보다 AB급의 주증폭기를 사용한다. Load modulation 기법에서와 같이 주증폭기와 보조증폭기는 입력전력의 크기에 따라 다음과 같은 동작모드를 가진다.

입력전력레벨에 따른 Doherty 전력증폭기의 동작형태는 그림 3에서 보는 바와 같다. Doherty 전력증폭기는 낮은 입력전력레벨에서 주증폭기만 동작하며 보조증폭기는 Turn-off 상태를 유지하고 있다. 이 경우 주증폭기에서 바라본 부하의 크기는 Impedance 변환기에 의해 다음과 같이 된다.

$$Z_M = \frac{Z_0^2}{Z_0/2} = 2Z_0 \tag{3}$$

중간 입력전력레벨에서는 입력전력이 증가함에 따라 주증폭기의 출력이 포화상태에 접근하게 되어 비선형 특성을 보이기 시작한다. 이 때, 보조증폭기가 동작하기 시작하여 주증폭기의 비선형특성을 보완한다. Turn-on된 보조증폭기는 전류 I_A 를 흘려보낸다. 전류 I_A 의 크기에 따라 주증폭기와 보조증폭기에서 바라본 부하의 크기는 다음과 같다.

$$Z_A = \frac{Z_0}{2} \left(1 + \frac{I_M}{I_A} \right) \tag{4}$$

$$Z_M = \frac{2R_0 I_M}{I_M + I_A}$$

최대 입력전력레벨에서는 주증폭기와 보조증폭기 모두 최대 출력을 갖게 된다. 즉, 전류 I_M 과 I_A 가 동일한 크기를 가지므로 주증폭기와 보조증폭기에서 바라본 부하의 크기는 식(5)와 같다.

$$Z_M = Z_A = R_0 \tag{5}$$

3. Doherty 전력증폭기의 효율

AB급의 주증폭기와 C급 보조증폭기를 갖는 실제적인 고출력 Doherty 전력증폭기의 효율특성을 구하기 위해 먼저 도통각(Conduction Angle)에 따른 DC 전류 I_{DC} 의 값을 구하면 식 (6)과 같다^[6,7].

$$I_{DC} \cong \begin{cases} \frac{I_{max}}{2\pi} \cdot 2.78, & \text{Class AB, } \alpha = \frac{3\pi}{2} \\ \frac{I_{max}}{2\pi} \cdot 2, & \text{Class B, } \alpha = \pi \\ \frac{I_{max}}{2\pi} \cdot 1.04, & \text{Class C, } \alpha = \frac{\pi}{2} \end{cases} \tag{6}$$

낮은 입력전압레벨 ($0 < v_{in} < \frac{V_{max}}{2}$)에서의 실제 Doherty 전력증폭기의 효율 η_L 은 식 (7)과 같다.

$$\eta_L = \frac{v_{in}}{V_{max}} \cdot \left(\frac{2\pi}{2.78} \cdot \frac{1}{2} \right) \cdot 100 = 56.5\% \tag{7}$$

중간 입력전압레벨 ($\frac{V_{max}}{2} < v_{in} < V_{max}$)부터 최대 입력 구간까지의 효율은 보조증폭기가 B급 또는 C급으로 동작하는 두 경우에 따라 달라진다. 먼저 보조증폭기가 B급으로 동작하는 경우에 소모되는 DC 전력 P_{DC} 을 구하면 다음과 같다.

$$P_{DC} = \left(\frac{I_{max}}{\pi} \right) \cdot V_{dc} \cdot \left[3.39 \left(\frac{v_{in}}{V_{max}} \right) - 1 \right] \tag{8}$$

따라서, AB급의 주증폭기와 B급 바이어스의 보조증폭기를 가지는 Doherty 전력증폭기의 전체효율 η_{real-B} 을 구하면 식 (9)와 같다.

$$\eta_{real-B} = \frac{P_{out}}{P_{DC}} = \frac{\pi}{2} \cdot \frac{\left(\frac{v_{in}}{V_{max}} \right)^2}{\left(\frac{3.39 \cdot v_{in}}{V_{max}} - 1 \right)} \tag{9}$$

실제 Doherty 전력증폭기가 AB급의 주증폭기와 C급의 보조 증폭기로 동작하는 경우, 최대 입력 구간에서

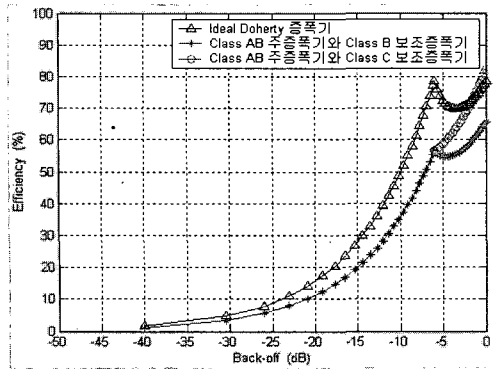


그림 4. Doherty 전력증폭기의 효율특성
Fig. 4. The characteristics of Doherty PA's efficiency.

의 전체 소모되는 DC 전력 P_{DC} 는 식 (10)과 같다.

$$P_{DC} = \left(\frac{I_{max}}{\pi} \right) \cdot V_{dc} \cdot \left[2.426 \left(\frac{v_{in}}{V_{max}} \right) - 0.518 \right] \quad (10)$$

따라서 C급 보조증폭기를 사용하는 경우의 실제 Doherty 전력증폭기의 전체 효율 η_{real-C} 을 구하면 다음과 같다.

$$\eta_{real-C} = \frac{\pi}{2} \cdot \frac{\left(\frac{v_{in}}{V_{in,max}} \right)^2}{\left(\frac{2.426 \cdot v_{in}}{V_{in,max}} - 0.518 \right)} \quad (11)$$

그림 4는 출력 전력의 백-오프 양에 따른 실제 Doherty 전력증폭기들의 전체 효율이다. Doherty 전력증폭기의 효율은 낮은 입력 구간동안은 AB급으로 바이어스 된 주증폭기의 효율 특성에 의존하며, 중간 입력 구간부터 최대 입력 구간까지는 보조증폭기의 바이어스 변화에 의해 효율이 변화됨을 확인 할 수 있다.

III. GDCHD 증폭기의 설계 및 시뮬레이션

GDCHD 전력증폭기의 Power back-off는 peak 대 average 비율이 8:1 이상이 되도록 설계하기 위하여 두

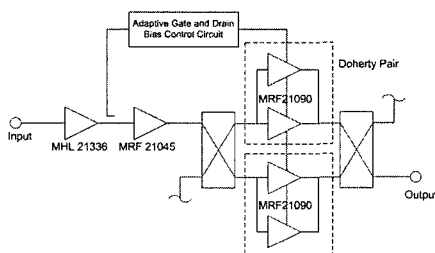


그림 5. GDCHD 전력증폭기의 블록도
Fig. 5. The block diagram of GDCHD PA.

쌍의 Doherty 전력증폭기를 Hybrid Coupler로 결합하였고 충분한 Gain을 가진 Power module과 45W급 FET로 각각 구동단과 중간단을 구성하였다. GDCHD 전력증폭기의 블록도는 그림 5와 같다.

1. 주증폭단

GDCHD 전력증폭기의 주증폭단은 두 쌍의 Doherty 전력증폭기를 구성하였다. 두 쌍의 Doherty 전력증폭기는 고효율을 얻기 위해 90° Hybrid Coupler를 사용하여 각각의 Doherty 전력증폭기에서 증폭된 신호를 결합하며, 주 증폭단의 구성은 그림 6에서 보는 바와 같다.

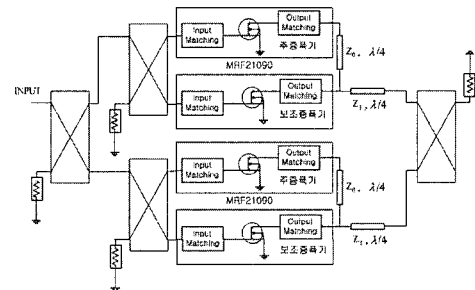


그림 6. 주증폭단의 구성도
Fig. 6. The block diagram of main stage.

2. 바이어스 제어부

가. Gate 바이어스 제어부

일반적인 Doherty 전력증폭기는 주증폭기와 보조증폭기가 B급과 C급으로 구성된다. 그러나 실제 Doherty 증폭기는 주증폭기와 보조증폭기에 동일한 증폭소자를 사용하기 때문에 B급과 C급의 바이어스를 인가할 수 없다. 이러한 바이어스 문제를 해결하기 위해 입력전력에 따라 보조증폭기의 바이어스를 조절할 수 있는 회로가 반드시 필요한데, 보조증폭기의 Gate 바이어스를 조절하기 위한 회로는 그림 7에서 보는바와 같다.

그림 7에서 보듯이 인가된 RF 신호는 Schottky barrier diode MMBD101을 사용하여 반파정류 한다. 반파정류된 신호는 저항과 캐패시터의 시정수를 이용하

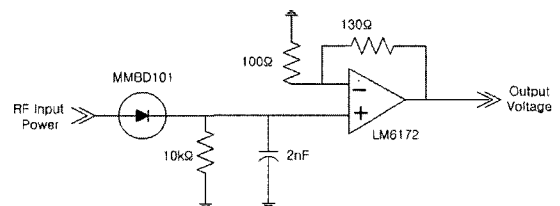


그림 7. Gate 바이어스 조절 회로의 블록도
Fig. 7. The block diagram of Gate bias control circuit.

여 DC 신호로 변환되는데, 그 크기가 매우 작기 때문에 선형증폭기 LM6172를 사용하여 보조증폭기에 적정 바이어스가 인가되도록 DC 신호를 증폭시켰다.

나. Drain 바이어스 제어부

그림 8에서 보는 바와 같이 이상적인 MOSFET는 포화영역에서 일정한 출력특성을 가지는 반면, 실제 MOSFET는 Drain 바이어스에 따라 출력특성이 달라진다. 특히 Gate 바이어스에 의해 출력저항의 크기가 달라지는 Doherty 전력증폭기 구조에서는 출력전력에 따른 최적의 Drain 바이어스점을 조절하여야 한다. Drain 바이어스 조절회로의 블록도는 그림 9와 같다.

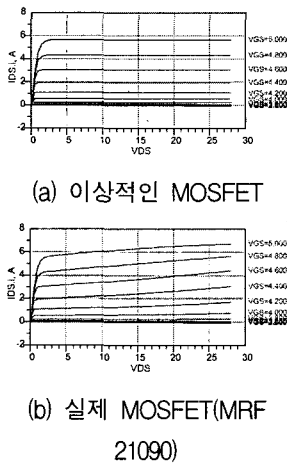


그림 8. MOSFET의 출력특성
Fig. 8. The output characteristic of MOSFET.

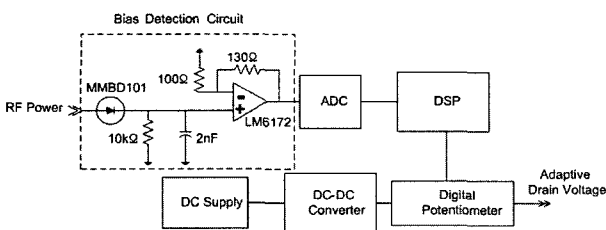
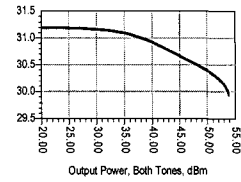


그림 9. Drain 바이어스 조절회로
Fig. 9. The block diagram of Drain bias control circuit.

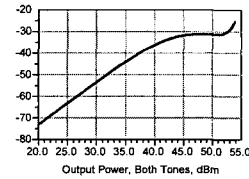
3. GDCHD 전력증폭기의 Simulation

가. Doherty 전력증폭기

Doherty 전력증폭기의 중간단과 주증폭단은 각기 Power 정합상태를 이루도록 설계하였다. Power 정합은 실제로는 부정합 상태이므로 중간단과 주증폭단 사이에 전력손실이 발생한다. 이러한 전력손실을 최소화하기 위해 각각의 증폭단에 Load-pull 과정을 반복하였으며, GDCHD 전력증폭기의 출력특성은 그림 10에서 보



(a) Gain



(b) PEP

그림 10. Doherty 전력증폭기의 출력특성
Fig. 10. The output characteristics of Doherty PA.

는 바와 같다.

그림 10에서 보는 바와 같이 Doherty 전력증폭기는 구동단을 제외한 이득은 31.19 dB이고, 구동단을 포함하는 경우에는 이득이 57.99 dB이다. Doherty 전력증폭기의 시뮬레이션 이득은 증폭기의 출력은 주증폭단의 출력에만 의존하므로 Doherty 전력증폭기의 출력은 두 쌍의 Doherty 전력증폭기의 PEP 출력과 동일하게 되는데, Doherty 전력증폭기의 PEP 출력은 55.586 dBm을 가졌다.

나. Gate 바이어스 제어부

GDCHD 전력증폭기의 Gate 바이어스 제어부의 출력특성은 그림 11에서 보는 바와 같다.

Gate 바이어스 제어회로는 그림 11에서 보듯이 입력전력에 대해 Gate 바이어스 출력전압의 크기를 조절하는 것으로, 7 dBm 이하의 입력전력에서는 전압의 크기가 0 V이므로 보조증폭기가 동작하지 않는다. 그러나

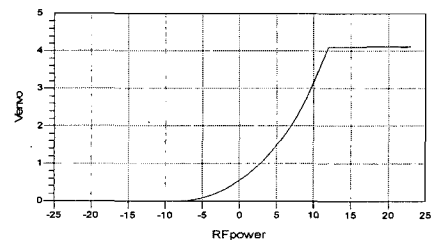


그림 11. Gate 바이어스 제어부의 출력특성
Fig. 11. The output characteristic of Gate bias control.

입력전력이 증가함에 따라 보조증폭기에 인가되는 Gate Bias의 크기도 증가하게 되고, 입력전력의 크기가 12 dBm 정도에 이르면 보조증폭기는 4.1 V의 최대 바이어스지점에서 동작하게 된다. Gate 바이어스 제어부를 이용함으로써 동일소자 사용에 따른 Doherty 전력증폭기의 바이어스 문제를 해결하였다.

다. Drain 바이어스 제어부

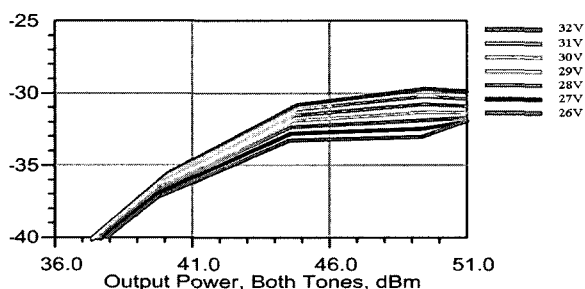


그림 12. Drain 바이어스에 따른 Doherty 전력증폭기 특성
Fig. 12. The characteristic of Doherty by Drain bias.

그림 12와 같이 높은 출력레벨에서는 Drain 바이어스에 따라 DC 전력의 크기가 많은 영향을 받는다. 그러므로 Drain 바이어스 제어부는 Doherty 전력증폭기의 최대 출력레벨에서 PEP 특성을 만족하고 DC소비전력을 감소시킬 수 있는 최적의 Drain 바이어스를 유지하여야 한다. 최적의 Drain 바이어스 지점은 Doherty 전력증폭기의 구조 및 소자, 그리고 주변 상황에 영향을 받으므로 여러 번의 실측을 통하여 최대 효율 및 출력특성을 가지도록 하였다.

IV. GDCHD 전력증폭기 제작 및 측정결과

1. GDCHD 전력증폭기의 제작

GDCHD 전력증폭기는 비유전율(ϵ_r) 4.6, 유전체 높이(H) 30 Mill, 동판두께(T) 2.68 Mill(2 oz)인 FR4 기판을 사용하여 제작하였다. 접지 패드의 완전한 접지를

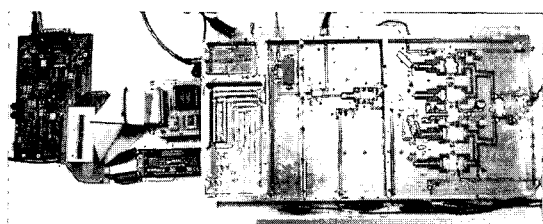


그림 13. 제작된 GDCHD 전력증폭기
Fig. 13. The implementation of GDCHD PA.

위해 미세한 Via를 많이 만들었고, 증폭소자들의 열전도율을 높이기 위해 증폭소자 밑면에 Thermal compound를 발라서 고정시켰다. 본 논문에서 제작한 GDCHD 전력증폭기의 실물은 그림 13에서 보는 바와 같다.

2. 측정결과

가. 일반적인 Doherty 전력증폭기의 측정결과

제작된 일반적인 Doherty 전력증폭기의 이득특성은 그림 14와 같다.

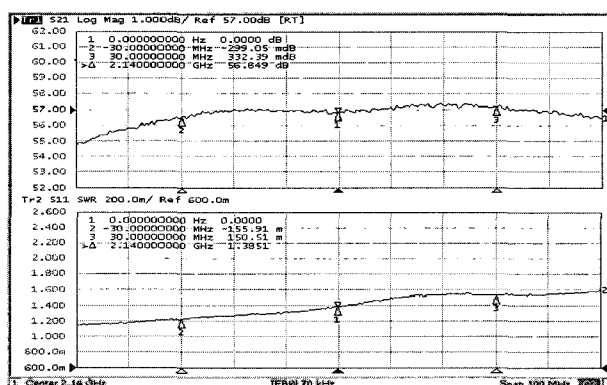


그림 14. Doherty 전력증폭기의 이득특성
Fig. 14. The gain characteristic of general Doherty PA.

그림 14와 같이 일반적인 Doherty 전력증폭기의 이득은 2.14 GHz에서 56.85 dB이고, 이득평탄도는 최대 0.332 dB로 3GPP의 이득평탄도 규격을 만족하였다.

그림 15는 3GPP 규격에 따라 Downlink의 2.14 GHz의 중심주파수를 가진 W-CDMA 신호를 인가하였을 때의 ACLR(Adjacent Channel Leakage Ratio) 출력특성이다.

3GPP 시스템의 ACLR 규격은 5MHz offset 주파수

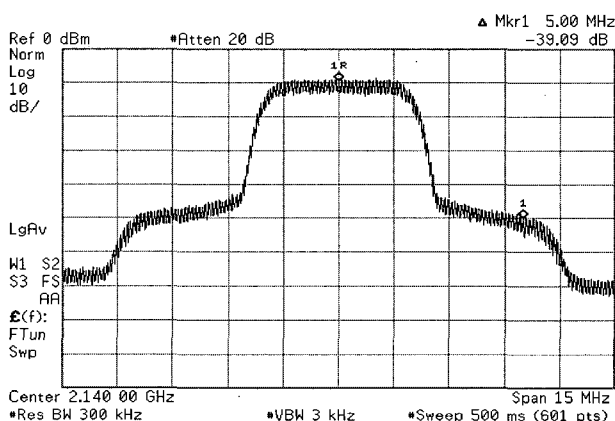


그림 15. Doherty 전력증폭기의 ACLR 출력특성
Fig. 15. The ACLR characteristic of general Doherty PA.

에서 -45 dB이지만, 실제 증폭기만을 고려하면 5MHz offset 주파수에서 -39.09 dB 이상을 만족하면 된다. 제작된 Doherty 전력증폭기는 -40.44 dB의 ACLR 특성을 가지므로 3GPP ACLR 규격을 만족한다. 이와 같은 스펙트럼분포에서 Power Meter로 측정된 평균 출력전력은 46.98 dBm이다.

나. 바이어스 제어부의 측정결과

(1) Gate 바이어스 제어부의 측정결과

그림 16은 Gate 바이어스 제어부의 출력특성이다.

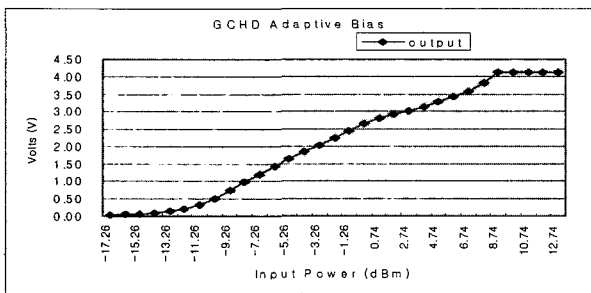


그림 16. Gate 바이어스 조절회로의 출력특성
Fig. 16. The output characteristic of Gate bias control.

그림 16과 같이 Gate 바이어스 조절회로의 출력은 입력전력에 따라 0 V에서 4.1 V까지 가변하였다. 시뮬레이션 결과와 정확하게 일치하지는 않았으나 유사한 특성을 보였다. 시뮬레이션 결과와 측정결과의 입력 전력레벨 오차는 이득모듈과 감쇄기를 사용하여 보정하였다.

(2) Drain 바이어스 제어부의 측정결과

그림 17과 같이 Drain 바이어스 조절회로의 출력은 입력전력에 따라 28 V에서 27 V까지 가변하였다. 이는 시뮬레이션과 수차례의 측정에 의해 최적의 값을 얻은 값이다.

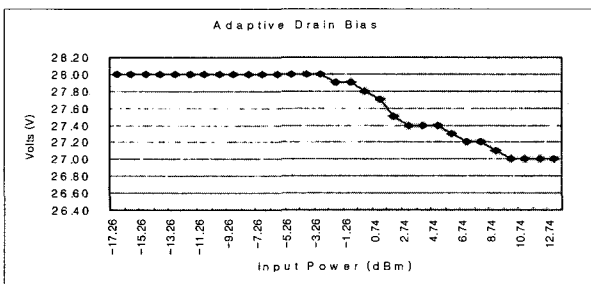


그림 17. Drain 바이어스 조절회로의 출력특성
Fig. 17. The output characteristic of Drain bias control.

다. GDCHD 전력증폭기의 측정결과
Gate 및 Drain 바이어스 제어부를 적용한 GDCHD 전력증폭기의 이득특성은 그림 18과 같다.

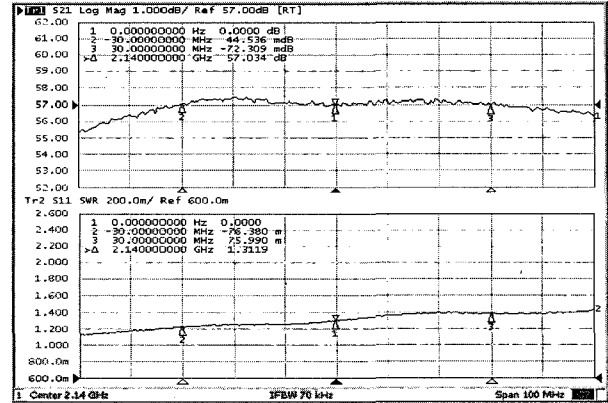


그림 18. GDCHD 전력증폭기의 이득특성
Fig. 18. The gain characteristic of GDCHD PA.

그림 18과 같이 GDCHD 전력증폭기의 이득은 2.14 GHz에서 57.03 dB이고, 이득평탄도는 최대 0.072 dB로 3GPP의 이득평탄도 규격을 만족하였다.

그리고 GDCHD 전력증폭기의 ACLR 출력특성은 그림 19에서 보는 바와 같다.

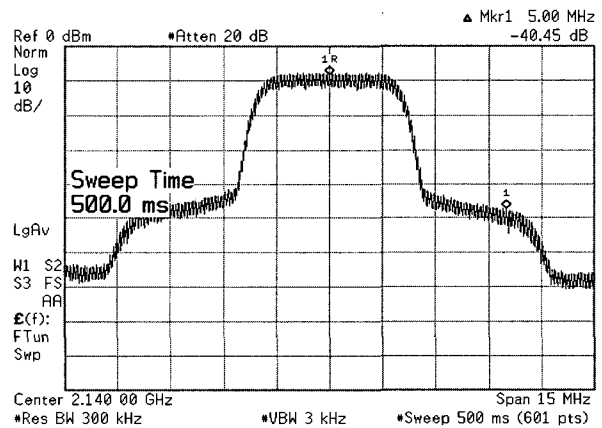


그림 19. GDCHD 전력증폭기의 ACLR 출력특성
Fig. 19. The ACLR characteristic of GDCHD PA.

그림 19에서 보는 바와 같이 GDCHD 전력증폭기의 ACLR 출력특성은 -40405 dB로써, 3GPP ACLR 출력 규격을 만족한다. 위 그림과 같은 ACLR 스펙트럼분포에서 Power Meter로 측정된 평균 출력전력은 47.01 dBm이다.

라. 측정결과 고찰

그림 20과 그림 21은 GDCHD 전력증폭기와 Doherty 전력증폭기의 동일 출력에 대한 ACLR 출력특성과

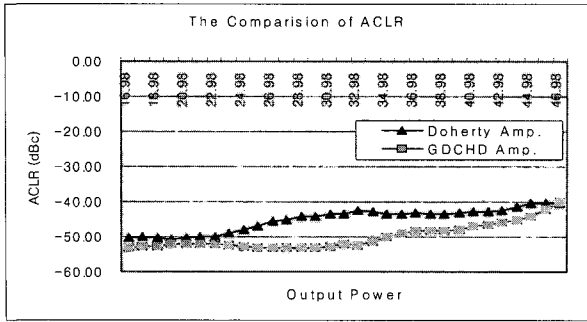


그림 20. GDCHD 전력증폭기의 ACLR 출력특성비교
Fig. 20. The comparison of ACLR characteristics.

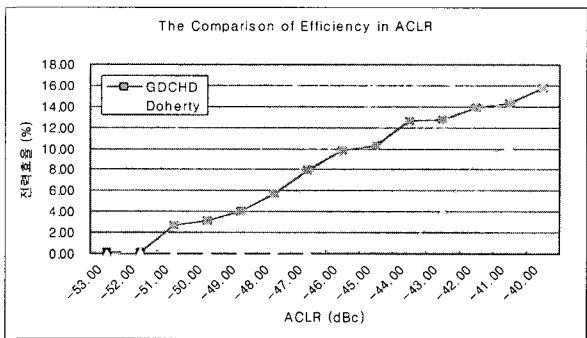


그림 21. ACLR 특성에 따른 전력효율 비교
Fig. 21. The comparison of Power efficiency by ACLR.

ACLR 특성에 따른 전력효율 비교이다.

그림 20에서 보듯이 GDCHD 전력증폭기는 Doherty 전력증폭기에 비해 최대 9.79 dB의 ACLR 개선을 보인다. 그림 21은 GDCHD 전력증폭기의 선형성에 대한 전력효율을 비교한 그림이다. GDCHD 전력증폭기와 Doherty 전력증폭기를 동일 ACLR 특성이 되도록 입력 레벨을 조정하여 전력효율을 비교하였다. 그 결과, 동일 ACLR 출력특성 -44 dBc를 기준으로 입력 신호 레벨을 조절하여 GDCHD 전력증폭기와 Doherty 전력증폭기의 효율을 구하면, 각각 12.58 %와 1.04 %의 효율 특성을 보인다. 선형성의 관점에서 GDCHD 전력증폭기가 Doherty 전력증폭기보다 전력효율이 11.54 % 개선되었다.

V. 결 론

본 논문에서는 ACLR 특성에 따른 효율개선이 뛰어난 3GPP 규격의 50 W급 Doherty 전력증폭기를 설계·제작하였다. Doherty 전력증폭기는 이상적으로 우수한 특성을 가지고 이를 구현하는데 있어 바이어스 조절이 어려운 문제점을 가지고 있다. 이 문제점을 Gate 및 Drain 바이어스 조절회로를 적용한 GDCHD 전력증

폭기 시스템으로 극복하고자 하였다.

GDCHD 전력증폭기의 측정결과, 3GPP의 Downlink 주파수 대역인 2.11~2.17 GHz에서 57.03 dB의 이득특성과 50.30 dBm의 PEP 출력, 47.01 dBm의 W-CDMA 출력을 얻었다. 제작된 증폭기의 선형성을 알아보기 위해 측정한 5MHz offset 주파수에서의 ACLR 특성이 -40.45dBc로써, 3GPP 증폭기 규격을 만족하였다. 또한 GDCHD 전력증폭기는 동일 ACLR 특성에 대하여 최대 11.54 % 효율개선을 가짐으로써 선형성에 대한 전력효율이 우수함을 보였다. 제작된 GDCHD 전력증폭기는 3GPP 증폭기 규격을 모두 만족하므로 실제 시스템에 적용할 수 있으리라고 사료된다.

참 고 문 헌

- [1] R. J. Wilkinson, P. B Kenington, "Specification of Error Amplifiers for Use in Feedforward Transmitter", IEE Proceeding-G, vol.139, no. 4, Aug, 1992.
- [2] W. H. Doherty, "A New High Efficiency Power Amplifier for Modulated Waves", Proceedings of the IRE. Vol. 24, No. 9, pp. 1163~1182, 1936.
- [3] Steve C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House Inc, Norwood, MA, pp. 225~235, 2000.
- [4] Upton, David M., and Maloney, Peter R. et al, "A Microwave Doherty Amplifier", IEEE MTT-S Symposium Digest, pp.1653~1656, 1994.
- [5] Youngoo Yang, Jeongheyon Cha, Bumjae Shin, Bumman Kim, "A Fully Matched N-Way Doherty Amplifier With Optimized Linearity", IEEE Transactions on Microwave theory and techniques, Vol. 51, No. 3, pp. 986~993, 2003.
- [6] 조정준, "A Study on the Doherty Technique for Improving the Efficiency of a Feedforward Linear Power Amplifier", 광운대학교 박사학위논문, pp. 34~38, 2003.
- [7] F. H. Raab, "Efficiency of Doherty RF Power Amplifier Systems", IEEE Transactions of Broadcasting, Vol. BC-33, No. 3, pp. 77~83, 1987.

저 자 소 개



이 석 희(학생회원)
 2004년 단국대학교 공과대학
 전자공학전공(공학사)
 2006년 단국대학교 대학원
 통신공학전공 (공학석사)
 2006년~현재 단국대학교 대학원
 전자컴퓨터공학과
 박사과정 재학

<주관심분야 : RF Amplifier, 디지털 이동통신,
 Digital Pre-distorter, UWB>



이 상 호(정회원)
 1974년 단국대학교 공과대학
 전자공학전공(학사)
 1979년 연세대학교 산업대학원
 전기전자전공(공학석사)
 2003년~현재 단국대학교 대학원
 전자컴퓨터공학과
 박사과정 재학

<주관심분야 : RF Amplifier, 디지털 이동통신>



방 성 일(평생회원)
 1984년 단국대학교 공과대학
 전자공학전공(공학사)
 1986년 단국대학교 대학원
 전자공학전공(공학석사)
 1992년 단국대학교 대학원
 전자공학전공(공학박사)

1992년~1993년 (주)대기정보통신 책임연구원
 1997년~2001년 (주)엘씨텍 연구소장
 2001년~현재 단국대학교 산학연 센터장
 1997년~현재 단국대학교 전기전자컴퓨터
 공학부 교수

<주관심분야 : RF Amp, UWB, OFDM, 디지털
 이동통신 >