

저 전압 트리거형 ESD 보호회로를 탑재한 저 전압 Step-down DC-DC Converter 설계

The Design of low voltage step-down DC-DC Converter with ESD protection device of low voltage triggering characteristics

육 승 범*, 이 재 현*, 구 용 서*

(Seung-Bum Yuk*, KJae-Hyun Lee*, Yong-Seo Koo*)

서경대학교 전자공학과, Dep. of. EE, SeoKyeong Univ.

Abstract

In this study, the design of low voltage DC-DC converter with low triggering ESD (Electro-Static Discharge) protection circuit was investigated. The purpose of this paper is design optimization for low voltage(2.5V to 5.5V input range) DC-DC converter using CMOS switch. In CMOS switch environment, a dominant loss component is not switching loss but conduction loss at 1.2MHz switching frequency. In this study a constant frequency PWM converter with synchronous rectifier is used.

And zener Triggered SCR device to protect the ESD phenomenon was designed. This structure reduces the trigger voltage by making the zener junction between the lateral PNP and base of lateral NPN in SCR structure. The triggering voltage was simulated to 8V.

Key Words : DC-DC Converter, PWM, ESD, triggering voltage, SCR

1. 서 론

최근 수년간 급속한 성장을 지속해온 모바일 분야에 있어 소형, 경량화, 고성능, 고기능화, 및 장시간 사용화가 요구되고 있으며, 이러한 요구에 부합하여 가볍고 효율이 높으면서도 작은 전원장치의 필요성이 극대화 되고 있다.

이러한 모바일 기기의 전원장치는 안정화되지 않은 직류 입력전원을 고효율의 안정되고 다양한 직류 출력전압으로 만들어야 하고, 그러한 이유로 기존의

Linear 방식의 전원장치가 아닌 SMPS(Switched Mode Power Supply) 방식의 전원장치가 사용되고 있으며, 현재 이러한 기술을 적용한 PWM(Pulse Width Modulation) Control 방식의 DC-DC Converter 가 전원장치의 핵심부품으로 사용되고 있다.

따라서 본 논문에서는 휴대폰, PDA, MP3 Player 등의 모바일 기기에서 전원장치로 사용되는 step-down DC-DC Converter 의 구현을 위하여 먼저, CMOS 고주파 PWM IC 를 설계하고 설계된 PWM IC 를 바탕으로 DC-DC Converter 설계를 수행하고자 한다. 또한, 반도체 제조공정의 발달로 MOSFET gate oxide 층의 두께가 얇아지면서 ESD(Electro-Static Discharge) 에 의한 피해가 심각해짐에 따라 본 연구에서 설계한 DC-DC Converter 에 적용 가능한 새로운 구조의 저 전압 ESD 보호소자를 고안, 탑재함으로써

* 서경대학교 전자공학과

(Dept. of EE, SeoKyeong Univ)

接受日:2006年 10月 10日, 修正完了日: 2006年 12月 24日

日

써 DC-DC Converter 의 신뢰성을 높이고자 한다.

II. DC-DC Converter 설계 및 시뮬레이션

2.1 PWM(Pulse Width Modulation) 설계

그림 1은 PWM 제어 회로를 포함하는 DC-DC Converter의 전체 블록도를 나타낸다. PWM 제어 회로는 출력 전압과 기준 전압 V_{ref} 를 비교하여 생긴 오차를 오차 증폭기(Error Amp)로 증폭하고, 이 증폭된 전압은 비교기(comparator)에서 톱니파(saw tooth wave)와 비교되어 오차에 상응한 구형파 펄스를 생성하여 DC-DC Converter의 스위치를 구동시켜 출력 전압을 안정시킨다.

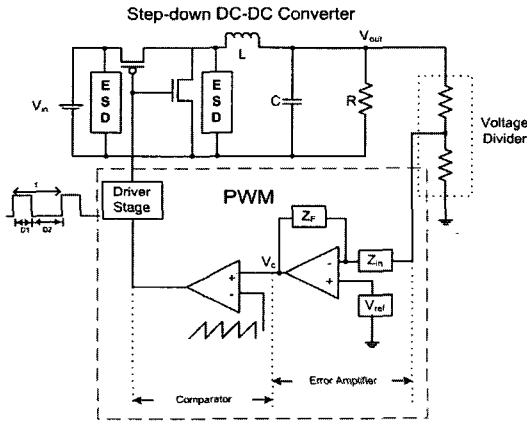


그림 1. DC-DC Converter 전체 블록도

Fig 1. Block Diagram of a DC-DC Converter

2.1.1 기준전압 발생회로 설계

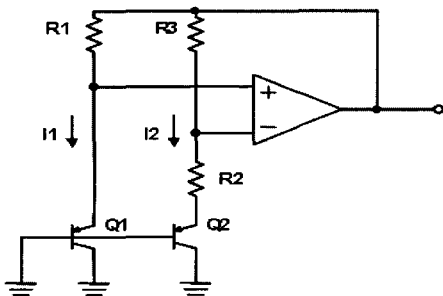


그림 2. band-gap reference 회로도

Fig 2. band-gap reference circuit diagram

기준전압 발생회로는 DC-DC Converter에서 입력전압과 온도의 변화에 무관하게 기준전압을 만들어주는 블록으로 band-gap reference회로를 이용하여 그림 2와 같이 설계하였다[1].

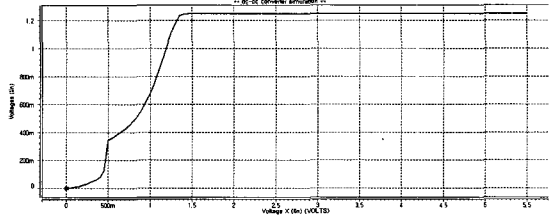


그림 3. 기준전압 발생기 출력 파형

Fig 3. The output voltage of Voltage reference circuit.

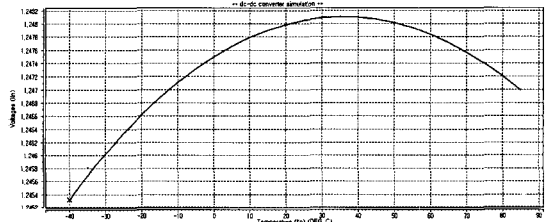


그림 4. 기준전압 발생기 온도특성

Fig 4. Temperature characteristic of Voltage reference circuit

그림 3과 4는 band-gap reference의 시뮬레이션 결과이다. 그림 3은 입력전압의 변화에 따른 출력전압의 시뮬레이션 결과이다. 입력전압의 변화에 무관하게 약 1.5V부터 일정한 1.25V의 기준전압을 발생시킨다. 또한 온도를 -40도에서 85도까지 증가시키면서 출력전압을 시뮬레이션 하였으나 그림 4의 결과와 같이 온도가 변화하여도 V_{ref} 는 거의 변하지 않는다.

2.1.2 오차 증폭기 설계

오차 증폭기는 DC-DC Converter의 출력 전압과 기준전압 발생회로의 1.25V를 비교하여 그 오차만큼을 증폭시키는 역할을 한다. 높은 dc gain을 갖기 위해 folded cascode 방식을 사용하였고, 저항을 구동해야 하므로 출력단을 common source로 구성하였다. 그림 5는 오차 증폭기의 회로도, 그림 6은 오차 증폭기의 AC 시뮬레이션 결과이다.

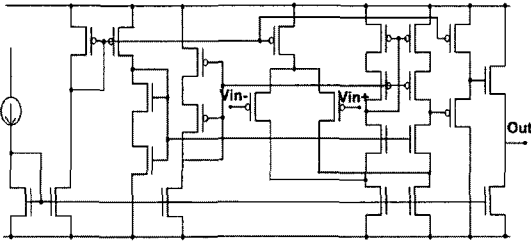


그림 5. 오차 증폭기 회로도
Fig 5. Error amplifier circuit diagram

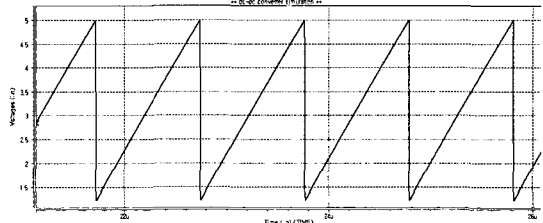


그림 8. 삼각파 발생기의 시뮬레이션
Fig 8. Simulation result of Sawtooth Generator

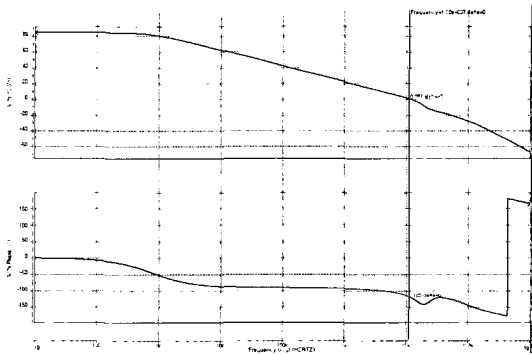


그림 6. 오차 증폭기의 AC 시뮬레이션
Fig 6. AC simulation result of Error amplifier

2.1.3 삼각파 발생기

삼각파 발생기는 Erroramp의 출력과 비교하여 원하는 PW를 만들어내는데 쓰인다. 그림 7과 같이 Clock Generator를 만들어 이 클럭을 신호 지연을 이용하여 Short pulse를 만든 후, 캐패시터에 전류를 충전했다가 짧은 펄스가 발생하는 순간에 방전시켜 삼각파 모양을 만들었다. 그림 8은 삼각파 발생기의 시뮬레이션 결과이다. 약 1.2MHz의 주파수를 갖는다.

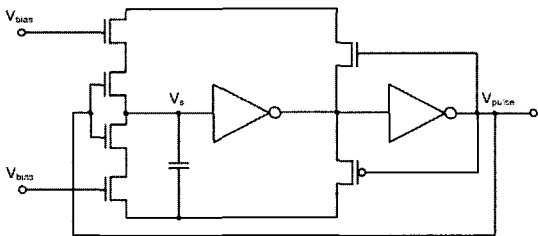


그림 7. 클럭 발생기
Fig 7. Clock Generator

2.1.4 비교기

비교기는 오차 증폭기의 출력과 삼각파가 비교기에 서 비교되어 구형파 펄스를 생성한다. 여기서 삼각파의 주파수가 DC-DC Converter의 스위칭 주파수를 결정하고, 비교기는 스위칭 주파수를 커버하는 충분한 대역폭을 가지고 있어야 한다. 본 논문에서는 그림 9와 같이 래치를 이용하여 비교기를 간단히 구현하였다. 그림 10은 비교기의 시뮬레이션 결과이다.

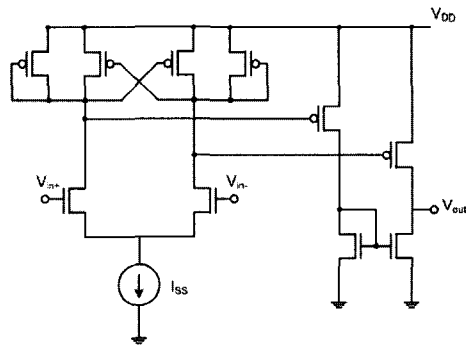


그림 9. 비교기 회로도
Fig 9. Comparator circuit diagram

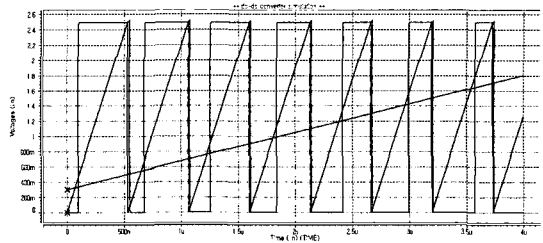


그림 10. 비교기의 시뮬레이션
Fig 10. Simulation result of Comparator

2.2 제어회로 설계

본 논문에서 제안한 DC-DC Converter는 고 효율

저 전압이므로 전력 손실을 최소화 하기위한 제어회로를 추가하였다.

2.2.1 Shoot through 방지회로

Shoot Through란 PMOS 스위치와 NMOS 스위치가 동시에 켜져서 출력이 Ground와 Short가 되는 것을 말한다. Shoot Through를 방지하기 위해서 NMOS 스위치가 켜질때는 PMOS를 먼저 꺼주고 PMOS 스위치가 켜질 때는 NMOS 스위치를 먼저 꺼주어야 한다. 그래서 지연버퍼를 이용하여 그림 11과 같은 파형이 나오도록 하였다.

간단하게 동작을 살펴보면, PMOS가 꺼지고 NMOS가 켜질 때 PMOS가 먼저 꺼져야 한다. PMOS의 경우는 지연버퍼만 거치고 NMOS의 경우는 지연버퍼와 NAND, NOR 게이트를 모두 거치기 때문에 NMOS가 늦게 켜진다. NMOS가 꺼지고 PMOS가 켜질 때는 NMOS가 먼저 꺼져야 한다. NMOS가 꺼질 때는 입력 전압이 NAND 게이트를 거쳐 바로 NMOS 게이트로 전달되므로 빨리 꺼진다.

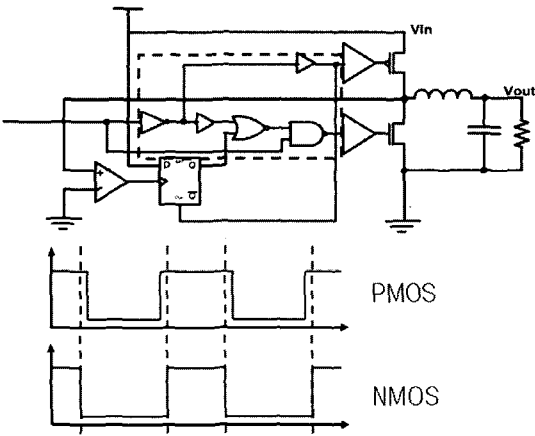


그림 11. Shoot Trough 방지회로
Fig 11. Shoot Trough prevention circuit

2.2.2 Zero Current Sense 회로

2개의 MOS 스위치를 사용하는 Synchronous rectifier 를 이용하여 DC-DC Converter를 사용할 경우 환류다이오드를 사용하는 DC-DC Converter보다 효율성면에서는 큰 이득을 볼 수 있지만, 그림 12와 같이 PMOS 스위치가 전류를 양방향으로 흘려줄 수 있기 때문에 역 전류가 흐를시 전력 손실을 발생시킨다. 이를 방지하기 위해 Zero Current Sense 회로를 설계하였다.

기존의 방식은 스위치에 직렬저항을 삽입하여 사용하는 방법을 사용하였는데, 저항에서 소비하는 전력을 줄이기 위해 스위치 양단에 전압을 감지하여 전류의 방향을 알아낸 다음 스위치를 끄는 방법을 그림 13과 같이 사용하였다.

감지기에는 비교기와 D Flip-Flop을 사용하는데 비교기 출력을 D Flip-Flop의 Clock으로 들어가 D Flip-Flop의 출력 Q를 High로 만들어 스위치를 끄게 된다.

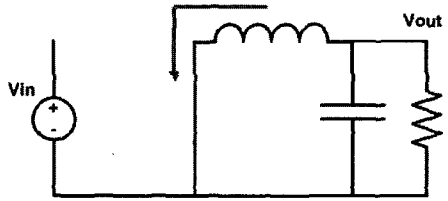
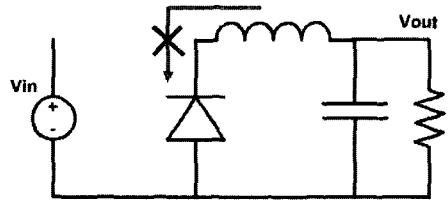


그림 12. Synchronous rectifier에서의 역전류
Fig 12. Reverse Current of Synchronous rectifier

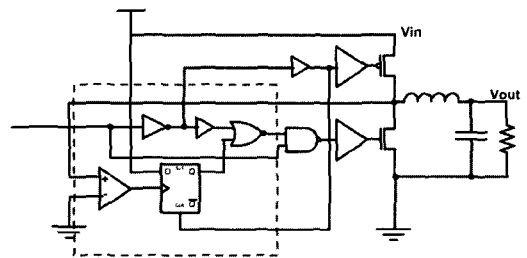


그림 13. 영 전류 감지 회로
Fig 13. Zero Current Sense circuit

2.3 DC-DC Converter 설계

앞서 설계한 PWM 제어 회로를 바탕으로 그림 1과 같이 Step-down DC-DC Converter 를 설계하였다. Buck 컨버터의 출력전압 공식은 $V_o = DV_i$ 이므로 3.3V입력에 1.5V출력의 Buck 컨버터를 설계하면 듀티 사이클 D는 약 0.45가 되고, 그림 14의 결과로부터 확인할 수 있다. 그림 15는 DC-DC Converter의 출력값이다. 입력이 2.5V일때와 5.5V일때 결과는 1.5V로 동

일하다[2].

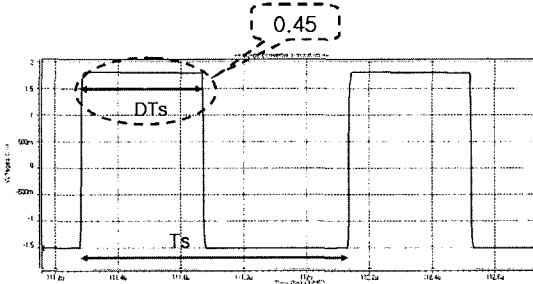
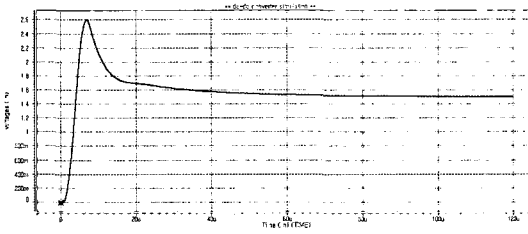
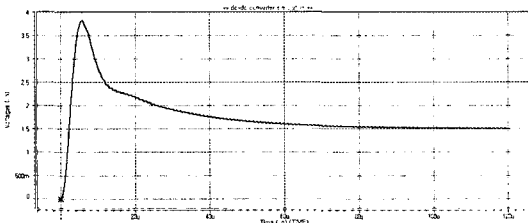


그림 14. 인덕터 전압
Fig 14. Inductor Voltage



(a)



(b)

그림 15. DC-DC Converter output
(입력2.5V(a), 5.5V(b) 출력1.5V)
Fig 15. DC-DC Converter output
(Input 2.5V(a), 5.5V(b) Output 1.5V)

기 및 산화막의 두께가 감소하고, LDD(Low Doped Drain), Silicide, Shallow Junction, threshold adjust, 등 CMOS 기술이 발전함에 따라 소자의 성능 향상에 큰 기여를 했지만, ESD 현상에 의한 소자 파괴 현상은 더욱 심각해졌고, 이에 대한 원인이 개략적으로 밝혀지면서 이에 대한 연구는 매우 중요한 해결과제로 인식되고 있다.

기존의 ESD 보호소자로는 ggNMOS와 SCR구조가 많이 사용되었다. ggNMOS의 경우 약 8~9V의 낮은 트리거 전압을 가지고 있는 반면 낮은 Robustness(ESD 소자가 견딜 수 있는 ESD current 량)를 가진다. 반대로 SCR구조는 30V정도의 높은 트리거 전압과 높은 Robustness를 갖는다[8].

따라서, 본 논문에서는 ggNMOS의 낮은 트리거 전압과 SCR의 높은 Robustness를 갖는 새로운 구조의 ZT(Zener-Triggering)SCR 구조를 제안하였다.

Zener diode는 고농도 도핑된 N/P 영역으로 인해 bandgap이 좁아지고 이와 같은 현상으로 인해 보통의 pn접합보다 낮은 약 5~6V 정도에서 breakdown이 일어난다. 이에 착안하여 ZT_SCR은 그림 16에서 보는 바와 같이 SCR의 n-well/p-well 사이에 zener 접합을 형성하게 된다. 이는 CMOS 공정상에서 n+ implant와 p+ implant 공정을 이용하므로 추가적인 공정 없이 설계가 가능하다.

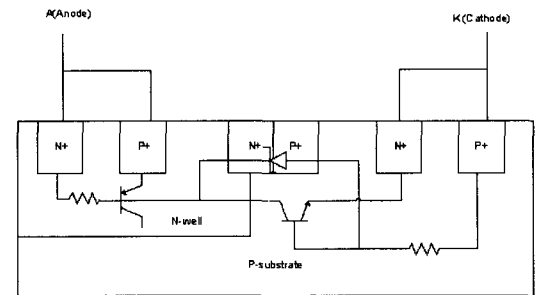


그림 16. ZT_SCR의 구조
Fig 16. The Structure of ZT_SCR

III. 저 전압 트리거 ESD 보호회로 설계

3.1 ZT(Zener-Triggering)SCR

전자부품 및 전자제품들의 생산과정이나 사용 중에 생긴 정전기가 매우 짧은 시간에 순간적으로 방전되어 집적회로 내부의 소자를 파괴하는 정전기 방전(ESD: Electro-Static Discharge) 현상이 알려진 이후로 최근에는 집적회로 설계분야에 있어 매우 중요한 고려 대상이 되고 있다. 특히 반도체 공정의 발전에 따라 집적회로 기술이 Sub-micron 급에서 deep-submicron(DSM)급으로 급변하면서, 소자의 크

위의 그림에서 anode 단은 input pad에 연결되어 있으며, cathode 단은 GND에 연결된다. 여기에서 ESD pulse는 input pad를 통해 anode 단에 유입되며, 이때 zener 접합부에서의 zener breakdown으로 인해 electron hole pair가 생성되게 된다. 또한 이 캐리어 성분들은 SCR구조를 형성하는 lateral tr의 base 영역으로 주입된다. 따라서 pnpn을 형성하는 두 개의 lateral 트랜지스터는 턴-온되어 positive feedback 동작을 함으로써 유입되는 ESD Current를 효과적으로

방전하게 된다.

즉 전체 SCR의 triggering voltage를 낮추게 된다. 그림 17은 이러한 zener 집합의 breakdown simulation 결과를 나타내고 있으며, 이를 통해 약 5.8V 정도의 breakdown voltage를 가짐을 알 수 있었다.

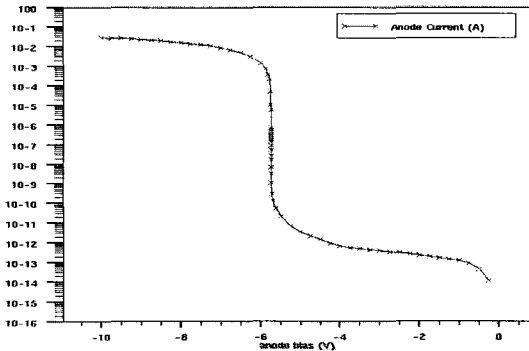


그림 17. 제너 다이오드의 항복특성

Fig 17. The Breakdown Characteristic of Zener Diode

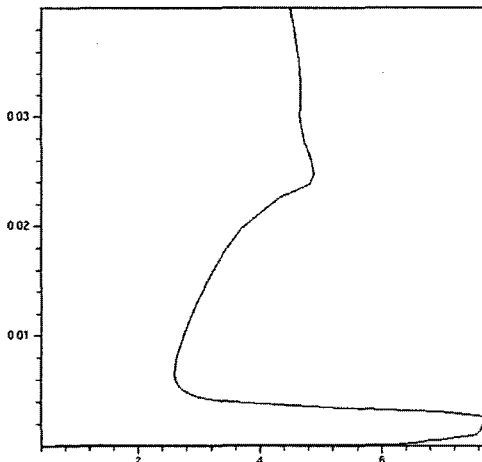


그림 18. ZT_SCR의 I-V 특성

Fig 18. The I-V Characteristic of ZT_SCR

그림 18은 ZT_SCR의 특성곡선 시뮬레이션 결과이다. 기존의 SCR의 경우 약 30V의 트리거 전압을 갖는 반면에 ZT_SCR은 ggNMOS의 낮은 트리거 전압과 SCR의 큰 ESD protection 능력을 모두 가지고 있다.

그림 19는 ZT_SCR의 layout을 나타내고 있으며, SCR의 critical parameter로 작용하는 L(lateral PNP의 base width)값에 의한 영향을 최소화하기 위해 n-well 사이에 삽입된 n+ 영역과 anode 단에 연결된 p+ 의

간격을 0.4um로 설정하여 test pattern을 설계하였다.

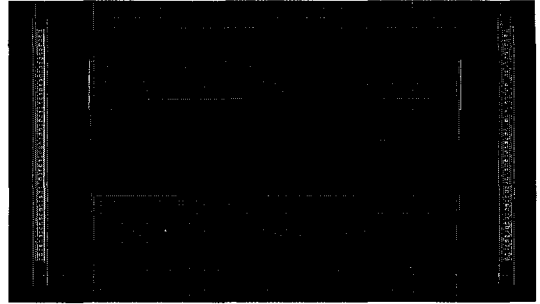


그림 19. ZT_SCR의 Layout

Fig 19. The Layout Design of ZT_SCR

IV. 결론

본 논문에서는 새로운 구조의 낮은 트리거 전압을 갖는 ESD 보호회로가 내장된 2.5V~5.5V 동작 범위의 저 전압-고 효율 DC-DC Converter를 설계하였다.

모바일 기기에 응용되는 DC-DC Converter의 경우 소형화와 장시간 사용을 위한 고 효율화가 큰 이슈가 되는데, 기존의 환류 다이오드 대신 Synchronous Rectifier를 사용하여 저 전압에서의 효율을 높였으며, 1.2MHz의 높은 스위칭 주파수를 사용하여 DC-DC Converter에서 가장 큰 면적을 차지하는 인덕터의 크기를 줄일 수 있게 하였다.

또한, CMOS Process 기반의 DC-DC Converter를 설계함으로써 PWM 제어회로의 크기와 전력소모를 줄일 수 있게 되었지만, 반면에 내부소자의 파괴 및 회로 오동작과 같은 심각한 피해를 줄 수 있는 ESD 현상에 대해서는 심각한 문제를 초래하게 되었다. 이에 본 논문에서는 PWM IC에 적용 가능한 낮은 트리거 전압을 갖는 ESD 보호소자 고안 및 회로설계를 통한 보호회로 내장형 DC-DC Converter를 설계하였다.

Acknowledgement

본 논문은 IT-SoC 사업단의 지원으로 수행되었으며, IDEC의 지원장비를 활용하였습니다.

참고 문헌

- [1] P.E. Allen, "CMOS Analog Circuit Design", oxford
 구 용 서 (정회원)
 전기전자학회논문지 (Journal of IKEEE) Vol.9,
 No.2 참조
- [2] "金熙峻, "스위치모드 파워서플라이", 성인당
- [3] "金熙峻, "스위칭 전원의 기본설계", 성인당
- [4] Philip T.Krein, "Elements of Power Electronics", OXFORD
- [5] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation", Wiley-Interscience
- [6] Jai P. Agrawal, "Power Electronic System", SciTech
- [7] Muhammad H. Rashid, "Power Electronics", PEARSON
- [8] K. Bock, et. al., "Influence of Gate Length on ESD Performance for Deep Submicron CMOS Technology", Proc. EOS/ESD Symp., pp.95-104, 1999.
- [9] T. Green, "A Review of EOS/ESD Field Failures in Military Equipment", in Proc. of the 7th EOS/ ESD Symp., pp.7-14, 1988.
- [10] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.

저 자 소 개

육 승 범 (학생회원)



2006년 서경대학교 전자공학과 학사
 2006년~현재: 서경대학교 석사과정
 <주관심분야>
 Power management IC, ESD Protection Circuit

이 재 현 (학생회원)



2006년 서경대학교 전자공학과 학사
 2006년~현재: 서경대학교 석사과정
 <주관심분야>
 I/O Interface Circuit IC, ESD Protection Circuit