

새로운 구조의 ESD 보호소자를 내장한 고속-저전압 LVDS 드라이버 설계에 관한 연구

A Study on The Design of High Speed-Low Voltage LVDS Driver Circuit with Novel ESD Protection Device

김 귀 동*, 권 종 기*, 이 재 현**, 구 용 서**

(Kui-Dong Kim*, Jong-Ki Kwon*, KJae-Hyun Lee**, Yong-Seo Koo**)

* 한국전자통신연구원, Electronics and Telecommunications Research Institute

** 서경대학교 전자공학과, Dep. of. EE, SeoKyeong Univ.

Abstract

In this study, the design of advanced LVDS(Low Voltage Differential Signaling) I/O interface circuit with new structural low triggering ESD (Electro-Static Discharge) protection circuit was investigated. Due to the differential transmission technique and low signal swing range, maximum transmission data ratio of designed LVDS transmitter was simulated to 5Gbps.

And Zener Triggered SCR devices to protect the ESD phenomenon were designed. This structure reduces the trigger voltage by making the zener junction between the lateral PNP and base of lateral NPN in SCR structure. The triggering voltage was simulated to 5.8V.

Finally, The high speed I/O interface circuit with the low triggered ESD protection device in one-chip was designed.

Key Words : LVDS, ESD, differential signaling, triggering voltage, SCR

1. 서 론

오늘날 정보산업의 급속한 진보로 고속처리 프로세서, 멀티미디어, 가상현실 실현 및 모든 통신 시스템에서는 이전보다 훨씬 빠르고 더 넓은 대역폭을 필요로 한다. 그러나 RS-422, RS-485, SCSI와 같은 데이터 통신 표준들은 이들이 사용되는 광범위한 영역에도 불구하고, 많은 제약적인 요소를 갖고 있다. 또한 나노급 Deep -Submicron(DSM) 기술이 발전함에 따라 반도체 칩의 성능이 크게 향상되면서 I/O의 bandwidth와

여러 가지 부하 성분이 전체적인 칩 성능을 결정하는 중요한 요인이 되고 있다. 따라서 현재 differential pair상의 데이터 전송기술을 이용한 LVDS(Low Voltage Differential Signaling)는 현존하는 문제를 해결할 수 있는 고속처리, 저 전력 소모를 현실화한 가장 이상적인 전송표준으로 부각되고 있다. 한편 정전기 방전 (ESD: Electro-Static Discharge)현상은 저전압/고속화된 I/O 인터페이스 설계분야에 있어 매우 중요한 고려대상이 되고 있으며, 이와 동시에 ESD 보호회로의 설계기술이 빠르게 성장하고 있다. 오늘날 수 MHz에서 수GHz로 동작하는 나노소자기반 LVDS I/O 인터페이스 반도체 칩에 적합한 GHz급 ESD 보호회로에 대한 연구가 진행되고 있으며, 소자의 고속 동작에 방해되는 주된 요소인 보호회로의 parasitic capacitance 성분의 최소화에 대한 노력이 요구된다.

* 서경대학교 전자공학과

(Dept. of EE, SeoKyeong Univ)

接受日:2006年 9月 18日, 修正完了日: 2006年 12月 24日

따라서 본 논문에서는 2.5V의 전원전압을 갖고 최대 5Gbps 동작을 하는 LVDS 드라이버 회로에 Zener 접합을 이용해 낮은 트리거 전압을 갖는 새로운 구조의 ESD 보호 소자를 내장하여 LVDS의 신뢰성을 및 안정성을 높이고자 한다.

II. LVDS

2.1 LVDS의 특성

LVDS는 크게 차동(differential)데이터 전송기술을 사용한 I/O 인터페이스 환경이라고 정의 될 수 있다. 이는 몇 가지의 장점으로 대표될 수 있는데, 우선 차동 전송 형태는 Single-Ended 방식과 비교하여 동상 잡음을 제거하기 때문에 외부로부터 잡음에 강하며, 싱글 엔드에서는 드라이버와 리시버 사이에 잡음이나 그라운드 전위에 차가 있으면 그 차가 리시버의 입력 스톱시홀드(threshold)에 오프셋(offset)을 주게 된다. 그림 1-1과 그림 1-2에서와 같이 싱글 엔드 신호 전송은 전송로 상의 외적 요인에 약한 반면, 차동 신호에 의한 전송은 외적 요인에 대하여 상대적으로 강하다고 할 수 있다.

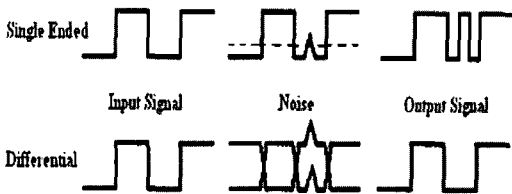


그림 1-1. 전송로 상의 잡음 영향
Fig 1-1. Effect of noise in transmission line

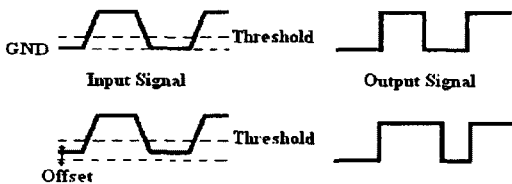


그림 1-2. 그라운드 전위의 영향
Fig 1-2. Effect of ground voltage level

또한 신호를 소 진폭으로 하면, 종단 저항에 흐르는

전류가 작아지고, 소비전류를 억제 한다고 하는 측면에서도 우수하다고 할 수 있다. 차동 신호에서는 신호 라인에 흐르는 전류의 방향이 트위스티드 페어 선상에서 각각 역방향이 되기 때문에 전류의 의해 생성되는 자계가 서로 상쇄되는 효과가 있다. 이것에 더하여, 구동하는 전류가 작다면 그 자계 자체가 작아지고 여분의 EMI발생이 더욱 작아진다는 이점도 있다. 끝으로 LVDS의 드라이버는 전류 모드로서 특히 특정한 전원 전압, 예를 들면 5V와 같은 전원 전압에만 동작하는 것이 아니라, 3.3V나 그보다 낮은 전원 전압에도 동작이 가능하다. 이러한 LVDS의 공급 전원에 무관한 출력 신호 레벨 유지기능은 시스템 설계 시 혼용전압(5V, 3.3V)을 사용하는 경우에 있어 별도의 설계 고려나 전원 관리 등을 필요로 하지 않는다. 이로서 다양한 전원 전압의 application에 응용이 용이하고 또한 소비전력도 줄어 들 수 있다. 결국 LVDS 기술 솔루션은 차동 선로 상에서 고속으로 데이터를 전송하면서 낮은 전력 소모, 낮은 EMI 특성, 높은 noise immunity 등, 이것이 LVDS의 핵심기술이며 이론적으로 손실 없는 매체를 통해 Gbps 급의 데이터 전송이 가능한 것이다.

2.2 LVDS의 동작

LVDS의 출력부는 그림 2와 같은 정 전류 출력의 구성으로 되어 있으며, 그 출력 전류는 전송속도 및 전송 선로의 매체에 따라 그 특성을 다르다. TIA/EIA-644의 규격에서 설정하고 있는 100Ω종단으로 설정한 경우, 종단 저항에 흐르는 전류의 흐름에 따라 100Ω종단저항의 양단에 전위차가 발생하게 된다.

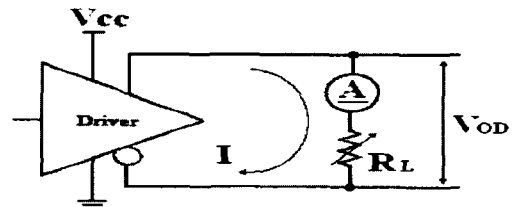


그림 2. LVDS 출력부 등가 모델
Fig 2. Equivalent Model of LVDS Output

이 전위차를 리시버가 판독하며, 리시버의 스톱시홀드 전압은 입력 감도 이내에서 이를 감지하게 되고 이 전위차를 리시버의 차동 입력 단에서 판독, 입력된 논리 조건에 기인하여 논리신호를 출력한다. LVDS는 전류모드로 동작하는 만큼 종단 저항이 없는 경우는 이

러한 전류 루프가 형성되지 않으므로 이 디바이스가 갖는 원래의 기능을 할 수 없게 된다. 다만 TIA/EIA-644의 규격에 구애되지 않는다면 정 전류 특성을 나타내는 저항 부하 내에서 중단 저항의 선택이 가능하다.

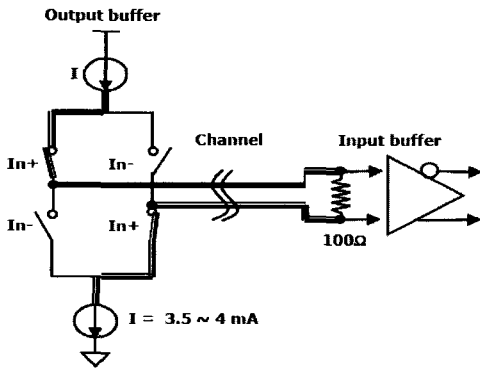


그림 3. LVDS 드라이버 등가회로
Fig 3. Equivalent Model of LVDS Driver

그림 3은 LVDS 드라이버의 일반적인 등가 모델로서 앞서 설명했듯이 4개의 스위칭 소자를 사용하여 전류 방향을 결정해 주고, 중단 저항에 전위차를 형성시키는 방식이다.

III. ESD 보호회로

3.1 SCR의 구조와 동작 원리

SCR은 높은 임피던스 상태에서 낮은 임피던스 상태로 바뀌는 성질을 가지고 있기 때문에 파워 소자 응용 분야에 널리 쓰이고 있다. 이와 같은 이유로 적절히 디자인 된 SCR을 이용하여 매우 효율적인 ESD 보호 회로를 구성할 수 있다. 그림 4는 간단한 lateral SCR 구조를 나타내고 있으며, PNP 구조를 가지고 있다. n-well 영역에 존재하는 SCR의 P+ 확산 영역은 애노드를 p-well 안의 n+ 확산영역은 SCR의 캐소드를 형성하고 있으며, n-well을 n+ 확산영역을 통해, p-well은 p+ 확산 영역을 통해 연결되어 질 수 있도록 구성되어 있다.

SCR은 두개의 bipolar가 연결되어 있는 구조로 생각할 수 있고 pnp 트랜지스터 (T1)는 애노드를 emitter, n-well을 베이스, 그리고 p-well을 collector로, npn 트랜지스터(T2)는 캐소드를 emitter, p-well을 베이스, n-well을 collector로 구성되어 있으며, n-well은 고정

된 전압인 V_c 가 인가되며, 캐소드 영역과 p-well 영역은 ground로 연결되어 있으며, 애노드 영역에는 전압 V_a 가 인가되어 있다. 애노드 전압의 변화에 따른 SCR 특성 곡선을 그림 5에 나타내었으며, 동작 원리는 다음과 같다.

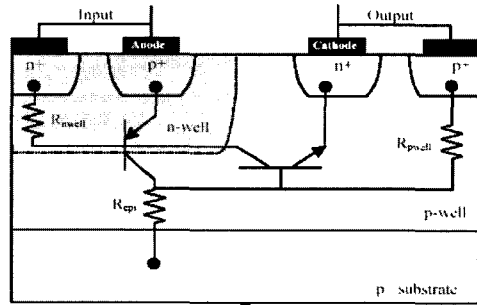


그림 4. LVDS 드라이버 등가회로
Fig 4. Equivalent Model of LVDS Driver

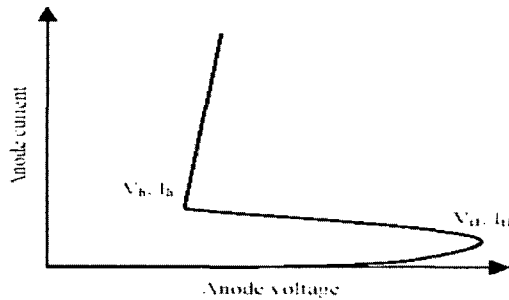


그림 5. LVDS 드라이버 등가회로
Fig 5. Equivalent Model of LVDS Driver

애노드 전압이 V_c 보다 커지게 되면 pnp 트랜지스터의 emitter-base 접합이 순방향 바이어스 상태가 되고, pnp가 turn on 된다. pnp를 통해 흐르는 전류는 p-well로 흐르게 되며, 이 전류에 의해 npn 트랜지스터의 emitter-base 접합이 순방향 바이어스 상태로 변해 turn-on이 된다. n-well에서 캐소드로 흐르는 npn 트랜지스터의 전류는 pnp 트랜지스터에 forward bias를 잡아주고, 이를 통해 pnp에 더 이상 bias를 잡아줄 필요가 없게 되어, 애노드 전압은 최소로 감소하게 되며, (negative resistance region) 이 전압은 홀딩 전압(V_h) 라고 알려져 있으며, npn과 애노드와 캐소드의 spacing으로 존재하는 lateral npn과 pnp의 순방향 바이어스를 잡아주는데 필요한 pnp 트랜지스터의 전류에 의해 결정된다.

ESD 보호회로로 쓰일 때 SCR은 애노드와 n-well을 연결하여 애노드를 형성하고 캐소드와 p-well을 연결하여 캐소드를 형성, 두 단자 소자로 쓰인다. 이렇게 구성된 SCR이 triggering 되기 위해서는 n-well 과 p-junction에서 에벌런치 항복이 필요하다. SCR은 NMOS의 npn이 트리거 하는 동작과 같은 방식으로 캐소드가 정공 전류에 의해 순방향 바이어스 상태로 바뀌었을 때나, n-well의 전자 전류에 의해 pnp가 턴-온 되었을 때 동작되며, 트리거링 전압은 n-well과 기판의 항복 전압으로 정의 된다.

Advanced CMOS 공정에서의 n-well과 기판 사이의 에벌런치 항복 전압은 약 20V정도를 가지고 있으며, SCR을 이용하여 ESD 보호회로를 구성하기 위해서는 이러한 triggering 전압을 반드시 낮춰야 한다.

따라서 본 논문에서는 나노급 deep-submicron 공정에서 ESD 보호회로를 구현하기 위한 방법으로, 기존의 ESD 보호회로의 ggNMOS 보다 훨씬 큰 ESD protection 능력을 가지는 SCR 구조를 채택하였으며, SCR 구조의 가장 큰 단점인 높은 트리거 전압을 낮추어 나노급 ESD 보호회로에 사용하기 위해 zener diode를 사용하여 새로운 구조의 낮은 트리거링 전압 특성의 ESD 보호소자를 개발하였다.

3.2 ZT(Zener-Triggering)SCR의 구조와 동작 원리

Zener diode는 고농도 도핑된 N/P 영역으로 인해 bandgap이 좁아지고 이와 같은 현상으로 인해 보통의 pn접합보다 낮은 약 5~6V 정도에서 항복이 일어나 이에 착안하여 ZT_SCR은 그림 6에서 보는 바와 같이 SCR의 n-well/p-well 사이에 zener 접합을 형성하게 된다. 이는 CMOS 공정상에서 n+ implant와 p+ implant 공정을 이용하므로 추가적인 공정 없이 설계가 가능하다.

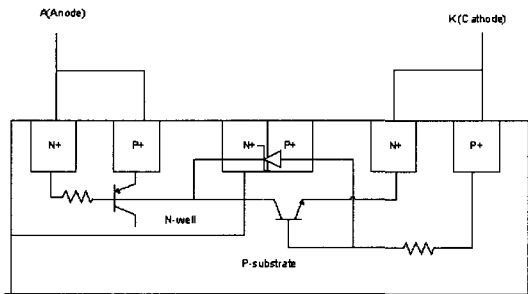


그림 6. ZT_SCR의 구조
Fig 6. The Structure of ZT_SCR

위의 그림에서 애노드 단은 input pad에 연결되어 있으며, 캐소드 단은 GND에 연결된다. 여기에서 ESD pulse는 input pad를 통해 애노드 단에 유입되며, 이때 zener 접합부에서의 zener 항복으로 인해 electron hole pair가 생성되게 된다. 또한 이 캐리어 성분들은 SCR구조를 형성하는 lateral tr의 base 영역으로 주입된다. 따라서 pnpn을 형성하는 두 개의 lateral 트랜지스터는 턴-온되어 positive feedback 동작을 함으로써 유입되는 ESD 전류를 효과적으로 방전하게 된다.

즉 전체 SCR의 트리거링 전압을 낮추게 된다. 그림 7은 이러한 zener 접합의 항복 simulation 결과를 나타내고 있으며, 이를 통해 약 5.8V 정도의 항복 전압을 가짐을 알 수 있었다. 그림 8

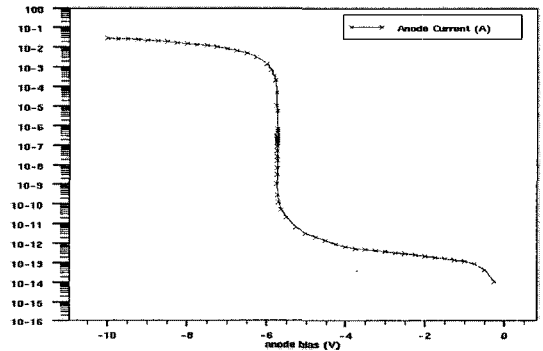


그림 7. 제너 다이오드의 항복특성
Fig 7. The Breakdown Characteristic of Zener Diode

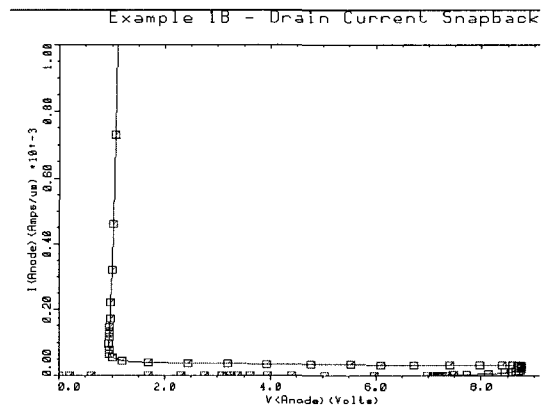


그림 8. ZT_SCR의 I-V 특성
Fig 8. The I-V Characteristic of ZT_SCR

그림 9는 ZT_SCR의 layout을 나타내고 있으며, SCR의 critical parameter로 작용하는 L(lateral PNP의 base width)값에 의한 영향을 최소화하기 위해 n-well 사이에 삽입된 n+ 영역과 애노드 단에 연결된 p+의 간격을 0.4um로 설정하여 test pattern을 설계하였다.



그림 9. ZT_SCR의 Layout
Fig 9. The Layout Design of ZT_SCR

IV. ESD 내장형 LVDS 드라이버 설계

LVDS 드라이버 회로에 CMFB회로를 연결하여 그림 10과 같은 common mode feedback과 miller compensation을 갖는 간단한 two stage 차동 증폭기를 LVDS 드라이버로 구성하였다.

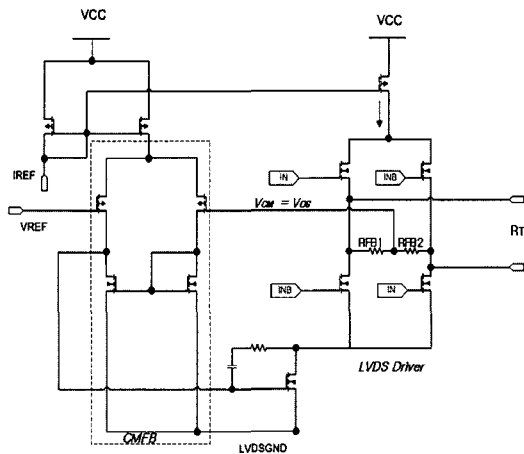


그림 10. LVDS 드라이버 회로
Fig 10. The Model of LVDS Driver Circuit

이는 능동부하를 갖는 단일 출력 차동 증폭기로서 reference회로에 의한 $V_{BG}(1.25V)$ 의 입력단과 R_{FB1} 과

R_{FB2} 의 저항 디바이더를 통한 V_{os} (output offset)로 구성된다.

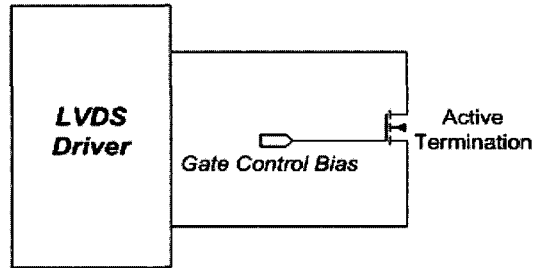


그림 11. LVDS 터미네이션 능동저항
Fig 11. LVDS Active Termination Resistance

또한 그림 11에서 보듯이 R_T 를 능동소자로 대체하여 터미네이션 저항을 변동이 가능하게끔 설계하였다. 이는 전송선로 상 임피던스의 불연속으로 발생하는 신호반사로 인한 신호의 Distortion 및 Crosstalk 문제를 확인하여 분석하기 위해 다음과 같이 설계 하였다. 추가적으로 능동소자에 저항 값의 조절에 필요한 전압은 안정적인 전압 공급을 위해 버퍼(Buffer)를 설계하고 이를 또한 탑재하여 전체적인 회로의 성능향상에 기여하였다.

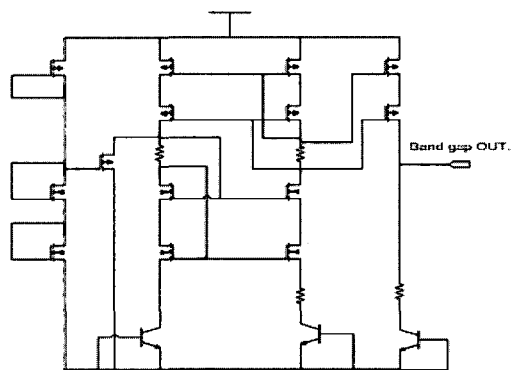


그림 12. LVDS 밴드 갭 기준 회로
Fig 12. The Bandgap Reference Circuit of LVDS

그림 12는 앞서 언급된 Bandgap Voltage References 회로로서 외부환경이나 온도 변화에 회로가 일정한 동작을 유지하면서, V_{REF} , 1.25V를 얻기 위해서 위와 같이 설계하였다.

설계된 LVDS 드라이버의 공통모드 전압(V_{CM})은 일정해지며, 이러한 원리는 드라이버단의 NMOS 전류원의 전류가 증가되어 진다면, 출력단의 바이어스 전압은 회로의 CMFB회로의 feedback에 의해 감소하게 되어 일정한 공통 모드 신호를 유지할 수 있게 된다. 즉 V_{OS} 는 V_{BG} 만큼 대략 같은 크기로 유지할 것이며, 이로써 안정된 출력 신호 레벨을 얻을 수 있는 것이다. 설계된 회로는 2.5V의 전원전압에서도 동작이 가능하며 대략 8.75mW(2.5V*3.5mA)의 낮은 소비전력을 갖는다. 또한 miller compensation을 통한 낮은 frequency pole은 CMFB 증폭기의 대역을 정할 수 있기에, 부하선로 특성상 10pf 까지도 좋은 phase margin을 기대할 수 있다.

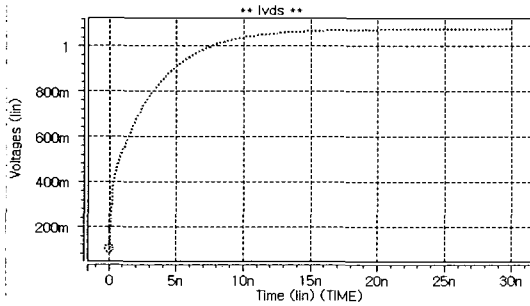


그림 13. LVDS 드라이버의 공통모드 전압
Fig 13. Common Mode Voltage of LVDS Driver

그림 13은 1Gbit/s 클럭 인가 시 공통모드 전압(V_{CM})의 출력 특성으로서, V_{REF} (1.25V)와 비교할 때 1.125V~1.375V 정도의 범위 내에서 V_{CM} 을 얻을 수 있다.

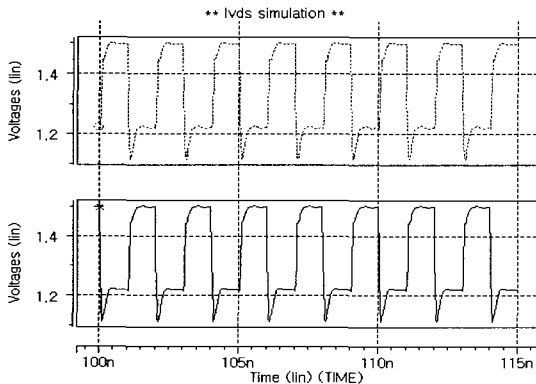


그림 14. LVDS 드라이버 출력 파형
Fig 14. The Output Swing of LVDS Driver

그림 14에서 보듯이 시뮬레이션을 통해 V_{OA} 와 V_{OB} 의 출력파형을 알 수 있으며, V_{OD} 는 V_{OA} 의 전위차와 V_{OB} 의 값의 차와 동일하므로, 따라서 V_{OD} 는 그림 15과 같은 출력 스윙 폭을 가진다.

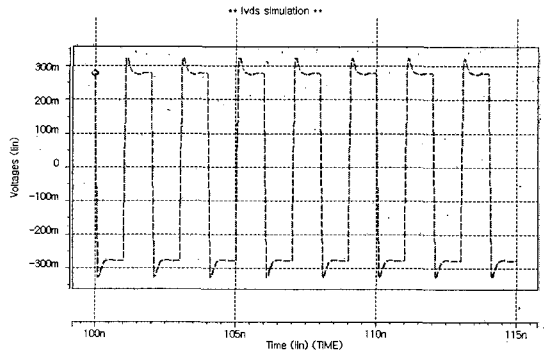


그림 15. LVDS 드라이버의 차동 출력 파형
Fig 15. The Output Voltage(V_{OD})of LVDS Driver

위의 출력 파형(V_{OD})에서 보듯이 $\pm 300mV$ 의 낮은 전압 스윙을 가진다. 규정 동작 범위가 250mV~400mV이라는 점을 감안할 때 LVDS 드라이버로서 충분한 동작이 가능할 뿐 아니라, 전원 전압(V_{CC})를 2.5V까지도 무난하게 동작됨으로 R_T 에 흐르는 전류를 감안할 때 소비전력도 매우 적으며, 나아가 LVDS가 차세대 제품에서도 다양한 전원공급기 범위 5V이하(5V, 3.3V, 2.5V)를 가질 수 있다.

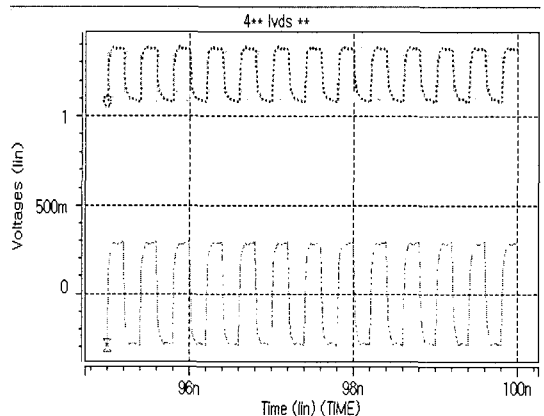


그림 16. 5Gbps 입력시 데이터 출력 파형
Fig 16. Output Signal at 5Gbps Input

그림 16은 5Gbps의 데이터를 주어질 때 출력 전압으로서 데이터 지연이 생기기 시작하며, rising time이 증가하기 시작한다.

그림 17를 통해 ESD보호소자의 탑재로 인한 Surge Path를 나타내었다.

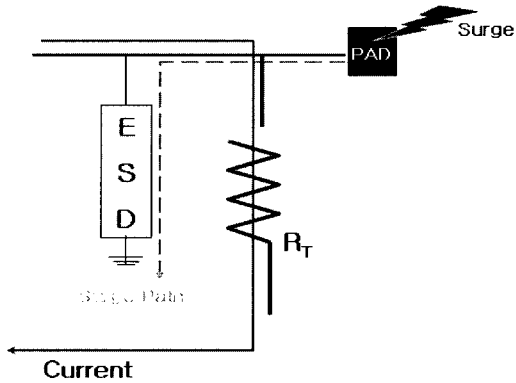


그림 17. ESD Surge 및 전류 방전 경로

Fig 17. ESD Surge and Current's Discharge Path

이는 위의 그림에서와 같이 LVDS 전송선로 선상과 종단저항으로부터 유입되는 외부 surge에 의해 내부회로 파괴나 이로 인한 LVDS 신호의 레벨의 변동을 최소화 할 수 있기 때문에 LVDS 신호레벨의 신뢰성 향상 및 회로의 안정성이 보장된다.

최적화된 LVDS Driver 회로 구성 및 Active R_T 의 탑재 유무에 따른 회로의 영향을 분석하기 위해 그림 18과 같이 5개의 패턴으로 One-Chip화하여 Layout을 수행하였다.

V. 결론

본 논문에서는 2.5V 전원전압에 동작하고 5Gbps의 데이터 전송속도를 갖는 LVDS 드라이버를 설계하고 고속 저전압 특성을 지닌 새로운 구조의 ESD 보호회로를 고안 및 설계하여 앞서 설계한 나노급 LVDS I/O 인터페이스 회로에 적용 하였다.

제안한 ESD 보호회로는 SCR 구조를 바탕으로 약 5.8V 정도의 낮은 트리거 전압을 갖게 설계하여 나노급 보호회로에 적용이 용이하다. 하지만 설계된 칩이 시장 확대가 가능한 모든 분야에 용이하게 사용되기 위해서는 여러 가지 극복해야 될 과제가 있다. 먼저 전송 선로 특성에 바탕을 두고 구체적인 전달특성에 대한 고찰이 이루어져야 되며, 주파수가 높아지는 만큼 선로의 감쇄나 부하 등의 성분을 감안한다면, 보다 정밀한 LVDS의 특성을 얻을 수 있다. 더불어 향후 더 낮은 전원전압을 갖는 고속 동작의 LVDS I/O 인터페이스의 요구에 맞추어 ESD 보호회로도 더 낮은 트리거 전압에 동작 할 수 있도록 최적화된 조건의 ESD I/O 구조 및 그 기법들에 대한 연구와 실용화에 대한 구체적인 분석 및 적용에 대한 연구가 필요하다.

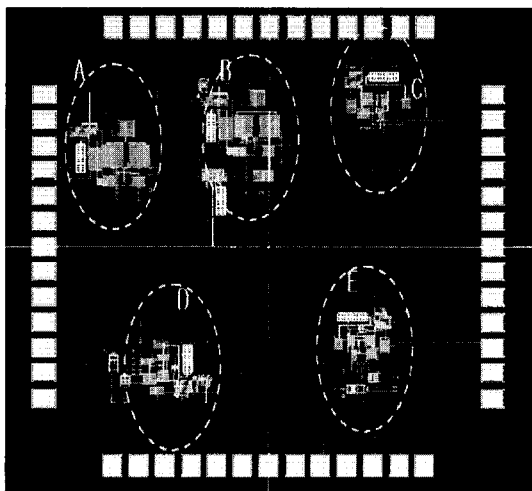


그림 18. LVDS 드라이버 회로 Layout

Fig 18. The Layout Design of LVDS Drivers

참고 문헌

- [1] Andrea Boni, "LVDS I/O Interface for Gbps-per-Pin Operation in 0.35um CMOS", IEEE Journal Solid-State Circuit
- [2] "LVDS Owner's Manual", 3rd Edition, Spring 2004, National Semiconductor
- [3] IEEE Committee Membership, "IEEE Standard for Low-Voltage Differential Signals(LVDS) for Scalable Coherent Interface(SCI)", IEEE Std 1596.3-1996
- [4] Gunjan Mandal, "Low Power LVDS Transmitter with low common mode variation for 1Gb/s-per pin operation", IEEE ISCAS2004
- [5] K. Bock, et. al., "Influence of Gate Length on

ESD Performance for Deep Submicron CMOS Technology”, Proc. EOS/ESD Symp., pp.95-104, 1999.

[6] T. Green, "A Review of EOS/ESD Field Failures in Military Equipment", in Proc. of the 7th EOS/ESD Symp., pp.7-14, 1988.

[7] R.G. Wagner, J. Soden and C.F. Hawkins, "Extend and Cost of EOS/ ESD Damage in an IC Manufacturing Process", in Proc. of the 15th EOS/ESD Symp., pp.49-55, 1993.

저 자 소 개

김 귀 동 (정회원)

전기전자학회논문지 (Journal of IKEEE) Vol.9, No.2 참조

권 중 기 (정회원)



1981년 영남대학교 전자공학과 학사
1983년 영남대학교 전자공학과 석사
2004년 한국과학기술원(KAIST) 전자공학 박사
1984년~현재 한국전자통신연구원 (ETRI)

<관심분야>

아날로그 혼성 신호 처리 및 저 전력 IC 설계, MEMS 시스템 / 센서용 아날로그 인터페이스 설계

이 재 현 (학생회원)



2006년 서경대학교 전자공학과 학사
2006년~현재: 서경대학교 석사 과정

<주관심분야>

I/O Interface Circuit IC,
ESD Protection Circuit

구 용 서 (정회원)

전기전자학회논문지 (Journal of IKEEE) Vol.8, No.1 참조