

# 새로운 고속, 저전력 TFT-LCD 구동 방법

## (A New High speed, Low Power TFT-LCD Driving Method)

박수양\*, 손상희\*\*, 정원섭\*\*

\*청주대학교 전자공학과, \*\*청주대학교 전자정보공학부

Soo Yang Park\*, Sang Hee Son\*\*, Won Sup Chung\*\*

\*Dept. of Electronics Engineering Cheongju University

\*\*Division of Information Engineering and Telecommunication Cheongju University

### 요 약

본 논문에서는 상위 수준 합성에서 연산자들의 스위칭 최소화를 통한 저 전력 자원 할당 알고리즘을 제안했다. 본 논문에서는 이미 스케줄링 된 CDFG를 대상으로 전력 소모의 원인이 되는 스위칭 동작을 최소화하는 자원할당 알고리즘을 제안한다. 제안된 알고리즘은 DSP 분야의 회로나 필터를 대상으로 연산자가 소모하는 전력을 최소화하고자 한다. 스케줄링 된 CDFG상에 있는 여러 개의 연산은 자원공유를 통하여 같은 기능 장치에 구현될 수 있다. 이런 경우 두 개의 연속적인 연산의 실행사이에 각 연산의 입력 변수들이 연속적으로 변화하기 때문에 기능장치의 스위칭동작이 변하게 된다. 이때 자원할당 과정에서 기능장치의 입력 신호들 사이의 스위칭동작과 상관관계를 고려하여 소비전력을 감소시킨다. 본 논문에서 제안하는 방법을 이용하여 자원할당을 할 경우 기존 방법과 비교했을 때 그 수행속도는 사용하는 연산자의 수와 최대 제어 단계에 따라서 빨라 질 수 있다. 그리고 소모하는 전력의 경우, 작게는 8.5%에서 9.3%까지 감소효과가 있다.

### Abstract

This paper proposed a low power resource allocation algorithm for the minimum switching activity of operators in high level synthesis.

In this paper, the proposed method finds switching activity in circuit each functional unit exchange for binary sequence length and value bit are logic one value. To use the switching activity was found the allocation with minimal power consumption, the proposed method visits all control steps one by one and determines the allocation with minimal power consumption at each control step.

As the existing method, the execution time can be fast according to use the number of operator and maximal control step. And it is the reduction effect from 8.5% to 9.3%.

Keywords : resource, allocation, switching activity, synthesis, consumption

---

\* 청주대학교 전자공학과 (Dept. of Electronics Engineering Cheongju University)

\*\* 청주대학교 전자정보공학부 (Devision of Information Engineering and Telecommunication Cheongju University)

接受日:2006年 9月 14日, 修正完了日: 2006年 12月 4日

I. 서론

오늘날 TFT-LCD panel은 휴대통신기나 노트북, 컴퓨터 모니터, TV등에 사용되면서 그 시장이 점점 더 커지고 있는 상태이며, 또한 소비자의 요구에 의해 panel의 크기가 점점 더 대형화되고 있는 추세이다. TFT-LCD의 패널이 커질수록 그 패널을 구동하기 위한 전력소비 역시 증가하며 대형 TFT-LCD panel의 소비가 늘어남에 따라 소비전력을 줄이기 위한 회로가 점점 더 필요한 추세에 있다.

TFT-LCD를 구동하기 위한 회로의 소비 전력 중 가장 큰 비중을 차지하는 부분이 panel을 구동할 때 사용되는 AC소비전력이다. TFT-LCD를 구동하는 회로 중, power 소비를 줄이기 위해 제안된 회로는 여러 가지가 있다. 그 중 가장 많이 알려진 방법은 multi-field driving 방법[1], common-electrode driving방법[2], 그리고 charge sharing 방법[3]등이 있다.

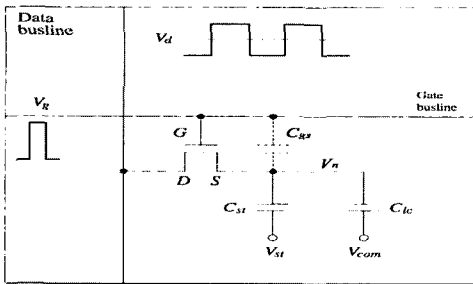


그림 1 TFT-LCD 화소의 등가회로

Fig. 1 Equivalent circuit of TFT-LCD pixel

Multi-field driving 방법은 회로가 복잡하고 line-flicker의 발생 때문에 동영상 표시에 문제점을 가지고 있고, common electrode driving 방법은 dot inversion으로 구동할 수 없어 좋은 화질을 제공하지 못한다.

그림 1은 TFT LCD의 하나의 화소에 대한 등가회로를 보여주고 있다. 그림에서 보이는 MOS는 화소의 스위치역할을 하게 되는데 게이트의 입력신호 전압에 따라 드레인 혹은 소스의 전압을 등가회로상의 캐패시터에 인가하여 색상을 나타내게 된다. 이 그림에서 볼 수 있듯이 가로축을 구동하는 회로를 게이트 드라이버라 하고, 세로축을 구동하는 회로를 일반적으로 소스 드라이버라고 한다.

TFT-LCD 패널에서 데이터 버스라인을 통해 입력되는 신호전압은 그림 2에서 보는 것 같이 양극성을 띠는 교류 전압이다. 신호 전압은 양과 음의 주기를 가지는 교류 전압이다.

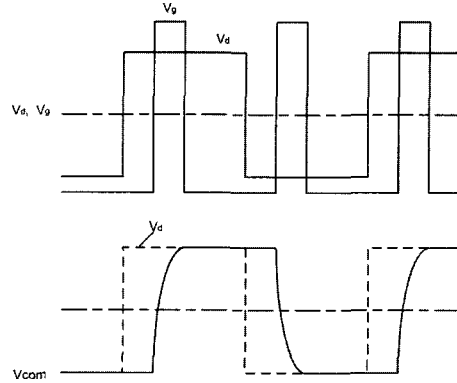


그림 2 TFT-LCD의 전압 파형

Fig. 2 Voltage waveform of TFT-LCD

공통 전극의 전위( $V_{com}$ )는 데이터 신호의 절대 진폭을 줄이기 위해 교류 모드로 구동하기도 한다. 기존 charge sharing 방법은 등가회로상의 캐패시터들의 charge를 스위치를 통해 서로 sharing하는 방법을 사용하여  $V_{com}$ 전압을  $V_{d}/2$ 로 유지함으로써 power saving 효율을 50%로 유지할 수 있는 것이다. 그러나 charge sharing 방법은 앞에서 설명한 multi-field driving 방법과 common-electrode driving 방법의 단점을 어느 정도 보완할 수 있지만 power saving 효율이 최대 50%밖에 되지 않기 때문에 대형화 되고 있는 LCD panel에 적용하기에는 발열 및 낮은 응답속도 등의 문제로 많은 단점을 가지고 있다.

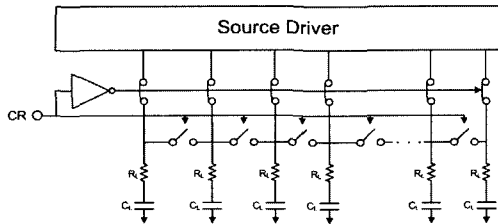
따라서 본 논문에서는 새로운 charge sharing 구조를 이용하여 power 효율을 최대 75%까지 올릴 수 있으며 빠른 응답속도를 갖는 회로를 제안하였다.

II. 기존의 Charge Sharing 방법

그림3의 (a)는 기존의 charge sharing 방법을 사용한 구조를 보이고 있고, (b)는 시간에 따른 출력파형을 보여주고 있다.

그림 3 (a)의 source driver부분은 positive output buffer와 negative output buffer로 구성되어 있고, panel 출력단은 등가회로적인 캐패시턴스로 구성되어 있다. 이 방법은 (b)의 파형에서의 구동구간동안 positive buffer와 negative buffer의 charge가 각각의 라인에 연결되어 있는 캐패시터에 쌓여 화소를 구동시키게 되고, charge sharing 구간동안에는 각각의 라인에 연결되어 있는 스위치가 닫히면서 캐패시터의

charge가 서로 sharing하는 것이다. 다시 구동구간이 반복되게 되면 positive buffer와 negative buffer는 반대의 동작을 하게 된다. 그리하여 그림 (b) 아래쪽 부분의 그림과 같은 출력 파형을 만들어 내게 된다.



(a) 기존의 charge sharing 방법을 사용한 구조  
(a) The structure for conventional charge sharing method

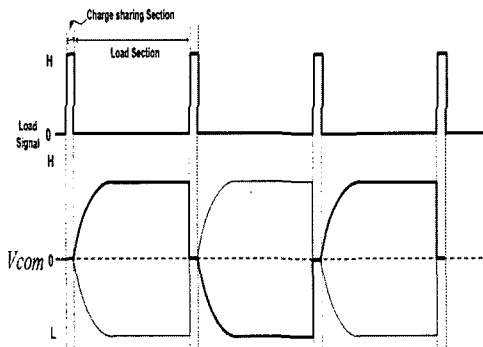


그림 3 기존의 charge sharing 방법  
Fig. 3 Conventional charge sharing method

기존 charge sharing 방식은 아날로그 스위치를 통해 인접해 있는 다른 소스 드라이버라인과 연결 또는 단절되어 그 출력을 LCD panel에 내보내는 방식이다. 이 방식은 panel안의 capacitor들의 charge가 sharing됨으로써  $V_{com}$  전압을  $V_{dd}/2$ 로 일정하게 유지할 수 있기 때문에 power saving 효율을 50%로 유지할 수 있다. 이 과정은 다음과 같은 식으로 표현할 수 있다.

$$P = V_{DD} \times I_{ave}$$

$$= V_{DD} \times [N \times C_L \times V_{swing} \times \frac{F_{row}}{2}]$$

(1)

여기서 N은 source line의 수를 나타내고,  $F_{row}$ 는

gate driver의 주사 주파수를 나타낸다.

위의 (1)식을 이용하여 기존 charge sharing 방법의 power 소비를 계산하면 식 (2)와 같다.

식 (2)에서 볼 수 있듯이 기존 charge sharing 방법은 power saving 효율이  $(1/2)V_{DD}$ 로 제한되어있다. 또한 기존의 방법은 source driver의 positive buffer와 negative buffer의 입력

$$P_{conv,old} = V_{DD} \times I_{ave}$$

$$= V_{DD} \times [N \times C_L \times (\frac{1}{2})V_{DD} \times \frac{F_{row}}{2}]$$

$$= (\frac{1}{2})P_{conv}$$

(2)

전압을 각각  $V_1, V_2$ 로 정의할 때, 이 두 전압의 변동에 의해 charge sharing한 후 다수출력의 공통전압 ( $V_{com}$ )이 움직이게 된다. 예를 들어,  $V_1$ 의 전압값이 14V이고  $V_2$ 의 전압값이 1V로 입력되면 charge sharing후의  $V_{com}$ 의 전압값은 7.5V가 된다. 즉, power saving 효율이 최대 50%밖에 되지 않는 것을 알 수 있다. 하지만 이 방법은 출력 버퍼의 입력전압에 변함에 따라  $V_{com}$  전압이 변하게 되므로 다음 구동 시 회로의 power 소모가 더욱 증가하게 될 가능성이 많다. 예를 들어,  $V_1$ 의 전압이 11V이고  $V_2$ 의 전압이 1V로 입력된다면 charge sharing후의  $V_{com}$  전압은 6V가 되며 이 때의 power saving 효율은 40%정도 밖에 되지 않게 되기 때문이다.

### III. 제안한 Charge Sharing 방법

그림 4는 기존의 charge sharing 방식을 개선하여 본 논문에서 새롭게 제안한 높은 power saving 효율을 갖는 회로 구조이다.

이 회로는 기존의 charge sharing 방법의 일정치 않은  $V_{com}$  전압과 50%로 일정한 power saving 효율을 좋게 하기 위해 새로운 방식으로 설계되었다. 이 회로는 다수의 스위치, 외부 캐패시터 그리고 두 개의 gamma buffer amp를 이용하였다. panel과 연결된 source line 즉, odd line과 even line을 스위치를 이용하여 odd line은 odd line과 even line은 even line으로 연결하여 외부 캐패시터와 연결하였다. 이 외부 캐패시터들은 각각의 amp와 연결된 또 다른 외부의 캐패시터와 연결하였다. 그림 5는 제안된 회로의 아날로그 스위치를 동작시키기 위한 pulse 및 이에 따른 출력 파형을 보이고 있다. 이 그림에서 gate driver로 들어가는 로드신호는 charge sharing구간과 loading구간은

로 나뉜다. 두 개의 amp에 연결된 외부 캐패시터들은 각각  $(1/4)V_{DD}$ 와  $(3/4)V_{DD}$ 의 전압이 인가되어 있고 또 그에 따른 charge를 가지고 있다. 이 charge들이 스위치 컨트롤 신호에 의해 서로 sharing된다.

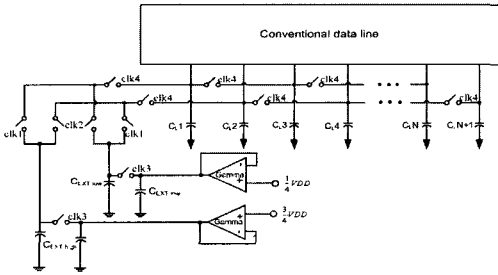


그림 4 새롭게 제안한 높은 power saving 효율을 갖는 회로

Fig. 4 New proposed circuit with high power saving efficiency circuit

로드신호는 그림 5의 clk4와 같은 신호이다. clk4가 on이 되는 구간이 charge sharing구간이 된다. 그리고, clk4가 off가 되는 구간이 loading구간이 된다. 모든 신호는 로드신호에 의해 컨트롤 되는데, 그림 5에서의 신호들은 로드신호를 기준으로 각각의 스위치들을 컨트롤하게 된다. 기존 charge sharing 방법과 마찬가지로 그림 4의 source driver부분은 positive buffer와 negative buffer로 구성되어 있는데, 각각의 positive buffer와 negative buffer는 각각 높은 전압과 낮은 전압이 인가되어 있다.

일반적으로 TFT LCD를 구동하기 위해 positive buffer에는 약 14V의 전압이, negative buffer에는 약 1V의 전압이 인가된다. 처음 loading구간에는  $C_{L1}$ ,  $C_{L3}$ ,  $C_{L5}$  등의 홀수 쪽 panel 캐패시터에는 높은 전압의 charge가  $C_{L2}$ ,  $C_{L4}$ ,  $C_{L6}$  등의 짝수 쪽 panel 캐패시터에는 낮은 전압의 charge가 쌓이게 된다. 또, 이 구간 동안에는 clk3의 스위치도 on이 되면서 외부 캐패시터  $C_{EXT,low}$ 에는  $(1/4)V_{DD}$ 의 charge가, 또 하나의 외부 캐패시터  $C_{EXT,high}$ 에는  $(3/4)V_{DD}$ 의 charge가 쌓이게 되는데, 이렇게 각각 쌓인 charge들은 바로 다음 charge sharing 구간에서 clk2와 clk4가 on이 되면서  $C_{L1}$ ,  $C_{L3}$ ,  $C_{L5}$  등의 홀수 쪽 panel 캐패시터에는  $(1/4)V_{DD}$ 의 charge를,  $C_{L2}$ ,  $C_{L4}$ ,  $C_{L6}$  등의 짝수 쪽 panel 캐패시터에는  $(3/4)V_{DD}$ 의 charge를 sharing하게 된다.

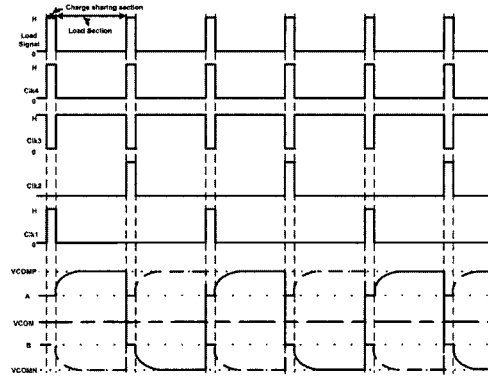


그림 5 제안된 회로의 스위칭 time 및 출력파형  
Fig. 5 Switching time and output waveforms of proposed circuit

여기서 외부 캐패시터  $C_{EXT,high}$ 와  $C_{EXT,low}$ 는 panel의 캐패시터보다 매우 큰 용량을 갖고 있기 때문에 sharing시  $V_{com}$  전압은 거의 일정하게  $(1/4)V_{DD}$ 와  $(3/4)V_{DD}$ 의 전압이 된다. 이 후의 로딩구간에는 panel의 캐패시터에 이전의 로딩구간과는 반대의 charge가 쌓이게 되고, 다음의 charge sharing구간에서 clk1과 clk4가 on이 되면서 이전의 charge sharing구간과 반대로 charge가 서로 sharing됨으로써 그림 5의 아래부분에 있는 그림과 같은 출력파형을 만들어 내게 된다.

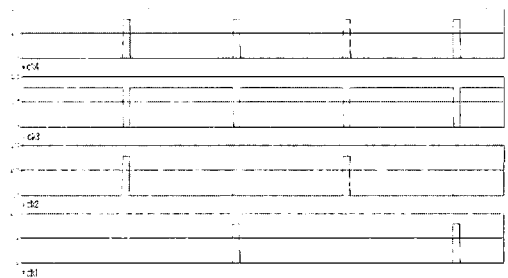


그림 6 제안한 회로의 시뮬레이션 스위칭 time 파형

Fig. 6 Simulated switching timing waveform of proposed circuit

새롭게 제안한 source driver는 기존 charge sharing 방법을 개선하여 두 개의 amp와 4개의 외부 캐패시터를 적용함으로써  $V_{com}$  전압이  $(1/4)V_{DD}$ 와  $(3/4)V_{DD}$ 로 일정하게 유지됨으로써 75%의 power saving 효율을 가질 수 있다.

위 식(1)을 본 논문에서 새롭게 제안된 회로의

power saving 효율은 다음과 같다.

$$\begin{aligned} P_{new.method} &= V_{DD} \times I_{ave} \\ &= V_{DD} \times [N \times C_L \times \left(\frac{1}{4}\right) V_{DD} \times \frac{F_{row}}{2}] \\ &= \left(\frac{1}{4}\right) P_{total} \end{aligned} \quad (3)$$

위 식에서 볼 수 있듯이 power saving 효율이 기존 방식보다 훨씬 좋은 75%를 유지함을 볼 수 있다. 또한, slew율이 증가함으로 인해 응답속도도 향상되는 장점을 가진다. 따라서 저전력소비가 빠른 응답속도를 요하는 대형 TFT-LCD panel에 적용할 수 있을 것이다.

#### IV. 모의실험 및 결과

본 논문에서 제안한 기존의 charge sharing 방법을 이용하여 고효율의 power saving TFT-LCD driving circuit의 동작을 확인하기 위해 OrCAD로 그 구조를 구성하여 모의 실험하였다.

시뮬레이션 조건은 시간 영역 해석에 있어서 제안한 charge sharing 구조에  $V_1$  입력을 14V,  $V_2$  입력을 1V의 DC 전압을 인가하였다. 또한 gate signal로 인가되는 구형 펄스의 주기는 TFT LCD gate driver의 turn-on 시간에 맞게 하였다. 즉 TFT LCD gate driver의 turn-on 시간은 식 4와 같이 표현할 수 있다.

$$t_{on} = (mf_f)^{-1} \quad (4)$$

여기에서 m은 gate line의 수를 나타내고,  $f_f$ 는 프레임 주파수이다. 만일 프레임 주파수가 60Hz이고 480개의 gate bus line이 있다면,  $t_{on}$ 은 37.7 $\mu$ s가 될 것이다[5].

제안된 회로의 아날로그 스위치를 동작시키기 위해 주파수를 분주하여 15V의 pulse를 만들었고 그 시간에 따른 파형은 그림 6과 같다. 그림 6은 제안한 charge sharing 방식을 동작시키기 위한 pulse 파형이다.

본 논문에서는 프레임 주파수를 60Hz로 하였는데, XGA급 1024 $\times$ 768의 경우  $t_{on}$ 은 21.7 $\mu$ s이다. 부하 조건은 대형 panel의 조건을 가정하여 50pF, 50k $\Omega$ 으로 하였다.

그림 5에서의 파형과 같은 펄스파로 컨트롤 신호를 인가하였다. 그림 7은 제안한 회로의 출력 파형을 보여주고 있다.

Gamma buffer amplifier 두 개의 입력 중  $\left(\frac{1}{4}\right) V_{DD}$ 의 입력에는 3.5V의 DC전압을 인가하였고,  $\left(\frac{3}{4}\right) V_{DD}$ 의 입력에는 11.5V의 DC전압을 인가하였다.

시뮬레이션 결과 기존 charge sharing 방식에 비해 출력 파형의  $V_{swing}$ 이  $\left(\frac{1}{4}\right) V_{DD}$ 으로 스윙하는 것을 확인 할 수 있었다. 이 결과는 제안한 방식의 그림 5와 같음을 확인할 수 있었다.

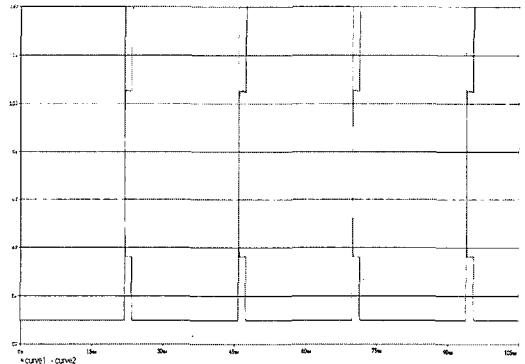


그림 7 제안한 회로의 시뮬레이션 출력파형  
Fig. 7 Simulated output waveform of proposed circuit

그 결과 power saving 효율이 외부 캐패시터의 입력 단의 amp의 전압에 의해 결정되며 최대 75%를 보이는 것을 확인하였다. 또한 slew율 증가의 효과도 볼 수 있었다. 표 1은 기존 charge sharing 방식과 새로운 charge sharing 방식의 power saving 효율을 비교하여 놓은 것이다.

#### V. 측정

본 논문에서 제안한 charge sharing 방식을 OrCAD로 시뮬레이션하고 PCB로 제작하여 동작을 확인하였다.

PCB실험에 사용된 출력 버퍼는 LM741이고, 스위치는 GD4066B를 사용하였다. 제작된 PCB를 측정하기 위해 OrCAD로 시뮬레이션했던 전압 및 캐패시턴스 값을 이용하였다.  $V_1$ 에는 14V를,  $V_2$ 에는 1V를 인가하였다. Gamma buffer amplifier 두 개의 입력 중

$\left(\frac{1}{4}\right)V_{DD}$ 의 입력에는 3.5V의 DC전압을 인가하였고,  
 $\left(\frac{3}{4}\right)V_{DD}$ 의 입력에는 11.5V의 DC전압을 인가하였다.

그리고 4개의 외부 캐패시터에는 100nF의 캐패시터를, panel 캐패시터는 각각 100pF의 캐패시터를 사용하였다. 그림 8은 새로운 charge share 방식을 이용하여 설계되고 PCB로 제작된 TFT LCD source driver의 출력 파형을 나타낸 그림이다. 표 1은 기존 방식과 제안한 방식의 settling time 측정결과로 구동속도가 기존방식 대비 30%이상 빠른 것을 알 수 있다.

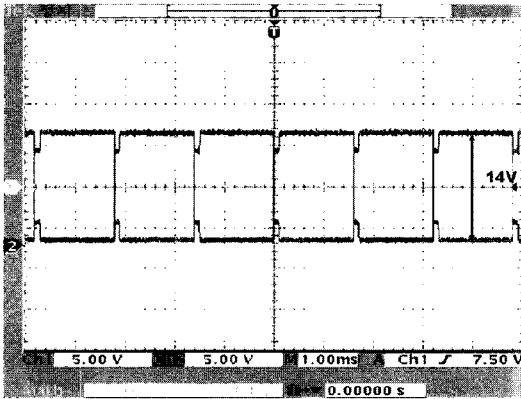


그림 8 제작된 PCB의 Scope 출력 파형

Fig. 8 Scope output waveform of manufactured PCB.

표 1 Settling time 측정 결과

Table 1. Test result of settling time

Metho d	Conventional method		Proposed method	
	Rising time	Falling time	Rising time	Falling time
Avg.	1.25us	0.94us	0.84us	0.65us

## VI. 결론

본 논문에서는 점점 대형화하고 TFT-LCD panel의 구동에 응용하기 위해 새로운 charge sharing 방식을 사용하여 power saving 효율이 좋은 회로를 제안하였

고, 이를 OrCAD를 이용하여 시뮬레이션 하였다. 시뮬레이션 결과 power saving 효과가 약 75%가 됨을 확인하였으며, 응답속도에 결정적인 영향을 미치는 slew율이 증가함을 볼 수 있었다. 또한 PCB로 제작하여 동작을 검증하였고, 그 결과 시뮬레이션 결과와 일치함을 확인하였다. 본 논문에서 제안한 구조의 회로는 LCD panel의 대형화에 따라 전력소비가 증가할 수밖에 없는 driving 회로를 보완한 것이다. 이 구조는 power saving 효율이 좋으며, 응답속도가 빠른 구조이다. 이 구조를 사용하여 점점 더 대형화되는 TFT-LCD panel을 구동하는 TFT LCD source driver에 응용한다면 전력소비를 줄일 수 있을 것이라 기대한다.

향후 새롭게 제안한 charge share 방식을 적용하여 LCD panel을 구동하기 위한 고전압 CMOS process 공정을 이용하여 IC로 제작할 예정이다.

## 참 고 문 헌

- [1] Shao-Sheng Yang, Pao-Lin Guo " A multi-phase charge-sharing technique without external capacitor for low-power TFT-LCD Column Drivers" IEEE 2003.
- [2] G. Itoh and H. Okumura, "Advanced Multi-Field-Driving Method for Low Power TFT-LCD." Asia Display 95. pp. 493-496. 1995.
- [3] S. Tomita. "A compensative driving method for common electrode voltage distortions in TFT-LCDs." International Display Research Conference. pp. 235-238. 1991.
- [4] S.T Kim. B.D. Choi and O.K. Kwon. "A novel method of charge-sharing TFT-LCD source driver for low-power consumption." IDW 97. pp. 155-158. 1997.
- [5] Toshihisa Tsukad "TFT/LCD liquid-crystal displays addressed by thin-film transistors" vol.29 Gordon and Breach Publishers

---

 저 자 소 개
 

---

## 박 수 양 (정회원)



1998년 2월 청주대학교 반도체 공학  
학사 졸업.  
2000년 2월 청주대학교 반도체 공학  
석사 졸업.  
2006년 현재 청주대학교 박사 과정.  
<주관심분야>  
CMOS Analog IC 설계 및 Mixed  
Mode 설계

## 손 상 희 (정회원)



1983년 2월 한양대학교 전자공학과  
학사 졸업  
1985년 2월 한양대학교 전자 공학과  
석사 졸업  
1988년 8월 한양대학교 전자 공학과  
박사 졸업  
1988년9월~1991년2월 순천향대학교  
전산학과 전임강사

1991년3월~현재 청주대학교 전자정보공학부 교수

<주관심분야>

CMOS Analog IC 설계 및 Mixed Mode 설계

## 정 원 섭 (정회원)



1977년 2월 한양대학교 전자통신 공  
학과 학사 졸업.  
1979년 2월 한양대학교 전자통신 공  
학과 석사 졸업.  
1986년 일본 시즈오카대학 전자과학  
연구과 박사 졸업.  
1986년3월~현재 청주대학교 전자정  
보공학부 교수

<주관심분야>

Bipolar 및 CMOS 아날로그 집적회로, 아날로그필터,  
전류모드 신호처리 회로, 센서 신호처리 회로설계