

# 고속 통신용 CMOS 4.5 Gb/s 인터페이스 회로 구현

## (Implementation of CMOS 4.5 Gb/s interface circuit for High Speed Communication)

김태상\*, 김정범\*

金兌相, 金政範

Tae Sang Kim\* and Jeong Beom Kim\*

### 요약

본 논문에서는 고속 통신용 인터페이스 회로를 RMVL(redundant multi-valued logic)을 이용하여 CMOS 회로로 설계하였다. 설계한 1:4 디멀티플렉서 (demultiplexer, serial-parallel converter)는 직렬 데이터를 병렬 redundant 다치 데이터로 변환하는 부호화 회로와 redundant 다치 데이터를 병렬 이진 데이터로 변환하는 복호화 회로로 구성된다. 이 회로는 0.35um 표준 CMOS 공정을 이용하여 구현하였으며, 기존의 이진 논리회로보다 고속 동작을 한다. 이 회로는 3.3V의 공급전원에서 4.5Gb/s 이상의 동작속도와 53mW의 전력소모를 가지며, 동작속도는 0.35um 공정이 가지는 최대 주파수에 의해 제한된다. 설계한 회로가 높은 동작 주파수를 가지는 미세공정상에서 사용될 경우 10Gb/s 이상의 고속 통신용 인터페이스 구현이 가능하다.

### Abstract

This paper describes a high speed interface circuit using redundant multi-valued logic for high speed communication ICs. This circuit is composed of encoding circuit that serial binary data are received and converted into parallel redundant multi-valued data, and decoding circuit that converts redundant multi-valued data to parallel binary data. Because of the multi-valued data conversion, this circuit makes it possible to achieve higher operating speeds than that of a conventional binary logic. Using this logic, the proposed 1:4 DEMUX (demultiplexer, serial-parallel converter), was designed using a 0.35um standard CMOS technology. Proposed DEMUX is achieved an operating speed of 4.5Gb/s with a supply voltage of 3.3V and with power consumption of 53mW. The operating speed of this circuit is limited by the maximum frequency which the 0.35um process has. Therefore, this circuit is to achieve CMOS communication ICs with an operating speed greater than 10Gb/s in submicron process of high operating frequency.

Keywords : Redundant Multi-Valued Logic, Multi-Valued Logic, interface circuit, demultiplexer

### 1. 서론

오늘날 광대역 통신의 급격한 수요증가로 고성능 및

저가의 통신시스템에 대한 필요성이 증가하게 되었다. 디멀티플렉서(Demux: demultiplexer, serial-to-parallel converter)는 이러한 통신시스템의 중요한 구성요소이다. 이 회로는 CMOS로 구현하면 BJT 및 합성 반도체 소자에 비해 저가 및 저 전력 집적회로 구현할 수 있는 장점이 있다. 최근, CMOS 공정의 발달로 1Gb/s 이상의 데이터 속도를 가지는 통신용 CMOS 집적회로에 관한 많은 연구들이 발표되었다 [1-8]. 그러나, 이

\* 강원대학교 전기전자공학부

(Dept. of Electrical and Electronics Eng. Kagnwon National University )

★ 교신저자

接受日:2006年 7月 26日, 修正完了日: 2006年 11月 28日

회로들의 최대 데이터 전송속도는 회로의 토글 주파수 (toggle frequency)에 의해 제한된다. 토글 주파수에 의한 영향을 감소시키기 위해 MCML(MOS current mode logic)이 제안되었다[3]. 이것은 기존 CMOS 논리회로보다 약 1.5배 고속동작을 하지만, MCML의 성능 또한 회로의 토글 주파수에 의해 제한 받는다.

트리구조 디멀티플렉서는 1:2 디멀티플렉서의 계층 구조로 이루어졌다[5]. 각 1:2 디멀티플렉서는 MS-F/F(master-slave flip-flop)과 D-F/F 으로 구성된다. 계층구조는 입력 데이터를 동작 주파수의 상승 구간과 하강구간에서 두 번 전달할 수 있다. 트리구조는 동작 주파수에 두 배의 데이터 처리속도를 가진다. 0.35um 표준 CMOS 공정에서 전압제어발진기(VCO)의 최대 데이터 처리율(data rate)은 1.5Gb/s이다[6]. 따라서 트리구조 디멀티플렉서의 최대 데이터 전송속도는 기존의 CMOS 논리회로에서 최대 3Gb/s를 가진다[1]. MCML구조를 사용하면 1.5배의 속도향상을 가짐으로 4.5Gb/s의 최대 데이터 전송속도를 가진다.

Oversampling 방법은 트리구조보다 빠른 동작속도를 가진다는 장점을 갖는다[7],[8]. 이 구조는 개별 동작하는 8개의 샘플회로들로 구성된다. 입력 데이터 전송속도의 1/8 값을 가지는 샘플 주파수는 각 클럭의 하강 구간에서 입력 데이터를 처리한다. 따라서 한 클럭 주기 동안 8개의 데이터 비트를 읽는다. 일반적으로 이 방법은 데이터의 일정 부분을 샘플링(sampling) 하기 위해 이진 형태의 sample-and-hold 회로를 사용한다. 회로의 클럭 주파수가 MOSFET의 최대 토글 주파수와 동일하면, sample-and-hold 회로의 준비시간(setup time)은 클럭 주기의 1/2에 근접한다. 이 조건들에 의해, 만일 데이터 전송과 클럭 전송 타이밍 차이가 감소하면 oversampling 방법은 종종 잘못된 값을 읽어 들여 에러율을 증가시킬 수 있다. 따라서 이 방법을 최대 토글 주파수에서 동작하게 하기 위해서는 오류정정코드(ECC : error correction code) 회로가 필요하다[7].

따라서, 토글 주파수 제한의 개선은 통신시스템을 구성하는 고속 CMOS 집적회로를 위해 반드시 필요하다. RMVL (redundant multi-valued logic)은 토글 주파수로 인한 문제점들의 극복을 위해 제안 되었다[4]. 이 회로는 최대 토글 주파수보다 고속의 직렬 데이터를 입력받아 사용할 수 있다. 본 논문에서는 RMVL을 이용하여 낮은 소비전력을 가지는 고속통신용 인터페이스 회로를 0.35um 표준 CMOS 기술로 구현하였다. 본 논문은 다음과 같이 구성한다. 먼저, II장에서 RMVL을 이용한 1:4 디멀티플렉서에 대해 설명한다. III장에서 설계한 회로의 레이아웃 (layout) 과 시뮬레이션 결과를 분석하며, IV장에서 결론을 맺는다.

## II. RMVL을 이용한 1:4 디멀티플렉서

### 2.1. RMVL(redundant multi-valued logic)

토글 주파수를  $f$  일 때, 만약 이진수의 직렬 데이터 전송 속도가  $2f$  라면, 데이터의 최대 주파수는  $f$ 이다. 즉, 회로가 수용할 수 있는 데이터의 대역폭은  $f$ 보다 커야 한다. 이진 데이터가 다치 데이터(multi-valued data)로 변환할 때, 데이터 주파수는 감소한다. 따라서 데이터를 처리하기 위해 요구되는 최대 대역폭은 감소한다. 만약  $n$ -bit 데이터가 다치 데이터로 변환하면, 데이터 주파수는  $f/n$ 으로 된다. 이와 같이, 이진수에서 다치 데이터로 변환하는 것은 높은 주파수를 다룬다는 의미에서 효과적이다. 또한, redundancy를 이용하면, 적은 회로 동작으로 많은 데이터를 처리할 수 있다[9],[10]. 이러한 특징으로 고속 동작속도를 가지는 회로구현이 가능하다. 즉, RMVL은 다치논리 (MVL : multi-valued logic)와 redundancy의 장점을 이용한다. 다치논리는 이진 데이터 변환과정에서 복잡한 회로가 필요하다. 반면에 RMVL은, 입력 데이터 0-1과 1-0 모두 1로 중복 시키므로, 1-0과 0-1이 구별되지 않아 데이터 변환이 간단해진다. RMVL은 sample-and-hold 회로방식과 유사하며, 누적회로(accumulator)를 이용하여 구현할 수 있다. 따라서, RMVL의 데이터 변환속도는 종래의 다치논리보다 향상되어 보다 많은 데이터를 처리할 수 있다.

### 2.2. 1:4 디멀티플렉서

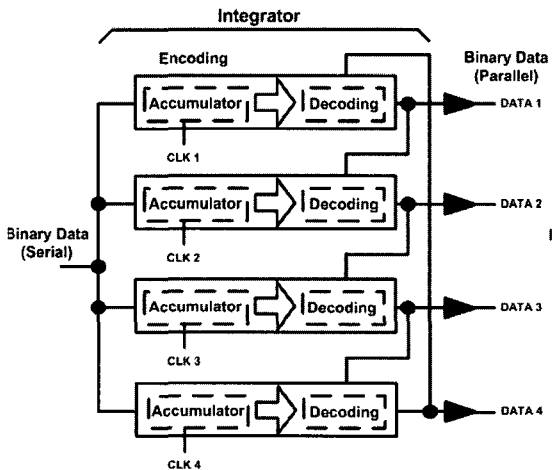


그림 1. 1:4 디멀티플렉서의 기본구조  
Fig. 1. Basic structure of 1:4 DEMUX.

그림 1은 RMVL을 이용한 1:4 디멀티플렉서의 기본 구조이다. 이 디멀티플렉서는 4개의 적분기(integrator)로 구성된다. 적분기는 이전데이터를 입력받아 병렬 다치 데이터를 생성한다. 각 적분기의 동작 주파수는 입력 데이터 처리율의 1/4 값을 가진다. 각 적분기는 한 번의 샘플주기 동안에 두 비트의 데이터 값을 받는다. 이 데이터를 축적하여 0, 1, 2 의 3치 데이터(3-valued data)를 생성한다. 복호와 부에서 3치 값은 원래의 이진 데이터로 전환된다.

RMVL의 데이터 변환과정은 다음과 같다. 3치 데이터가 0이나 2일 때 2진결과는 바로 0-0과 1-1로 각각 결정된다. 3치 데이터가 1값을 가질 때, 이전 결과는 앞 단 적분기 결과에 의해 결정된다. 예를 들어 앞단 적분기 결과가 1-0 이나 0-0 값을 가지고 현재 적분기가 3치 값으로 1값을 가질 때 이 적분기는 0-1 값을 가진다. 만약에 입력에서 1과 0이 반복해서 나타나는 "10101010..."과 같은 경우 현재 적분기는 앞단 적분기가 올바른 값을 가질 수 없기 때문에 결과를 결정할 수 없다. 그러나 입력 1과 0의 반복인 경우에 한해서만 문제가 생긴다. 따라서, 입력 데이터는 0-0이나 1-1의 패턴을 가져야 한다. 0-0이나 1-1의 패턴이 복호기의 앞단 값을 결정한다. 일단 이 패턴이 입력으로 들어오게 되면 적분기는 내부의 상태를 정확하게 정렬할 수 있다. 즉 패턴을 받고 난 후에 정확하게 자료를 본래상태로 되돌릴 수 있다. 전달오류는 이전 데이터에 의해서 발생할 수 있다. 그러나 0-0, 1-1 패턴이 한번 나타나면, 전달오류는 발생하지 않는다. 따라서 긴 구간에서 전달오류는 발생하지 않는다. 이 회로에서, 각 적분기는 한 번의 샘플주기 동안에 몇 개의 데이터를 읽어 들인다. 다시 말해 샘플주기 동안 입력 데이터의 전송이 일어난다. 이러한 특징 때문에 이 회로의 준비시간은 정해질 수 없다.

그림 2는 적분기의 블록선도이다. 적분기는 누적회로, 비교기(comparator), 래치(latch), 복호기(decoder)로 구성된다. 누적회로는 이진 데이터를 입력받아 3치 데이터로 변환하는 부호화 역할을 한다. 비교기는 두 개의 High, Low 기준전압으로 데이터를 비교하며, High 와 Low의 결과는 래치를 통해 복호기로 전달한다. 복호기는 High, Low 값을 바탕으로 앞 단 적분기 값을 그림 3의 방식에 따라 이진 값으로 변환한다.

그림 3은 적분기에 사용되는 누적회로와 이 회로의 타이밍선도를 나타낸다. 입력은 클락에 의해 제어된다. 누적회로의 C1은 클락이 Low일 때 예비충전(precharge)되고, 클락이 High이고 입력 데이터가 1일 때 방전(discharge) 된다. C1과 C2는 클락이 High일 때 연결된다. C1 캐패시터는 C2 캐패시터보다 매우 크기 때문에 샘플링 구간에서 3치 데이터의 빠른 전달이 이루어진다. 앞에서 설명한 바와 같이, 3치 데이터 생성은 회로 내부의 시상수에 의해 결정된다. 노드 B의 전압은 샘플링 구간에서 노드 A의 전압에 근접하며, 홀드구간에서는 노드 B의 값을 유지한다. C1 커패시턴스 최적의 값은 동작 주파수와 공급전원의 크기에 의존하기 때문에 C1 커패시터의 설계는 가변적으로 이루어진다. C1의 값은 입력 데이터 패턴 0-1, 1-0일 때 노드 A의 3치 값이 1 값을 가질 수 있도록 결정한다. 이 값의 결정은 HSPICE 시뮬레이션을 통하여 결정된다. 또한 전압 결정은 이 회로의 최대 동작속도에 의해서도 제한된다. C2의 값이 작기 때문에 C2의 전압은 기생 커패시턴스나 트랜스미션 게이트의 채널 충전에 영향을 받는다. 그러나 시뮬레이션을 보면 이 전압의 차이는 3치 데이터를 구별하기에 충분히 작다. 매 클락 주기의 초기에 C1이 예비충전되기 때문에 누적회로에서 최소 트랜지스터를 사용하여도 축적기능에 대한 영향은 미미하다. 홀드주기 동안, 비교기의 3치 입력 데이터를 이진 값의 1, 0으로 변환한다. 이 적분기는 샘플주기 동안 샘플링 동작을 하고, 홀드주기 동안 예비충전과 비교동작을 같이한다. 기준전압인 High와 Low는 저항으로 공급전압을 나누어 칩 안에서만 들어간다. 따라서 기준전압은 공급전압에 따라서 변한다.

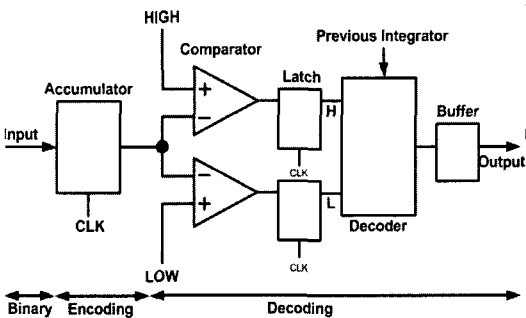


그림 2. 적분기의 블록선도

Fig. 2. Block diagram of integrator.

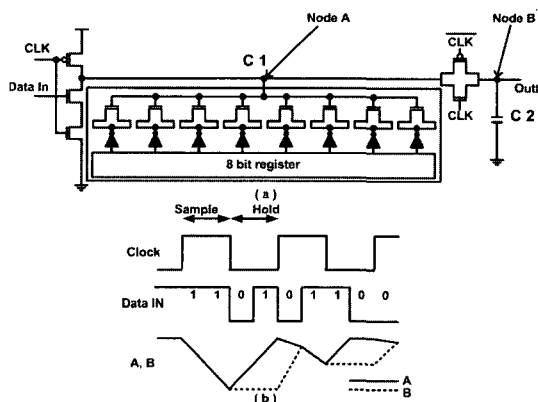


그림 3. (a) 누적기와 (b) 타이밍선도

Fig. 3. (a) Accumulator and (b) timing diagram.

그림 4는 1:4 디멀티플렉서의 복호기 회로를 나타낸다. 복호기는 현재 데이터뿐 아니라 현재 데이터의 이전과 나중 값의 상호관계를, PRML (partial response maximum likelihood)와 같은 오류검출이나 오류정정 기능으로 이용한다. 그러나 이 기능을 실현하기 위해서 복호기 회로는 복잡하고 동작속도가 저하된다. 각 복호기가 한 주기 안에서 적분기들의 위상차이와 같은 부분을 변환해야 하기 때문에 빠른 동작이 필요하다.

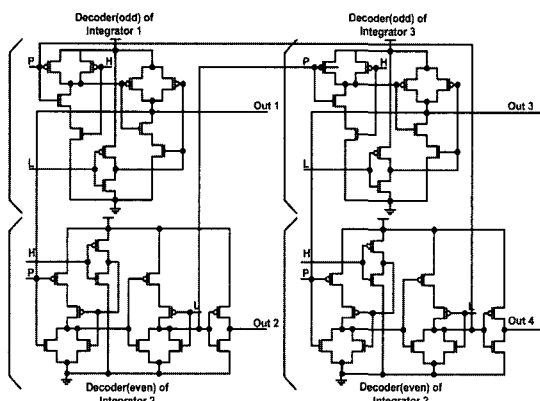


그림 4. 복호기  
Fig. 4. Decoder.

### III. 물리적 구현과 시뮬레이션 결과

설계한 회로는 0.35um 표준 CMOS 공정 (Level 28)에서 HSPICE 시뮬레이션을 통하여 검증하였으며, DRC, LVS, ERC를 수행 하였다.

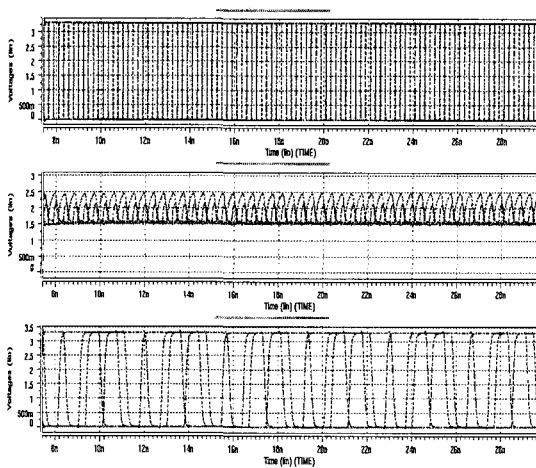


그림 5. 1:4 디멀티플렉서의 시뮬레이션 결과  
Fig. 5. Simulation results of 1:4 DEMUX.

그림 5는 설계한 1:4 디멀티플렉서의 출력파형을 나타낸다. 입력데이터는 4.5Gb/s, 동작 주파수는 1.125 GHz (four-phase)이다. 그림 8에서 상단은 입력 데이터, 중단은 입력 클럭, 하단은 결과 데이터이다. 이 회로는 내부 클럭 발생기를 포함하지 않는다. 또한 복호기에 임계경로가 존재하므로, 결과 파형에서 전달 지연이 발생함을 볼 수 있다. 단 최대 데이터 전송속도인 4.5Gb/s 이하에서는 전달지연이 효과가 줄어든다. 기존 회로가 4.5Gb/s의 데이터를 처리하기 위해 2.25GHz의 클럭 주파수가 필요하지만, 설계한 회로는 동일한 조건에서 단지 1.125GHz의 클럭 주파수가 필요하다. 이것은 RMVL이 고속 CMOS 통신용 집적회로에 유용함을 보여준다. 표 1은 1:4 디멀티플렉서의 주요특성을 나타낸다. 그림 6은 설계한 회로의 레이아웃이다.

표 1. 1:4 디멀티플렉서의 특징  
Table 1. Characteristics of 1:4 DEMUX.

Supply Voltage	3.3 V
Operating Frequency	1.125 GHz
Data Rate	4.5 Gb/s
Power Consumption (with output buffers)	53.470 mW
Power Consumption (without output buffers)	52.707 mW

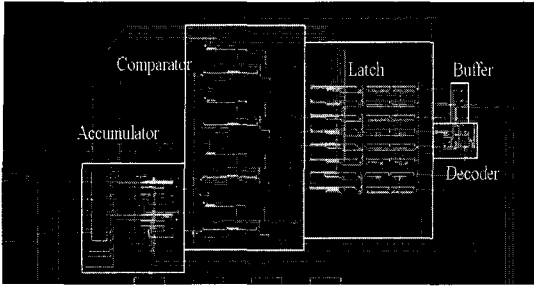


그림 6. 1:4 디멀티플렉서의 레이아웃  
Fig. 6. Layout of 1:4 DEMUX.

#### IV. 결론

본 논문은 고속 통신용 디멀티플렉서를 CMOS 0.35 $\mu$ m 공정을 이용하여 구현하였다. 설계한 구조는 기존의 디멀티플렉서보다 높은 동작속도와 낮은 클락 주파수에서 동작이 가능하다. 설계한 회로들은 3.3V의 공급전압에서 4.5Gb/s 이상의 데이터를 1.125GHz의 클락으로 처리할 수 있다. 이것은 RMVL이 회로 동작 주파수의 두 배 이상 고속 데이터 처리가 가능하다는 것으로, 토글 주파수의 제한이 감소하였음을 의미한다. 설계한 회로는 미세선폭을 사용할 경우 공정 최대 주파수의 증가로, 10Gb/s 이상의 동작속도를 나타낼 것으로 예상된다. 그러나 복호기에 존재하는 임계경로에 의해 최대 클락 주파수에서 데이터 전송 지연이 일어나 결과 값에 시간차이가 발생하는 단점이 있다.

감사의 글

이 논문은 강원대학교 정보통신연구소 지원으로 수행되었으며, 본 연구에 사용한 설계용 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것임.

#### 참고 문헌

- [1] K. Nakamura, M. Fukaishi, H. Abiko, A. Matsimoto, and M. Yotsuyanagi, "A 6 Gbps CMOS phase detecting DEMUX module using half-frequency clock," in Symp. VLSI Circuits Dig. Tech. Papers, June 1998, pp. 196-197.
- [2] J. Savoj and B. Razavi, "A 10 Gb/s CMOS clock and data recovery circuit with frequency detection," in ISSCC Dig. Tech. Papers, 2001, pp. 78-79.
- [3] A. Tanabe, M. Umetani, I. Fujiwara, T. Ogura, K. Kataoka, M. Okihara, H. Sakuraba, T. Endoh, and F. Masuoka, "0.18  $\mu$ m CMOS 10 Gb/s multiplexer/ demultiplexer ICs using current mode logic with tolerance to threshold voltage fluctuation," IEEE J. Solid-State Circuits, vol. 36, pp. 988-996, June 2001.
- [4] A. Tanabe, Y. Nakahara, A. Furukawa, and T. Mogami, "A Redundant Multivalued Logic for a 10-Gb/s CMOS Demultiplexer IC," IEEE J. Solid-State Circuits, vol. 38, pp. 107-113, Jan. 2003.
- [5] M. Fukaishi, K. Nakamura, M. Sato, Y. Tsutsui, S. Kishi, and M. Yotsuyanagi, "A 4.25-Gb/s CMOS Fiber Channel Transceiver with Asynchronous Tree-Type Demultiplexer and Frequency Conversion Architecture," IEEE J. Solid-State Circuits, vol. 33, pp. 2139-2147, Dec. 1998.
- [6] M. Fukaishi. "GHz serial link transceiver using multiple-valued data representation," in NEC Corporation. Silicon System Research Laboratories. 2002.
- [7] C. K. Yang, R. Farjad-Rad, and M. Horowitz, "A 0.6  $\mu$ m CMOS 4 Gb/s transceiver with data recovery using oversampling," in Symp. VLSI Circuits Dig. Tech. Papers, June 1997, pp. 71-72.
- [8] H. O. Johansson, J. Yuan, and C. Svensson, "A 4G sample/s line-receiver in 0.8 $\mu$ m CMOS," in Symp. VLSI Circuits Dig. Tech. Papers, June 1996, pp. 116-117.

#### 저 자 소 개

金 兌 相 (정회원)



2004년 2월 강원대학교 전자공학과 학사  
2006년 2월 강원대학교 전자공학과 석사  
2006년 1월 ~ 현재 : 네오뷰코오롱 (주) 기술기획그룹  
<주관심분야>  
VLSI 설계, DDI 설계

金 政 範(正會員)



1985년 2월 인하대학교 전자공학과  
학사

1987년 2월 인하대학교 대학원 전자  
공학과 석사

1997년 2월 포항공과대학교 대학원  
전자전기공학과 박사

1987년 1월~1992년 5월 금성반도체  
중앙연구소 선임연구원

1994년 8월~1997년 9월 현대전자 시스템IC연구소 책임  
연구원

1997년 9월~1999년 2월 충북대학교 전기전자공학부

1999년 3월~ 현재 강원대학교 전기전자공학부 부교수  
<주관심분야>

VLSI 설계, 저 전력 회로 설계