

광대역 CMOS 저잡음 증폭기 설계

Design of Ultra Wide-Band CMOS Low Noise Amplifier

문정호 · 정무일 · 김유신* · 이광두* · 박상규* · 한상민** · 김영환** · 이창석

Jeong-Ho Moon · Moo-Il Jeong · Yu-Sin Kim* · Kwang-Du Lee* ·
Sang-Gyu Park* · Sang-Min Han** · Young-Hwan Kim** · Chang-Seok Lee

요 약

3.1~5.15 GHz 대역의 광대역 저잡음 증폭기를 새로운 입력 매칭 방식과 귀환회로 방식으로 구현하였다. 제 안된 광대역 증폭기는 0.18 μm RF CMOS 공정을 사용하여 제작하였다. 측정된 낮은 잡음지수가 3.4~3.9 dB, 전력 이득은 12.8~14 dB, 입력 매칭은 -9.4이고 입력 IP3는 -1 dBm이고, 소비 전력은 14.5 mW이다.

Abstract

An ultrawideband(UWB) 3.1~5.15 GHz low-noise amplifier employing a novel input matching circuit and feedback topology are presented. The proposed UWB amplifier is implemented in 0.18 μm RF CMOS technology. Measurements show a NF of 3.4~3.9 dB, a power gain of 12.8~14 dB, better than -9.4 of input matching and, an input IP3 of -1 dBm, while consuming only 14.5 mW of power.

Key words : LNA, CMOS, UWB, Broadband

I. 서 론

2002년 4월에 미국 연방통신위원회(Federal Communications Commission: FCC)가 상업화를 승인한 이후, 초고속 W-PAN용 UWB(Ultra Wide Band) 표준화를 담당하는 IEEE 802.15.3a Task Group 및 무선측위(wireless position location) 기능까지 수반하는 저속, 저 전력의 W-PAN을 위한 Task Group인 IEEE 802.15.4a를 중심으로 유수 업체들이 UWB 연구 개발에 적극 참여하고 있는 상황이다.

국내에서는 정보통신부 주관의 한국 UWB 포럼과 산업자원부 주관의 UWB 산업응용 표준화 포럼을 주축으로 하여 급격한 UWB 국제 정세에 발 빠르게 대처하고 있는 상황이다.

기존의 저잡음 증폭기는 대부분 회합물 반도체로

제작되어 왔으며 고주파 특성이 우수하여 오늘날에도 많은 연구와 상용화가 시도되고 있다. 그러나 1990년대 중반부터 회합물 반도체가 아닌 CMOS를 이용한 연구가 꾸준히 증가하여 오늘날 대부분의 시스템에서는 증폭기의 상당부분을 CMOS로 제작하고 있다. RF(Radio Frequency) 증폭기를 CMOS로 제작하게 되면 집적도를 높이고 비용과 소비 전력을 줄이는 한편 CMOS 공정만으로 SoC(System on Chip)를 구성할 수 있는 장점이 있다. 이러한 장점을 고려하여 집적화가 가능한 CMOS를 이용하여 저잡음 증폭기를 설계하였다.

CMOS를 이용한 광대역 저잡음 증폭기에서 입력 매칭을 위하여 피드백 구조, 공통 게이트 구조 그리고 BPF 구조를 많이 사용하고 있다.

피드백 구조에서는 입력 매칭이 용이하지만 이득

「이 연구는 2006학년도 삼성종합기술연구원 및 삼성전기 연구비의 지원으로 연구되었음.」

한밭대학교 전파공학과(Department of Radio Science & Engineering, Hanbat University)

*삼성전기(Samsung Electro-Mechanics)

**삼성종합기술원(Samsung Advanced Institute of Technology)

· 논문 번호 : 20060526-057

· 수정완료일자 : 2006년 6월 15일

과 잡음지수가 저하되는 단점이 있으며^{[1],[2]}, 공통 게이트 구조는 전력 소비가 크고 이득이 작은 단점이 있으며^[3], BPF 구조는 입력에 공진 회로를 구성하여 광대역 매칭을 하므로 입력 매칭에 어려움과 사이즈가 커지는 단점이 있으나 이득과 잡음지수가 좋은 특성^{[4],[5]}이 있다.

본 논문에서는 피드백 구조를 이용한 매칭의 용이성과 BPF 구조를 이용한 이득과 잡음 특성을 개선할 수 있는 구조를 제안하여 광대역 저잡음 증폭기를 설계 및 제작하였다.

II. 광대역 저잡음 증폭기 설계

일반적인 RF(Radio Frequency) 시스템 블록을 보면 크게 송신부와 수신부로 나눌 수 있는데 그림 1에서 보는 것처럼 저잡음 증폭기는 수신부의 앞부분에 위치하게 된다.

저잡음 증폭기는 수신기 선단에 위치하여 안테나로부터 RF(Radio Frequency) 신호를 처음으로 받아들이는 수신기 부분으로써 이득이 클 경우 여기서의 잡음 특성이 수신기 전체의 잡음 특성을 좌우한다. 저잡음 증폭기 설계시 고려 사항으로는 잡음지수, 이득, 선형성, 전력 소모 등이 있는데 상호 보완 관계를 이루므로 적절한 최적화가 필요하다.

UWB low band는 3.1~5 GHz 동작 주파수로 이득은 10~15 dB 내외, 잡음지수는 2~5 dB, IIP3는 -10 dBm 이상을 갖는 저잡음 증폭기가 사용된다^{[9]~[12]}. 이러한 논문을 토대로 저잡음 증폭기 설계 목

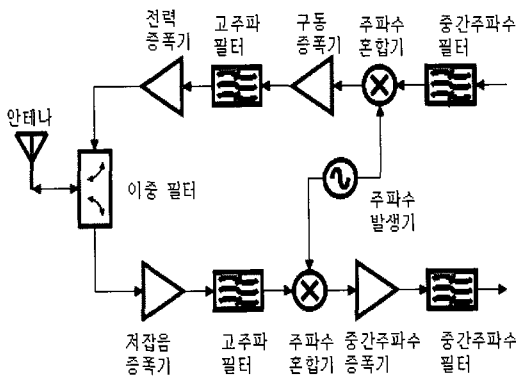
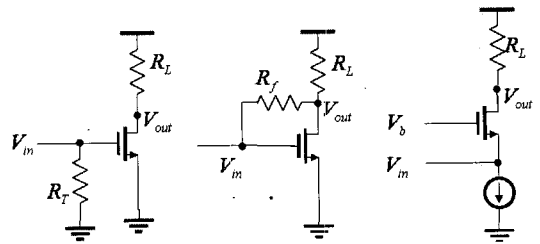


그림 1. 일반적인 RF 시스템 블록 다이어그램
Fig. 1. The block diagram of the general RF system.



(a) 저항종단 공통 소스 증폭기 (b) 귀환 증폭기 (c) 공통 게이트 증폭기
(a) Resistor-terminated common-source amplifier (b) Feedback amplifier (c) Common-gate amplifier

그림 2. 여러 광대역 증폭기
Fig. 2. Common wide-band amplifier.

표는 UWB low band인 3.1~5.15 GHz의 주파수에서 이득 15 dB 이상, NF 3 dB 이하, IIP3는 -5 dBm 이상, 그리고 소비 전력은 18 mW 이내로 계획하였다.

그림 2는 광대역에서 가장 일반적으로 사용되는 저항 종단 공통 소스 증폭기, 귀환 증폭기 그리고 공통 게이트 증폭기를 보여주고 있다^[6].

그림 2(a)는 저항 종단 공통 소스 증폭기로 입력 임피던스 50 Ω에서 가장 낮은 전력 소비를 보여준다. 그러나 저항 R_T 가 입력 신호의 감소와 열잡음을 발생시키며, 잡음지수가 쉽게 6 dB를 넘어선다. 반면 그림 2(b)의 귀환 증폭기와 그림 2(c)의 공통 게이트 증폭기의 잡음지수 F 는 식 (1)과 같다.

$$F \geq 1 + \frac{\gamma}{\alpha} \frac{1}{g_m R_S} \quad (1)$$

R_S 는 입력 소스 저항이고, g_m 은 전달 컨덕턴스이며, γ 는 전파상수로서 long-channel devices에서는 약 2/3이다. α 는 감쇠상수이며 식 (2)와 같다.

$$\alpha = \frac{g_m}{g_d} \quad (2)$$

g_d 는 $V_{DS}=0$ 일 때의 드레인-소스 컨덕턴스이다. 귀환 증폭기의 입력 임피던스 Z_{IN} 은 식 (3)과 같다.

$$Z_{IN} = \frac{R_f + R_L \parallel r_o}{1 + g_m(R_L \parallel r_o)} \approx \frac{1}{g_m} \quad (3)$$

R_f 는 피드백 저항이며, r_o 는 전류원의 저항이

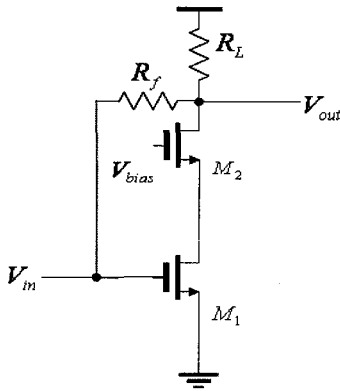


그림 3. Cascode 귀환 저잡음 증폭기
Fig. 3. Cascode feedback low noise amplifier.

다. 공통 게이트 증폭기의 입력 임피던스는 식 (4)와 같다.

$$Z_{IN} = \frac{r_o + R_L}{g_m r_o} \approx \frac{1}{g_m} \quad (4)$$

귀환 증폭기와 공통 게이트 증폭기는 입력 임피던스가 50 Ω일 경우 g_m 이 최소 20 mA/V이며 잡음 지수는 최소 $1 + \gamma/\alpha \sim 3$ dB이다^[1].

Cascode 방식은 밀러 효과를 제거할 수 있으며, single-stage 증폭기의 이득을 향상시킬 수 있다. Cascode 방식은 또한 입/출력 매칭을 독립적으로 수행할 수 있으며, 귀환 증폭기 방식은 좀 더 향상된 안정도와 넓은 대역을 보장해준다. Single stage CMOS cascode 귀환 저잡음 증폭기는 n-channel MOS와 저항 귀환 회로 방식으로 구성되어 있다. 일반적인 회로도는 그림 3과 같다.

Cascode 저잡음 증폭기 회로도에서 잡음지수, 선형성, 이득 그리고 입력 매칭은 게이트 길이와 공통 소스 증폭기의 V_{gs} 그리고 피드백 저항에 직접적으로 영향을 받으므로, 공통 소스 부분의 MOS M1과 피드백 저항은 성능 결정에 중요한 부분이 된다. 또한 MOS M2는 선형성과 높은 출력 임피던스를 결정하므로 입/출력 매칭 그리고 분리도 성능을 나타낸다.

III. 본 논문에서 제안된 저잡음 증폭기

그림 4는 피드백 저항에 따른 Q (Quality factor)를 나타내었다. 그림 4는 그림 3의 피드백 저항에 따른

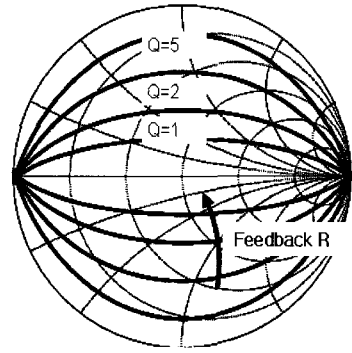


그림 4. 피드백 저항에 따른 Q
Fig. 4. The quality factor of feedback resistor.

Q 를 스미스 도표로 나타내었다.

$$Q = \frac{f_o}{BW} \quad (5)$$

식 (5)에서 f_o 는 중심 주파수이며, BW는 주파수 대역폭이다. Q 가 작을수록 BW가 넓어지므로 광대역 매칭에 용이하다. 하지만, 귀환 증폭기에서 이득은 귀환 신호의 크기에 따라 반비례하므로 피드백 저항이 커져야 한다. 그러므로 피드백 저항은 광대역 매칭과 이득, 잡음지수를 고려할 때 적절한 값이 요구된다.

그림 5는 피드백 저항을 이용하여 저잡음 증폭기를 나타내었다. 그림 6은 Q , Gain_Max, NF_min에 따라 피드백 저항 값을 나타내었다^[2]. Q 가 3 이하,

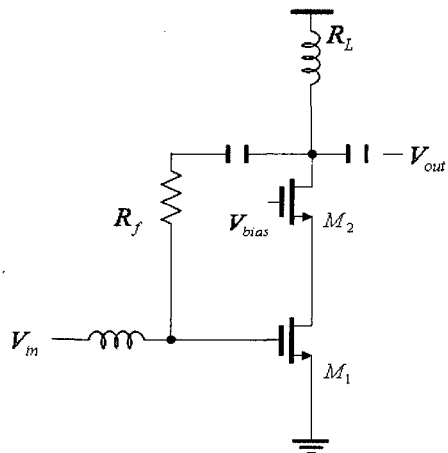


그림 5. 피드백 저항을 이용한 저잡음 증폭기
Fig. 5. Low noise amplifier using feedback resistor.

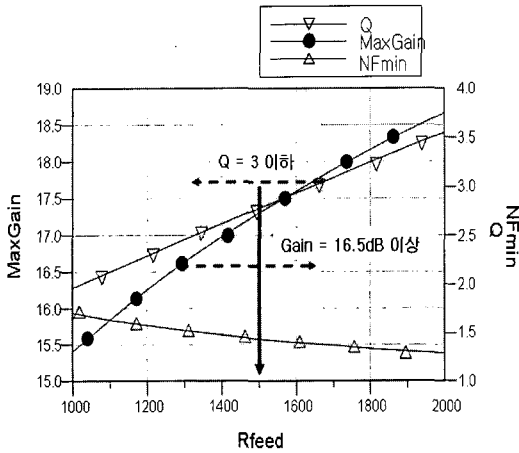


그림 6. Q , GainMax, NFmin에 따른 피드백 저항
Fig. 6. Feedback resistor using Q , gain, NFmin.

Gain_Max는 16.5 dB 이상으로 Q 와 Gain_Max의 마진을 고려하여 $R \approx 1.5$ K Ω 에서 결정되었다. 또한 입력에 BPF(Band Pass Filter) 구조의 LC 직병렬 공진 회로를 이용하여 광대역 매칭을 하였으며 그림 7에 나타내었다. 입력 임피던스 Z_{IN} 은 사용 주파수 전 영역에 걸쳐 필터와 같이 보이게 되므로 그림 8에 나타난 것처럼 공진 주파수에서 원을 그리며 광대역 매칭이 된다.

IV. 시뮬레이션 및 측정치

본 논문에서는 TSMC 0.18 μ m RF CMOS 공정을 이용하여 저잡음 증폭기를 설계 및 제작하였다. 측정은 probe station을 사용하였으며, 측정을 위해 바이어스와 전원 전압은 GPG probe를 입출력은 GSG probe를 사용하였다. Probe station으로 추출된 값은 회로망 분석기에 의해 s2p 파일로 변환되어 ADS에서 분석하였다.

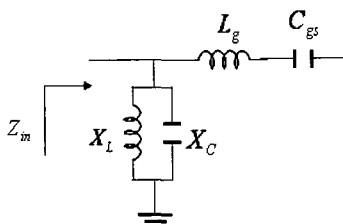


그림 7. BPF 구조의 광대역 매칭 구조
Fig. 7. Wide-band matching of BPF architectures.

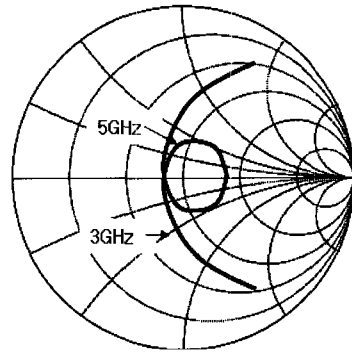


그림 8. BPF 구조의 광대역 매칭
Fig. 8. Wide-band matching of BPF architectures.

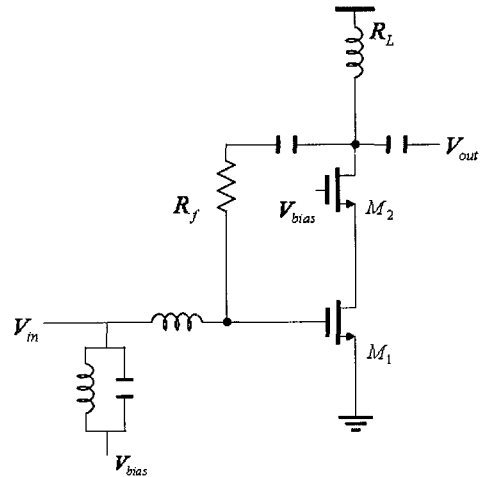
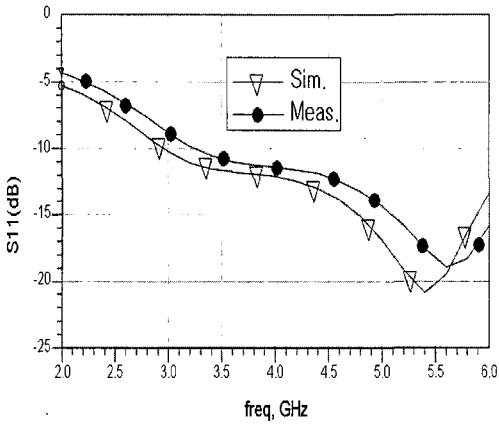


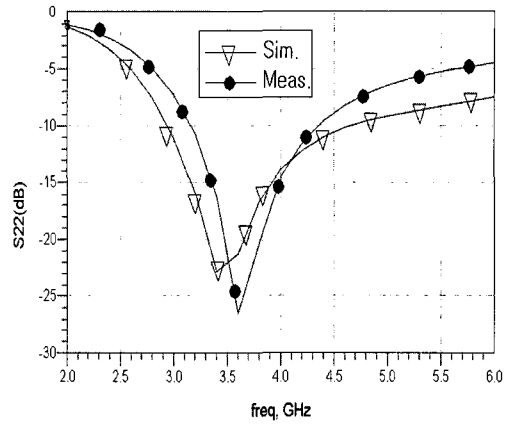
그림 9. 설계된 저잡음 증폭기 회로도
Fig. 9. The designed low noise amplifier.

그림 9는 설계된 광대역 저잡음 증폭기의 회로도이다. 광대역 매칭을 위하여 귀환회로를 이용하여 입력 매칭을 용이하게 하고 LC 공진 회로를 구성하여 전체 매칭을 하였다. 잡음 최적화와 선형성을 위해 M1과 M2의 크기를 결정하였으며 출력 매칭을 위해 간단한 L, C 매칭을 하였다.

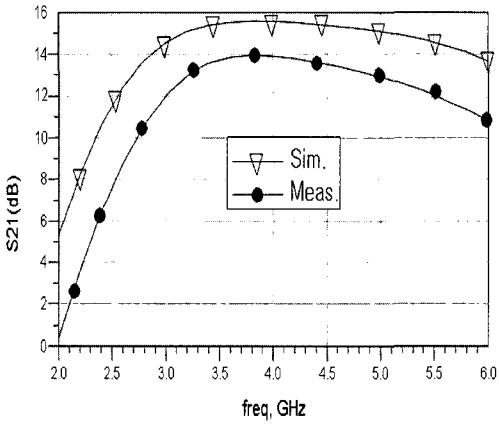
그림 10(a)는 설계치와 측정치의 입력 반사계수를 나타내었다. 설계치는 사용 주파수 대역에서 -10 dB 이하를 보여주고 있으나 측정치는 낮은 주파수에서 주파수 특성의 저하로 인한 -9.4 dB를 보여주고 있다. 또한 그림 10(b)에 나타난 출력 반사계수도 설계치는 -9 dB 이하를 나타내고 있지만 높은 주파수 특성 저하로 인해 측정치는 -6.3 dB 이하를 나타내고 있다. 그림 10(c)는 이득을 나타내고 있으며 설



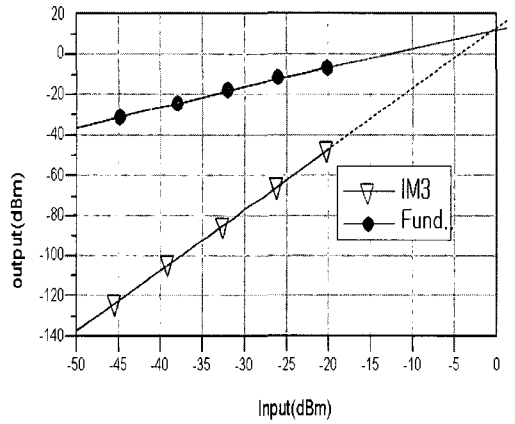
(a) 입력 반사 계수
(a) Input return loss



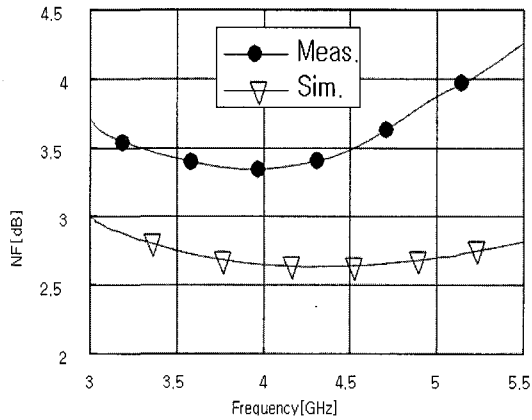
(b) 출력 반사 계수
(b) Output return loss



(c) 이득
(c) Gain



(d) IMD3 특성
(d) Result of two-tone test measurement



(e) 잡음지수
(e) Noise figure

그림 10. 설계치와 측정치 비교
Fig. 10. Comparison of simulation & measured result.

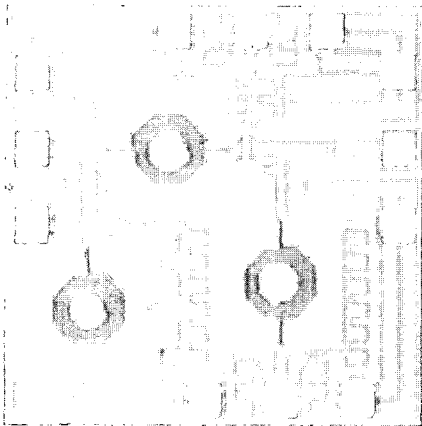


그림 11. 제작된 chip 사진
Fig. 11. Microphotograph of the LNA chip.

계치는 14.1~15.1 dB을 나타내며 측정치는 12.8~14 dB로 전체적인 이득 감소를 나타내고 있다. 그림 10(d)는 IIP3 특성을 나타내고 있으며 설계치는 -2 dB를, 측정치는 -1 dB로 설계치보다 1 dB 개선된 특성이 나타나지만 이는 이득 저하로 인한 선형성 개선으로 보여진다. 그림 10(e)는 잡음지수를 나타내고 있으며 설계치는 2.7~2.9 dB를 측정치는 3.5~3.9 dB를 보여주고 있다.

그림 11은 제작된 chip 사진을 나타내었다. 제작된 칩의 크기는 0.8 mm×0.8 mm이다.

표 1은 설계치과 측정치를 요약하였으며 측정치가 설계치보다 전체적인 성능 저하가 있음을 알 수 있다. 표 2는 CMOS를 이용하여 피드백 구조와 BPF 구조로 설계된 광대역 증폭기 비교 분석하였다.

표 1. 설계치와 측정치의 비교

Table 1. Comparison of simulation & measured result.

항목	설계치	측정치
전원전압 [V]	1.8	1.8
소비전류 [mA]	8.13	8.1
주파수(low) [GHz]	3.1	3.1
주파수(high) [GHz]	5.15	5.15
S_{11} [dB]	-10 이하	-9.4 이하
S_{22} [dB]	-9 이하	-6.3 이하
잡음지수 [dB]	2.7~2.9	3.5~3.9
Gain [dB]	14.1~15.5	12.8~14
IIP3 [dBm]	-2	-1

V. 결 론

본 논문은 TSMC RF 0.18 μm 공정을 이용하여 3.1~5.15 GHz의 광대역 저잡음 증폭기를 설계 및 제작하였다.

제작된 저잡음 증폭기의 측정 결과, 이득은 12.8~14 dB, 잡음지수는 3.5~3.9 dB이며 임출력 매칭은 각각 -9.4 dB, -6.3 dB이며 이득 평탄도는 1.2 dB로 측정되었다. 본 논문에서는 피드백 구조에서 매칭의 용이성과 BPF 구조의 이득과 잡음 특성을 개선할 수 있는 구조를 제안하였고 제작 및 측정을 통해 확인하였다.

참 고 문 헌

[1] H. Doh, Y. Jeong, S. Jung, and Y. Joo, "Design of

표 2. 광대역 저잡음 증폭기 동작 비교

Table 2. Comparison of wide-band CMOS LNA Performances.

Ref.	Tech.[μm]	Topology	BW[GHz]	S11[dB]	Gain[dB]	NF[dB]	IIP3[dBm]	Power[mW]	Year
[7]	0.25	feedback	0.02~1.6	<-8.0	13.7	~1.9	0	35	2002
[8]	0.18	feedback	1~7	<-7.2	10~13.1	3.3~6	-4.7	75	2003
[4]	0.18	LC-filter	2.4~9.5	<-9.9	8~9.3	4~7.8	-6.7	9	2004
[2]	0.18	feedback	2~4.6	<-9	8.8~9.8	2.3~3.9	-7	12.6	2004
[9]	0.18	feedback	2~5.2	<-9	13~14	4.7~5.7	N/A	38	2004
[10]	0.18	feedback	3~5	<-9	15~18	3.9~4.7	N/A	N/A	2005
[11]	0.18	feedback	3~6	<-12	13.5~15.9	4.7~6.7	-5	59.4	2005
[12]	0.13	LC-filter	3~5	<-10	5~9.5	3.8~6	-0.8	16.5	2006
This work	0.18	feedback, LC	3.1~5.15	<-9.4	12.8~14	3.5~3.9	-1	16.5	

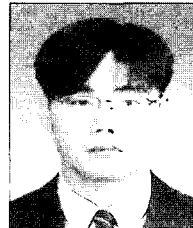
- CMOS UWB low noise amplifier with cascode feedback", *IEEE International Midwest Symposium on Circuits and Systems.*, vol. 2, pp. II-641-II-644, Jul. 2004.
- [2] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, and S. G. Lee, "An ultrawideband CMOS low noise amplifier for 3~5 GHz UWB system", *IEEE J. Solid-state Circuits.*, vol. 40, no. 2, pp. 544-547, Feb. 2005.
- [3] S. Vishwakarma, S. Jung, and Y. Joo, "Ultra wideband CMOS low noise amplifier with active input matching", *IEEE Conference Proceeding, Joint UWBST & IWUWBS. 2004 International Workshop.*, pp. 415-419, May 2004.
- [4] A. Bevilacqua, A. M. Niknejad, "An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receiver", *IEEE ISSCC Dig. Tech. Papers.*, vol. 1, pp. 382-382, Feb. 2004.
- [5] H. J. Lee, D. S. Ha, and S. S. Choi, "A systematic approach to CMOS low noise amplifier design for ultrawideband applications", *IEEE ISCAS International Symposium.*, vol. 4, pp. 3962-3965, May 2005.
- [6] S. B. T. Wang, A. M. Niknejad, and R. W. Brodersen, "A sub mW 960 MHz ultra-wideband CMOS LNA", *IEEE Radio Frequency Integrated Circuits Symposium.*, pp. 35-38, Jun. 2005.
- [7] F. Bruccoleri et al., "Noise cancelling in wideband CMOS LNAs", *IEEE ISSCC Dig. Tech. Papers.*, vol. 1, pp. 406-407, Feb. 2002.
- [8] S. Andersson, C. Svenson, and O. Drugge, "Wideband LNA for a multistandard wireless receiver in 0.18 μm CMOS", *Proc. ESSCIRC*, pp. 655-658, Sep. 2003.
- [9] R. Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13 μm ", *IEEE ISSCC Tech. Dig.*, pp. 214-215, Oct. 2004.
- [10] S. Lida, K. Tanaka, H. Suzuki, N. Yoshikawa, N. Shoji, B. Griffiths, D. Mellor, F. Hayden, I. Butler, and J. Chatwin, "A 3.1 to 5 GHz CMOS DSSS UWB transceiver for WPANs", *IEEE ISSCC Tech. Dig.*, vol. 1, pp. 214-215, Feb. 2005.
- [11] C. P. Chang, H. R. Chuang, "0.18 μm 3~6 GHz CMOS broadband LNA for UWB radio", *IEEE Electronics Letters 9th.*, vol. 41, no. 12, pp. 696-698, Jun. 2005.
- [12] A. Bevilacqua, C. Sandner, A. Gerosa, and A. Neviani, "A fully integrated differential CMOS LNA for 3~5 GHz ultrawideband wireless receivers", *IEEE Microwave and Wireless Components Letters.*, vol. 16, no. 3, pp. 134-136, Mar. 2006.

문 정 호



2006년 2월: 한밭대학교 정보통신 공학과 (공학사)
 2006년 3월~현재: 한밭대학교 전 파공학과 석사과정
 [주 관심분야] 고주파 집적회로(MM-IC) 설계

정 무 일



2000년 2월: 한밭대학교 정보통신 공학과 (공학사)
 2002년 2월: 한밭대학교 정보통신 공학과 (공학석사)
 2006년 3월~현재: 한밭대학교 전 파공학과 연구원
 [주 관심분야] 집적회로 설계, RF 시스템 설계

김 유 신



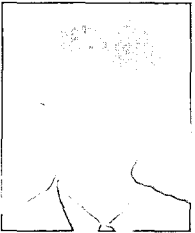
2006년 2월: 한밭대학교 정보통신
전문대학원 (공학박사)
2006년 4월~현재: 삼성전기 중앙
연구소 Wireless Solution IC Lab.
책임연구원
[주 관심분야] Oscillator 설계, RFIC
레이아웃 EM 시뮬레이션

한 상 민



1996년 2월: 고려대학교 전파공학
과 (공학사)
1998년 8월: 고려대학교 전파공학
과 (공학석사)
2003년 8월: 고려대학교 전파공학
과 (공학박사)
2003년 10월~2004년 11월: UCLA
Dept. of EE, Post-doctoral Research Fellow
2005년 1월~현재: 삼성종합기술원 전문연구원
[주 관심분야] Re-configurable RF System, LR-UWB RF
System, Active Integrated Antennas 등

이 광 두



Lab. 선임연구원
[주 관심분야] UWB, RFIC

2002년 2월: 광운대학교 전파공학
과 (공학석사)
2002년 3월~2005년 1월: 삼성중
합기술원 Communication Lab. 연
구원
2005년 2월~현재: 삼성전기 중앙
연구소 wireless communication IC

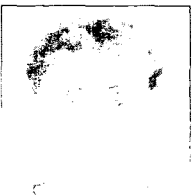
김 영 환



연구소 연구원
2002년~현재: 삼성종합기술원 전문연구원
[주 관심분야] Re-configurable RF System, LR-UWB RF
System, Active Integrated Antennas 등

1989년: 독일 Aachen 공대 전자통신
공학과 (공학사)
1995년: 독일 Aachen 공대 전자통신
공학과 (공학석사)
2001년: 독일 Aachen 공대 전자통신
공학과 박사 수료
1996년~2001년: 독일 Aachen ITHE

박 상 규



[주 관심분야] RFIC, Analog CMOS IC, EM analysis

2003년 2월: 인하대학교 전자공학
과 (공학사)
2005년 2월: 광주과학기술원 정보
통신공학과 (공학석사)
2005년 3월~현재: 삼성전기 중앙
연구소 Wireless Solution Lab. IC
team 주임연구원

이 창 석



1984년 2월: 경북대학교 전자공학
과 (공학사)
1986년 2월: 한국과학기술원 전기
및 전자공학과 (공학석사)
1996년 2월: 한국과학기술원 전기
및 전자공학과 (공학박사)
1986년 2월~1998년 3월: 한국전자
통신연구원 책임연구원
1998년 4월~현재: 한밭대학교 정보통신컴퓨터공학부 부
교수
[주 관심분야] 고주파 집적회로(MMIC) 설계

1986년 2월: 한국과학기술원 전기
및 전자공학과 (공학석사)
1996년 2월: 한국과학기술원 전기
및 전자공학과 (공학박사)
1986년 2월~1998년 3월: 한국전자
통신연구원 책임연구원