

다중 CDMA 신호의 채널 분리합성을 위한 Software Defined Radio 모듈의 구현

Implementation of Software Defined Radio Module for Channel Decomposition and Composition of Multiple CDMA Signal

김연일*, 노변호, 정상국, 노승용

(Yun Il Kim, Byeon Ho Rho, Sang Guk Jeong, and Seung Ryong Rho)

Abstract : In this paper, We had proposed SDR module, and designed FPGA to compose with channel separation of broadband CDMA signal what have multiple FA. At decomposition and composition process of multiple FA CDMA signal, system only progress decomposition and composition of channel selected by software. Therefore, proposed system can manage base station transceiver system very effectively than the other way what send on all band of multiple CDMA signal. Also, it is possible that system sets again coefficient of each filter because it is consisted of SDR module. Therefore, we can easily control coefficient each filter according to base station transceiver system environment.

Keywords : SDR, CDMA, channel decomposition and composition

I. 서론

현재의 무선 통신 기술은 음성위주의 이동통신 2세대 통신 시스템으로부터 멀티미디어 중심의 3.5세대 통신시스템으로 급속히 변화하고 있다. 이러한 통신의 변화는 디지털 신호 처리 기술을 기반으로 하드웨어의 변경 없이 소프트웨어 변경만으로 단일의 송수신 시스템을 이용하여 다수의 무선 통신 규격을 통합, 수용하는 무선 인터페이스 기술인 SDR(Software Defined Radio)의 필요성이 대두 되었다. SDR 기술은 주파수 대역, 대역폭, 변조 방식 등의 하드웨어 특성에 관계없이 서비스를 가능하게 한다. 최근에 높은 표본화율을 갖으면서 고속의 처리가 가능한 ADC(Analog to Digital Converter)와 DAC(Digital to Analog Converter)가 개발되면서 IF(Intermediate Frequency)와 기저대역 신호(baseband signal) 사이를 곧바로 디지털로 변환하는 기술이 가능해지면서, 고성능의 디지털 신호처리 소자인 DSP(Digital Signal Processor)가 특정 파라미터들을 재구성 할 수 있는 모뎀(modem)이나 보다 향상된 신호처리 모듈을 만드는 것이 가능해 졌다. 이러한 기술은 SDR 모듈을 효율적으로 구현할 수 있는데 스마트 안테나, 광대역 ADC, DAC, 프로그램 가능한 하드웨어로 구성된다[1].

다중 FA(Frequency Assignment)를 갖는 광대역 CDMA 신호에 있어서, 통화 장애 방지, 가용 용량 증대 등의 목적으로 각 FA가 별도로 통신을 수행한다. 따라서 기저국의 효율적인 운용을 위해서는 데이터전송 과정에 각 FA에 대한 분리 및 합성과정을 필요로 한다.

본 논문에서는 다중 FA를 갖는 광대역 CDMA신호의 채널 분리 및 합성을 위한 SDR 모듈을 제안하고, FPGA(Field Programmable Gate Array)를 이용하여 구현하였다. 구현된 시스템은 65MHz~75MHz의 중간 주파수 영역의 IS-95 기반의 다중 FA CDMA 신호를 직접 디지털 하향 변환한 후, 특정 FA 채널 신호만을 선택적으로 분리 처리를 수행하며, 이의 역과정으로 채널 합성 및 상향 변환을 수행한다. 시스템은 다상필터(polyphase filter)[2,3] 및 DFT(Digital Fourier Transform) 기술을 이용해 채널을 분리하고, IDFT(Inverse Digital Fourier Transform) 및 다상필터 기술을 이용하여 선택적으로 채널의 합성을 수행한다. 각 다상필터와 DFT 모듈은 SDA(Serial Distributed Arithmetic) 기술을 이용하여 구현하였다. 본 시스템은 CDMA 신호에 대한 채널 분리 합성과정에서 소프트웨어적으로 선택된 채널에 대해 분리 및 합성을 수행하도록 구현되었으며, 이 기술은 SDR의 기반 처리 기술로서 여러 분야에 적용될 것으로 예상된다.

II. SDR 시스템 기술

SDR시스템은 아날로그 하드웨어에서는 구현하기 어려운 시스템 구성 요소들을 프로그램화함으로 쉽게 구현을 할 수 있으며 무선 채널 환경에 따른 무선지원의 동적 적응 제어가 가능하도록 하는 특성을 갖는다. 즉, 응용 프로그램 다운로드에 의해서 현장에서 다시 프로그래밍이 가능한 매우 유연한 통신 장치를 제공하는 SDR 기반의 시스템은 이동통신 기술의 디지털화와 컴퓨터 통신의 무선화 등에 따른 이동통신은 갈수록 컴퓨터와 같이 하드웨어에 의존하지 않고 소프트웨어에 의한 유연한 적용이 가능한 특징으로 퍼스널 컴퓨터와 무선 기술의 융합이라 생각할 수 있다. SDR은 범용 컴퓨터 하드웨어/소프트웨어 구조와 다중표준, 다중 서비스를 제공하는 단말기의 하드웨어/소프트웨어 구조를 비교한다. 다중모드 등의 서비스를 위하여 프로그램

* 책임저자(Corresponding Author)

논문접수 : 2006. 1. 23., 채택확정 : 2006. 2. 23.

김연일, 노변호, 정상국, 노승용 : 서울시립대학교 전자전기컴퓨터공학부

(kimyi@uos.ac.kr/smileroh@uos.ac.kr/syrho@uos.ac.kr/syrho@uos.ac.kr)

※ 본 논문은 정보통신부의 정보통신 연구개발 사업으로 연구하였음.

재사용이 가능한 DSP/FPGA(Field Programmable Gate Array) 디바이스의 이용이 필요하다. 이는 프로그램 재사용이 가능한 디바이스를 이용한 개방화된 시스템 모듈 디자인 기술을 바탕으로 선형 특성을 갖는 PA(Power Amplifier)/LNA(Low Noise Amplifier), 빠른 표본화율과 고해상도를 제공할 수 있는 광대역 A/D, D/A 변환기 등 상용화된 제품 개발(COTS: Commercial Off The Shelf)이 요구된다. 또한 시스템 기능의 분할 및 모듈화로 새로운 시스템 및 기존 시스템의 적용이 가능하여야 한다. 이러한 구조는 고속 디지털 신호 처리기(DSP), 재구성 가능한 FPGA를 사용하여 기저대역에서 재구성 가능한 신호를 RF/IF 단으로 직접 천이하는 광대역 RF/IF단 적응 신호처리를 위한 직접변환 기술 및 대역변환 기술, 디지털 IF단의 고속 신호처리 기술에 대한 연구가 수반되어야 한다. 경쟁력 있는 COTS 소자를 이용한 다중 모드, 다중 규격, 다양한 기능의 서비스를 제공하기 위해서는 광대역 듀플렉서, synthesizer, tunable 필터와 선형성이 우수한 증폭기 및 믹서 등의 RF단의 모듈화 기술이 요구된다. 기저대역 모듈은 고속의 DSP, 재구성 가능한 FPGA, 저전력 광대역 PDC(Programmable Down Conversion)/PUC(Programmable Up Conversion), 하드웨어와 소프트웨어 간 표준화 된 인터페이스 정의가 필요하고, 효율적이며 유연한 시스템 설계를 위하여 DSP/FPGA/ASIC 소자의 특성에 의한 시스템 기능의 적절한 분배가 요구된다. 미국의 FCC에서는 SDR 기술이 스펙트럼 이용 효율을 개선할 수 있는 중요한 기술임을 인정하고 기술 추이를 살피고 있다.

III. 다상 필터를 이용한 채널분리 및 합성

CDMA 통신시스템에 있어서, 통화량의 폭주로 인한 장애를 방지하고, 전체 시스템의 가용용량을 증대시키기 위해 여러 개의 FA를 설정하여 각각의 FA별로 통신을 수행하여, 다중 CDMA방식으로 통화량을 분산한다. 그러나 각 셀 내에서의 현행 기지국 운용상 모든 FA를 사용하지 않고 특정수의 FA들만을 할당하여 통신에 사용되고 있다. 따라서 효율적인 데이터 전송을 위해 할당되어 사용되는 FA들의 주파수 대역 신호성 분만을 분리하여 전송시키는 과정을 필요로 한다.

이러한 FA를 선택적으로 분해하기 위해서 DFT필터뱅크를 이용할 수 있다. 그러나 분해된 채널간의 에일리어싱을 방지하기 위해서는 각 채널에 첨여한 필터 특성의 고차 필터가 필요하게 된다. 이러한 고차의 필터는 하드웨어 구성이 복잡하고, 처리시간이 긴 특성을 가진다. 따라서, 적은 차수의 필터로 고차의 채널 분석이 가능한 다상필터 기법을 이용하여 채널 분석기를 구현하였다.

1. 다중채널 분리전송 및 합성수신

제안된 시스템은 다중 CDMA채널의 분리전송 및 합성수신을 위해 채널분석필터와 채널합성필터로 구성된다. 그림 1은 다중채널을 분리 전송하기 위한 채널분석필터의 기능블록도이다. IF 신호는 먼저 ADC에 의해 샘플링된다. 이 신호는 다상필터를 이용하여 채널을 분석한 후, DFT블록에 의하여 각 FA별로 분리된다. DFT블록에서 선택적으로 원하는 주파수 대역 성분을 추출하여 전송하도록 구현되었다.

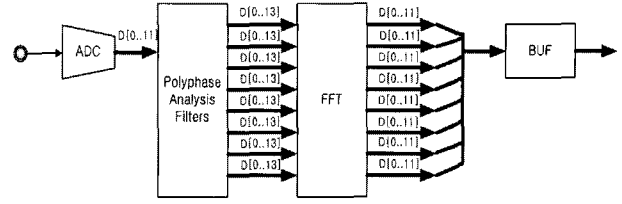


그림 1. 채널 분석기 기능블록도.
Fig. 1. Block diagram of channel analyzer.

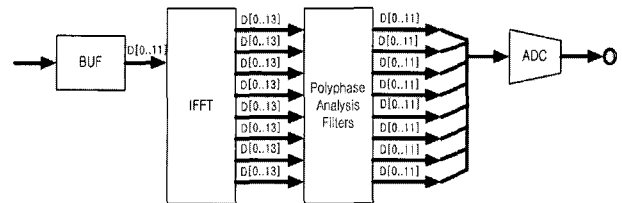


그림 2. 채널 합성기 기능블록도.
Fig. 2. Block diagram of channel synthesizer.

먼저, 채널 분석에 이용되는 다상필터의 경우 샘플된 신호를 N개의 필터를 사용하여 처리하게 되며, 다운샘플링 팩터가 N이되어, 만약 표본화율이 f_s 로 정하였을 경우 각 채널당 표본화율은 f_s/N 으로 줄어들게 된다. 따라서, 적은 차수의 필터로 고차의 채널 분석을 가능하게 된다. 신호 합성시의 부밴드 신호왜곡 방지를 위해 부밴드 수와 같은 बैं크 수를 사용하거나 2배의 बैं크를 사용한다.

그림 2는 다상필터[4]를 사용하여 선택적으로 분리된 FA 대역신호들을 복원하는 채널 합성기의 기능블록도이다. 이때 IFFT 변환블럭 및 다상 합성 필터 बैं크를 거쳐 채널이 합성된다. 이 중 IFFT 과정을 통해 필요한 FA대역을 선택적으로 합성과정을 수행한다.

제안된 다중 CDMA 채널 분리 합성 블록은 소프트웨어적인 설정에 의해, 선택적으로 채널 분리가능하며, 합성과정에서도 각각 선택적으로 채널을 합성할 수 있다.

2. 다상 분석/합성 필터 बैं크

그림 1 및 2에서 나타낸 다상 분석/합성 필터는 일반적인 K밴드 필터와 등가적인 관계를 지니고 있으며, 단지 SSB 신호를 분석 또는 합성하기 위하여 분석 및 합성 필터 단에서 사용되는 필터들은 복소 계수값들을 갖는다. 이 때 다상 분석/합성 필터 बैं크에 적용되는 필터 군은 단일 프로토타입 필터 계수값들로부터 데시메이션 과정을 통해 얻게 되며, 이때 데시메이션 수치는 일반적인 필터뱅크상에서 다운 샘플링에 의해 발생하는 주파수 대역간의 에일리어싱 현상을 방지할 수 있도록 정해진다. 만약 다운 샘플링 팩터 M이 총 분리채널 수 K와 동일하며, 채널 분리를 위한 L차 프로토타입 저역 필터 계수값들을 $h(n)_{n=0}^{L-1}$ 이라고 하면, 분석 필터뱅크를 구성하는 s번째 채널의 다상 필터 $\eta_{s(r)}$ 의 계수값은 다음과 같다.

$$\eta_{s(r)} = h(rN - s)(j)^r \tag{1}$$

여기서 $j = \sqrt{-1}$ 이다. 또한 다상 합성 필터 단에서 사용되는 필터들은 분석필터에서 사용한 동종의 프로토타입 필터로부터 데시메이션하여 얻게되며 이 때 s번째 다상 합성 필터 $\tilde{\eta}_s(m)$ 의 계수 값은 다음과 같이 정해진다.

$$\tilde{\eta}_s(r) = h(rN + s)(j)^r \quad (2)$$

이때 동일한 프로토타입필터를 사용함으로 인하여 입력되는 신호와 복원된 신호와의 오차가 발생할 수 있으며, 최소한의 오차를 발생하는 동종의 프로토타입 필터 설계가 요구된다. 특히 코히어런트 변복조 시스템 상에서는 필터의 위상특성이 매우 중요시되고 있으며, 이러한 이유에서 선형 위상 특성을 갖는 필터들이 요구된다.

3. 변형된 DFT 모듈

채널 분리를 위한 신호가 SSB 변조되어 있는 점을 감안할 때, 분석 다상 필터 뱅크를 통과한 K개의 신호성분들은 수정된 DFT단을 거쳐서 최종적으로 분리된 채널 신호성분들을 출력한다. 그림 1에서 s번째 다상 필터 출력을 이라고 놓으면, 분리된 번째 채널 성분신호는 다음과 같이 표현된다.

$$y_k(r) = \text{Re} \left\{ \sum_{s=0}^{K-1} e^{-j \left(\frac{2\pi}{K} \right) \left(\frac{1}{4} s \right)} \eta_s(r) W_K^{ks} \right\} \quad (3)$$

여기서 $W_K = e^{j \frac{2\pi}{K}}$, 따라서 (3)에서와 같이 번째 채널 성분 신호는 다상 필터 출력에 복소 지수함수 값을 곱한 결과에 대한 일반적인 이산 푸리에 변환을 적용하게 된다. 또는 다음과 같이 변형된 이산 푸리에 변환 (DFT)과정을 적용하여 각 채널 성분들을 취득할 수 있다. 이때 각 채널 성분 $y_k(r)$ 은 다음과 같이 구해진다.

$$y_k(r) = \text{DFT} \{ \eta(r) \} = \sum_{s=0}^{K-1} \eta_s^R(r) W_{R,K}^{ks} + \sum_{s=0}^{K-1} \eta_s^I(r) W_{I,K}^{ks} \quad (4)$$

(4)에서 $\eta(r)$ 은 K개의 다상 분석 필터 출력 신호 벡터이며

$$\eta_s^R(r) = \text{Re} \{ \eta_s(r) \}, \eta_s^I(r) = \text{Im} \{ \eta_s(r) \}, \quad (5)$$

$$W_{R,K}^{ks} = \cos(2\pi s/4K) \cos(2\pi sk/K) - \sin(2\pi s/4K) \sin(2\pi sk/K),$$

$$W_{I,K}^{ks} = \cos(2\pi s/4K) \sin(2\pi sk/K) + \sin(2\pi s/4K) \cos(2\pi sk/K),$$

이와 마찬가지로 합성부에서도 다멀티플렉싱 과정을 거쳐서 제로패더(zero-padder)로 구성되어 있는 채널확장부를 통과한 신호 성분들은 변형된 역 이산 푸리에 변환과 다상 필터 뱅크 및 멀티플렉서를 통과하여 최종적으로 전 채널 성분들이 혼합된 합성신호가 형성된다. 이때 k번째 채널의 다상합성 필터를 통과한 신호성분을 $\tilde{\eta}_k(r)$ 라 하면, 최종 합성신호는 다음과 같다.

$$x(n) = \sum_{r=-\infty}^{\infty} \sum_{k=0}^{K-1} \tilde{\eta}_k(r) = \sum_{r=-\infty}^{\infty} \sum_{k=0}^{K-1} x(rK + k) \quad (6)$$

즉, 위에서 볼 수 있듯이 $\tilde{\eta}_k(r)$ 은 최종 합성 신호의

다운 샘플링된 형태라고 할 수 있다. 이때 채널 확장부를 통과한 s번째 신호성분을 $\tilde{\eta}_s(r)$ 이라 하면, k번째 채널의 다상 필터 출력 $\tilde{y}_k(r)$ 은 변형된 역 이산 푸리에 변환을 통하여 다음과 같이 얻게 된다.

$$\begin{aligned} \tilde{y}_k(r) &= \text{IDFT} \{ \tilde{\eta}(r) \} \\ &= \sum_{s=0}^{K-1} \tilde{\eta}_s^R(r) \tilde{W}_{R,K}^{ks} + \sum_{s=0}^{K-1} \tilde{\eta}_s^I(r) \tilde{W}_{I,K}^{ks} \\ \tilde{\eta}_s^R(r) &= \text{Re} \{ \tilde{\eta}_s(r) \}, \tilde{\eta}_s^I(r) = \text{Im} \{ \tilde{\eta}_s(r) \}, \\ \tilde{W}_{R,K}^{ks} &= \cos(2\pi s/4K) \cos(2\pi sk/K) - \sin(2\pi s/4K) \sin(2\pi sk/K) \\ \tilde{W}_{I,K}^{ks} &= \cos(2\pi s/4K) \sin(2\pi sk/K) + \sin(2\pi s/4K) \cos(2\pi sk/K) \end{aligned} \quad (7)$$

결국, (4)와 (5)에서 볼 수 있듯이 변형된 이산 푸리에 변환 및 역변환 모듈의 출력은 각각 실수부와 허수부를 두 개의 실수 계수 K-tap FIR(Finite Impulse Response) 필터로서 구현 가능하다.

IV. 채널분리합성기의 FPGA구현

1. 다상 채널 분석기 및 다상 채널 합성기

그림 3와 같이 다상필터분석기는 4개의 FPGA로 구현되고, DFT블록은 8개의 블록으로 구성되었다. 그림 4는 IDFT 블록과 RHK FIR 블록의 구성도를 나타내었다. 각 FA를 애 일러이싱 없이 분리하기 위하여 16개의 뱅크의 다상필터를 사용하므로, 각 하나의 FPGA에는 다상필터중 4개의 뱅크를 구성하였다. 각각의 FIR 필터는 필터의 길이에 관계없이 일정한 출력 지연을 유지할 수 있는 SDA FIR filter의 구조로 설계되었다. 그림 4는 설계된 SDA(Serial Distributed Arithmetic) FIR필터의 구조이다. 일반적인 MAC(Multiply-Accumulate)에 기초한 FIR 필터에서 샘플 성능은 필터 길이의 곱으로 길이에 따라 늘어난다.

그러나 SDA에서는 시스템 샘플율은 입력 데이터의 bit 수 (precision)에만 관계한다. 비트클럭 주파수(bit-clock frequency)는 필터 샘플율(filter sample rate) fs에 비해 크고 그 값은 비대칭필터(non-symmetric filter)의 경우 B fs, 대칭필터(symmetric filter)의 경우 (B+1)fs와 같다. 일반적인 프로세서에서는 요구되는 MAC 함수를 시분할(time-shared) 또는 스케

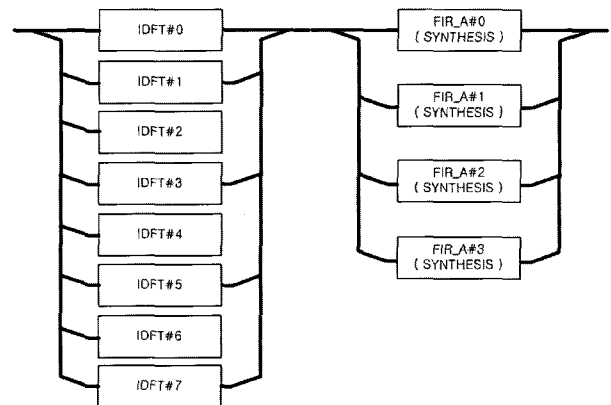


그림 3. 다상 채널 분석기 및 DFT블록의 구성. Fig. 3. Structure of polyphase channel analyzer.

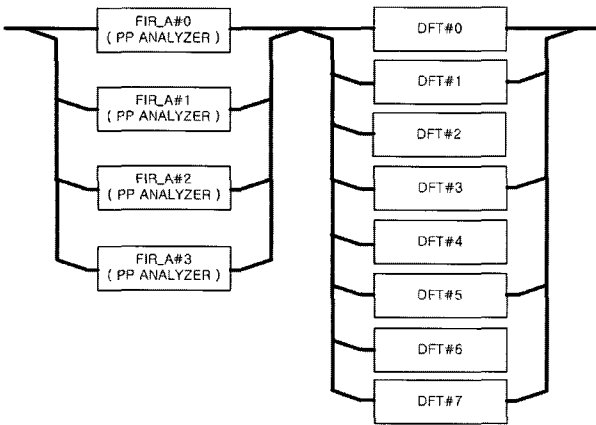


그림 4. IDFT블록 및 다상 채널 합성기 구성.
Fig. 4. Structure of IDFT and polyphase.

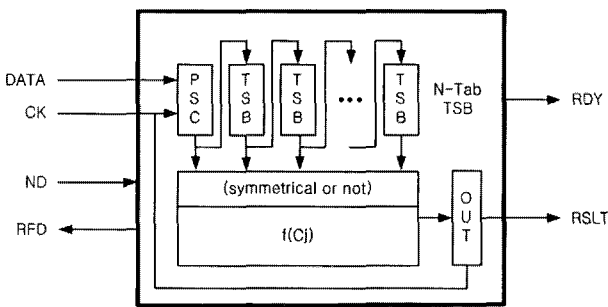


그림 5. DA DFT 모듈의 기본 구조.
Fig. 5. Structure of DA DFT module.

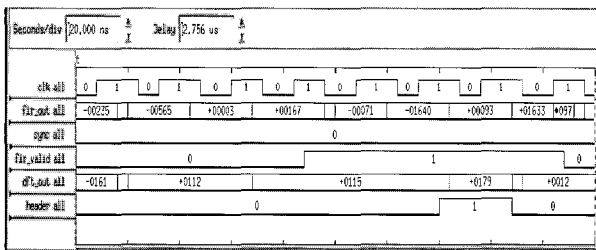


그림 6. 다상채널분석기의 로직 분석기 파형.
Fig. 6. Waveform of logic analyzer for polyphase channel analyzer.

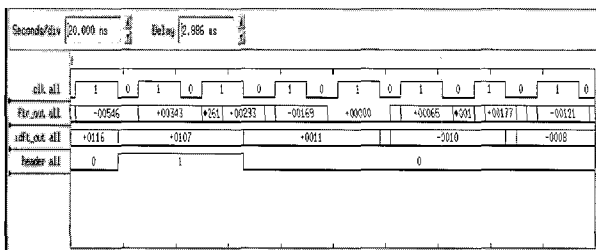


그림 7. 다상채널합성기의 로직분석기의 파형.
Fig. 7. Waveform of logic analyzer for polyphase channel synthesizer.

줄된(scheduled) MAC unit으로 구현한다. MAC 구조의 경우,

필터 길이가 증가함에 따라, 샘플율(sample rate)은 비례적으로 감소하지만, DA 구조의 경우는 그렇지 않고, 필터길이는 무관하다. 여기에서 발생하는 트레이드 오프(trade-off)는 실리곤 면적이다. DA FIR에서는 필터 길이가 증가함에 따라 더 큰 논리 자원(resource)이 필요하지만, 출력 성능(throughput)은 유지된다. 그림 6은 DA DFT 모듈의 기본 구조를 나타내었다. N개의 입력 포인트에 대해 하나의 응답을 하게 되므로, 입력 샘플이 N번 수행된 후 출력이 수행되어, 출력 비율이 입력 비율/N 이 된다. 하나의 DFT는 N개의 입력 포인트에 대해, 하나의 응답만을 출력하므로, N개의 포인트를 FFT하여 N개의 출력을 위해서는 N개의 DFT모듈이 필요하게 된다.

2. FPGA 구현

시스템의 구현에는 Xilinx의 spartan40XL FPGA를 사용하였고, 각 모듈은 VHDL을 이용하여 설계하였다. 로직시뮬레이션 및 FPGA 타이밍 시뮬레이션에는 Aldec의 active HDL을 이용하였고, 회로의 합성에는 Xilinx ISE를 사용하였다. 먼저 채널분석기를 구현하기 위하여 그림 3과 같이 4개의 FPGA를 이용하여 다상필터 분석기와 8개의 FPGA를 사용하여 DFT모듈을 구현하였다. 그림 6은 구현된 다상분석 필터뱅크의 로직분석기 측정 파형이다.

채널합성기를 구현하기 위하여, 그림 4와 같이 8개의 FPGA를 이용하여 IDFT모듈과 4개의 FPGA를 사용하여 다상분석기필터를 구현하였다. 그림 7은 구현된 채널합성기의 로직분석기 측정파형이다.

구현된 시스템의 로직분석 및 타이밍분석을 위해 신호발생기 HP E4432B를 사용하여 싱글톤 및 멀티톤을 채널분석기에 입력하였고, 각 로직의 측정에는 로직분석기 HP 16603A를 사용하였다.

3. 다중 CDMA신호의 처리

구현된 시스템에 신호발생기를 이용하여 다중 CDMA신호를 채널분석기에 입력한 후, 선택적으로 FA를 전송하고 채널합성기에 의해 합성된 신호를 스펙트럼분석기에 의해 분석하였다. 실험에는 신호발생기 HP E4432B와 스펙트럼분석기 HP 8561A를 사용하였다. 그림 8은 신호발생기에서 발생된 7FA신호중7FA를 모두 선택하여 송신하였을때의 스펙트럼이다. 그림 9는 4개의 FA만을 선택적으로 송신 하였을 때의 스펙트럼이다.

4. 성능 평가

제안된 시스템은 다상분석필터의 구현에서 각 부 밴드 필터를 SDA FIR 필터를 이용하여 구현하였다. 256 차의 FIR 필터를 구현할 때, 16뱅크 다상분석필터를 사용하고, 각 서브밴드 분석필터를 SDA FIR 필터를 사용할 경우, 256개 곱셈에서 계산량을 16개로 줄일 수 있다. 각 서브밴드 필터를 SDA 필터를 사용하였고 서브밴드 필터는 병렬로 계산하므로 계산에 소요되는 시간은 ADC 로부터의 입력 비트수인 12에만 관련된 13클럭이 소요된다. DFT블록은 곱셈의 개수가 16인데 비해 SDA필터 구조를 사용하여 계산량을 1로 줄어든다. 계산에 소요되는 시간은 입력버퍼 시간 16클럭에 DFT블럭의 입력비트수 14에 관련된 15클럭이 소요된다. 구현된 시스템의 특성은 표 1과 같다.

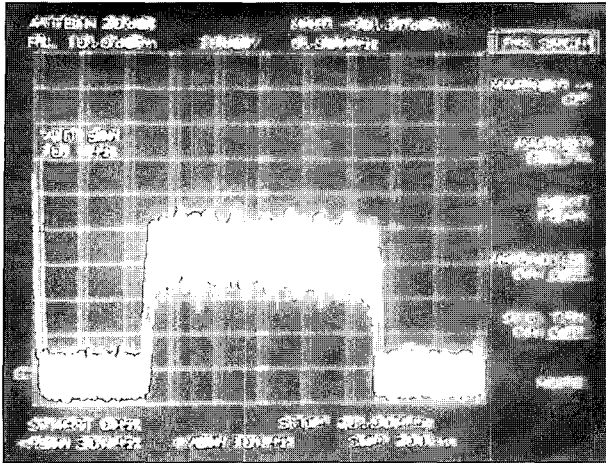


그림 8. 7FA선택시의 스펙트럼.
Fig. 8. Spectrum when selection of 7FA.

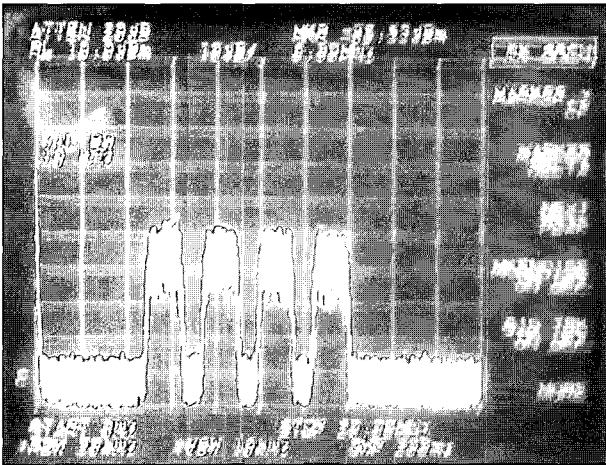


그림 9. 4FA선택시의 스펙트럼.
Fig. 9. Spectrum when selection of 4FA.

표 1. 시스템의 특성.

Table 1. Specification of system.

표본화 주파수	필터 차수	채널분석시간	채널합성시간
40M SPS	256/ K	13+16+15/40M SPS	13+16+15 /40M SPS

V. 결론

본 논문에서는 다중 FA를 갖는 광대역 CDMA 신호의 채널 분리 및 합성을 위한 SDR 모듈을 제안하고, FPGA를 이용하여 구현하였다. 구현된 시스템은 65MHz~75MHz의 중간 주파수 영역의 IS-95 기반의 다중 FA CDMA 신호를 직접 디지털 하향 변환한 후, 특정 FA 채널 신호만을 선택적으로 분리 처리를 수행하며, 이의 역과정으로 채널 합성 및 상향 변환을 수행한다. 시스템은 다상필터(polyphase filter) 및 DFT기술을 이용해 채널을 분리하고, IDFT 및 다상필터 기술을 이용하여 선택적으로 채널을 합성을 수행한다. 각 다상필터와 DFT 모듈은 SDA(Serial Distributed Arithmetic) 기술을 이용하여 구현하였다. 본 시스템은 CDMA 신호에 대한 채널 분리 합성과정에서 소프트웨어적으로 선택된 채널에 대해 분리 및 합성을 수행하도록 구현되었으며, 이 기술은 SDR의 기반 처리 기술로서 여러분야에 적용될 것으로 예상된다.

참고문헌

- [1] J. Mitola, "The software radio architecture," *IEEE Commun. Mag.*, May. 1995.
- [2] Special Issue on Software Radio, *IEEE Pers. Commun.*, Aug. 1999.
- [3] K. Sheno, "Digital signal processing in telecommunications," *Prentice-Hall*, 1995.
- [4] M. E. Frerking, "Digital signal processing in communication system," *Van Nostrand Reinhold*, 1994.
- [5] P. P. Vaidyanathan, "Multirate systems and filter banks," *Prentice-Hall*, 1993.
- [6] K. C Zangi and R. D. Koilpillai, "Software radio issues in cellular base stations," *IEEE JSAC*, vol. 17, pp. 561-573, April. 1999.
- [7] A. Krukowski, I. Kalc, and R. C. S. Morling, "The design of polyphase-based IIR multiband filters," *IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP 97)*, pp. 21-24 April, 1997.
- [8] J.-H. Lee and T.-T. Young, "Two-dimensional polyphase filter banks with arbitrary number of subband channels." *Proc. IEEE Int. Symp. Circuits Syst.*, Helsinki, Finland, pp. 1265-1268, 1988.



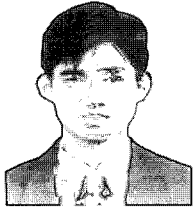
김 연 일

2002년 서울시립대 전자전기컴퓨터공학과 졸업. 2006년 동 대학원 석사. 관심분야는 영상 처리, 임베디드 시스템, SoC 설계 방법론, 회로 설계.



노 변 호

2004년 경기대 전자과 졸업. 2006년 서울시립대학교 대학원 석사. 관심분야는 CDMA 신호처리, 회로 설계, SoC 설계 방법론.



정 상 국

1996년 서울시립대 전자과 졸업. 1998년 동 대학원 석사. 2003년 동 대학원 박사. 관심분야는 통신 회로 설계, FPGA 시스템 설계.



노 승 용

1992년~현재 서울시립대학교 전자전기 컴퓨터 공학부 교수. 관심분야는 전자 회로, 아날로그 VLSI설계, VLSI고장진단, SoC 설계 방법론.