

Study of the Superconductive Pipelined Multi-Bit ALU

Jinyoung Kim, Jihoon Ko, Joonhee Kang

University of Incheon, Incheon, S. Korea

초전도 Pipelined Multi-Bit ALU에 대한 연구

김진영, 고지훈, 강준희

Abstract

The Arithmetic Logic Unit (ALU) is a core element of a computer processor that performs arithmetic and logic operations on the operands in computer instruction words. We have developed and tested an RSFQ multi-bit ALU constructed with half adder unit cells. To reduce the complexity of the ALU, We used half adder unit cells. The unit cells were constructed of one half adder and three dc switches. The timing problem in the complex circuits has been a very important issue. We have calculated the delay time of all components in the circuit by using Josephson circuit simulation tools of XIC, WRspice™, and Julia. To make the circuit work faster, we used a forward clocking scheme. This required a careful design of timing between clock and data pulses in ALU. The designed ALU had limited operation functions of OR, AND, XOR, and ADD. It had a pipeline structure. The fabricated 1-bit, 2-bit, and 4-bit ALU circuits were tested at a few kilo-hertz clock frequency as well as a few tens giga-hertz clock frequency, respectively. For high-speed tests, we used an eye-diagram technique. Our 4-bit ALU operated correctly at up to 5 GHz clock frequency.

Keywords : single, flux, quantum, arithmetic, logic, superconductivity, digital

I. 서론

Arithmetic Logic Unit (ALU)는 CPU에서 매우 핵심적인 역할을 담당하는 회로이다. 최근 정보통신 산업에서는 고속으로 동작하는 전자회로에 대한 요구가 커지고 있다. 반도체 회로가 갖는 한계를 극복하기 위한 후보로서 Rapid Single Flux Quantum (RSFQ) 회로가 등장한 이후 많은 연구자들에 의해 활발한 연구가 진행되고

있다. RSFQ 집적회로는 현존하는 전자소자 중 가장 빠른 응답속도를 가지고 있을 뿐만 아니라 매우 작은 파워를 소모한다 [1].

이 연구 논문의 목적은 RSFQ multi-bit ALU를 개발하는 것이다. 본 연구에서 적용된 파이프 라인 구조는 병렬처리의 방법으로써 하나의 명령을 처리할 수 있는 스테이지가 여러 개 직렬로 배열되어 있는 구조이다.

만일 k 개의 스테이지가 있는 파이프라인에 입력 A 가 첫번째 스테이지에 들어가 수행되고 두 번째 스테이지로 넘어가 수행되면 첫번째 스테이지는 비어있게 된다. 그러면 다른 입력

*Corresponding author. Fax : +82 032 766 8018

e-mail : lachesiz@incheon.ac.kr.

University of Incheon

B를 첫번째 스테이지에 넣게 된다. k개의 스테이지는 동시에 입력을 처리하게 되므로 하나의 파이프라인 프로세서는 동시에 k개의 입력을 처리할 수 있어 많은 데이터 처리에 유리하다. ALU는 산술연산 및 논리연산을 담당하는 회로이며 이 회로의 성공적인 개발은 차후에 이루어질 초전도 마이크로 프로세서 개발과 직접적으로 연관되기 때문에 매우 의미 있는 작업이다. 이 연구를 통해 대면적 초전도 전자소자 개발을 위한 기반기술을 확보하는 중요한 연구이다. 본 연구에서는 1-bit, 2-bit, 4-bit의 총 3종류의 ALU를 개발하였으며 저주파수와 고주파수에서 각각 테스트하였다 [2-4].

II. 회로 디자인 및 시뮬레이션

Multi-bit ALU 회로를 디자인 하고 제작하였고 측정하였다. 디자인된 ALU는 OR, AND, XOR의 논리연산과 ADD의 산술연산 기능을 포함하도록 설계하였다. 전통적인 ALU회로는 AND, OR등 다양한 회로들이 요구된다. 그러나 본 연구에서는 회로의 복잡도를 줄이기 위해서 1개의 반가산기 회로와 3개의 직류 스위치로 구성하였다. 그림 1에는 가장 기본이 되는 1-bit ALU회로의 block diagram을 보여주고 있다 [5].

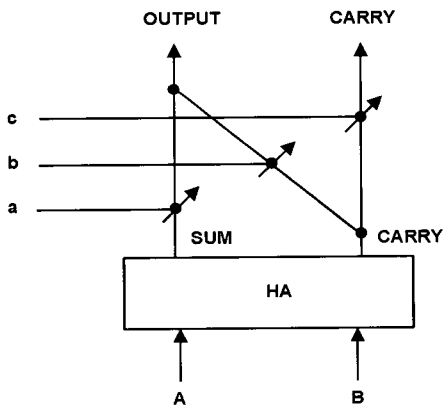


Fig. 1. Schematic block diagram of the 1-bit ALU that uses only one half adder. Four logic operations of OR, AND, ADD, and XOR can be performed by controlling the three dc switches a, b, and c.

Table 1. Switch selections for each logic function in the superconductive ALU.

	OR	AND	ADD	XOR
a	1	0	1	1
b	1	1	0	0
c	0	0	1	0

2-bit ALU는 3개의 반가산기와 6개의 직류 스위치가 사용되었다. 표 1에는 스위치의 작동에 따라 ALU가 어떤 동작을 할 수 있는지에 대해 나타내고 있다. 표 1에서 알 수 있듯이 만약 스위치 “a”와 “b”를 켜게 되면 ALU는 OR동작을 하게 된다. 이와 마찬가지로 스위치 “b”를 켜면 ALU는 AND 연산을 수행한다.

그림 2는 1-bit ALU의 시뮬레이션 결과를 보여주고 있다. 그림을 통해 알 수 있듯이 Data A와 Data B의 값에 따라 OR, AND, ADD, XOR 연산이 정상적으로 수행되었음을 알 수 있다. 이때 클럭 주파수는 20 GHz였다. 동작 마진은 $\pm 25\%$ 이상이었다. Bit 수의 증가로 인해 회로의 복잡도는 기하급수적으로 증가하게 된다. 복잡한 회로를 제한된 공간에 구성하기 위해서는 회로의 기하학적인 모양이 매우 중요하며

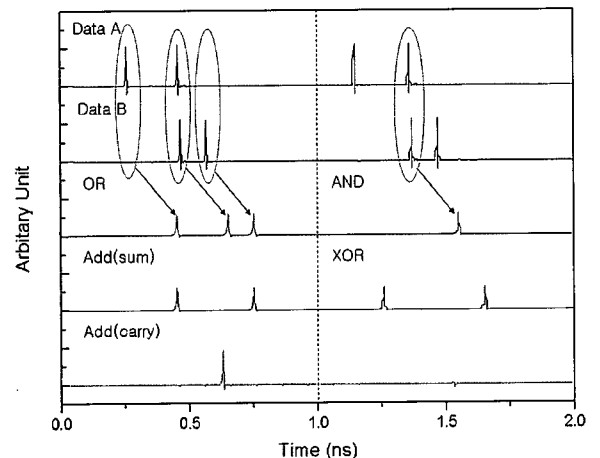


Fig. 2. SPICE simulation results of the 1-bit ALU block. Due to the propagation delay, there was about 180 psec delay between the inputs and the outputs. Correct operation of the circuit was observed with the circuit margins of more than $\pm 25\%$.

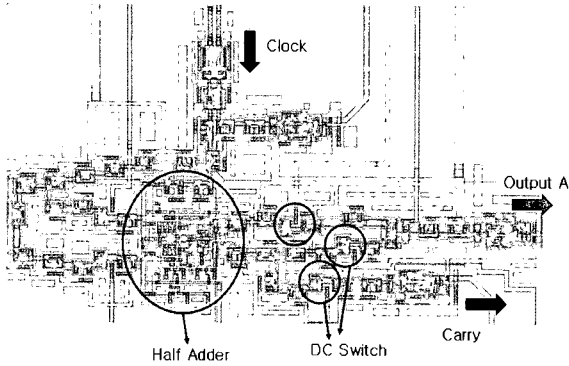


Fig. 3. Mask layout of the fabricated 1-bit ALU. The designed 1-bit ALU had about 151 Josephson junctions, and occupied the layout area of $1450 \mu\text{m} \times 800 \mu\text{m}$.

결국 상황에 따라 같은 기능을 하는 회로라 하더라도 그 기하학적인 모양이 달라져야 할 수도 있다.

기존의 standard cell을 이용한 방법으로는 늘어나는 junction의 개수와 복잡도를 해결하기는 매우 어렵다. 본 연구에서는 non-standard cell을 사용하여 그림 3, 4, 5를 통해 알 수 있듯이 코어 회로의 면적이 그다지 증가하지 않고 모든 회로들을 집적할 수 있었다.

그림 3은 제작된 1-bit ALU의 mask layout을 나타내고 있다. 그림에서 알 수 있듯이 클럭 입력 포트에는 DC/SFQ 회로가 연결되어 있다. DC/SFQ 회로는 입력된 임의의 신호를 SFQ pulse train으로 변환시킨다. 뿐만 아니라 고주파 테스트를 위해 클럭 신호를 중간에 분배기로 분기하여 사용하였다 [6].

본 연구에서 사용된 반가산기 회로는 확장이 용이하도록 설계되었다. 그림 4는 1-bit ALU를 확장하여 설계한 2-bit ALU회로이다. 모든 회로는 클럭 신호에 동기화 되어 동작하여야만 정상적인 결과를 출력 하게 된다. 그러나 회로가 복잡하면 복잡할수록 발생하는 timing 문제는 매우 심각하며 이 문제는 비단 초전도 디지털 회로뿐만 아니라 기존의 반도체 회로에서도 풀어야 할 과제이다. 본 연구에서는 더 빠른 클럭에서 동작이 가능하도록 하기 위해서 forward clock scheme을 채택하였다. 뿐만 아니라 초전도 회로 전용 시뮬레이션 tool인 XICTM, WRspiceTM

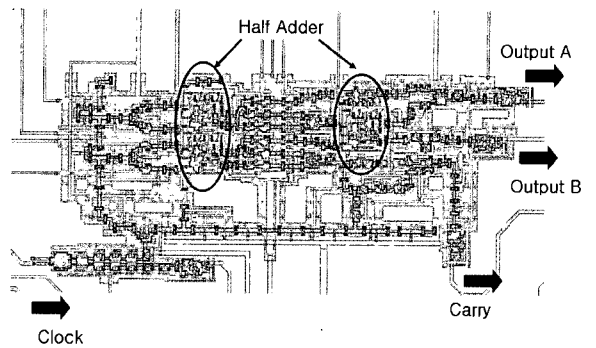


Fig. 4. Mask layout of the fabricated 4-bit ALU. The designed 4-bit ALU had about 354 Josephson junctions, and occupied the layout area of $2200 \mu\text{m} \times 970 \mu\text{m}$.

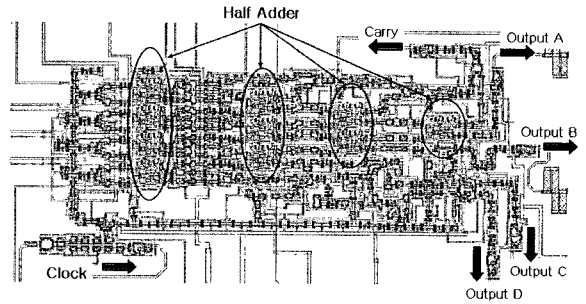


Fig. 5. Mask layout of the fabricated 4-bit ALU. The designed 4-bit ALU had about 936 Josephson junctions, and occupied the layout area of $3000 \mu\text{m} \times 1500 \mu\text{m}$. By using non-standard cells, we could construct more compact circuits and simplify the designs.

프로그램을 사용하여 timing 문제를 최소화 시켰다.

그림 5는 4-bit ALU회로의 mask layout을 나타내고 있다.

III. Circuit Test

모든 ALU 회로는 한국 광기술원의 standard ten-level Nb process를 이용하여 제작하였다. 전류밀도는 1 kA/cm^2 이었다. RSFQ 회로의 측정에서 가장 중요한 이슈 중 하나는 출력 신호의 크기가 매우 작다는 것이다. 약 0.1 mV 의 아주 작은 전압의 신호를 측정해야 한다. Amp 회로를 사용한다 하더라도 수십 GHz의 출력 신호를 측정하는 것은 매우 어려운 일이다.

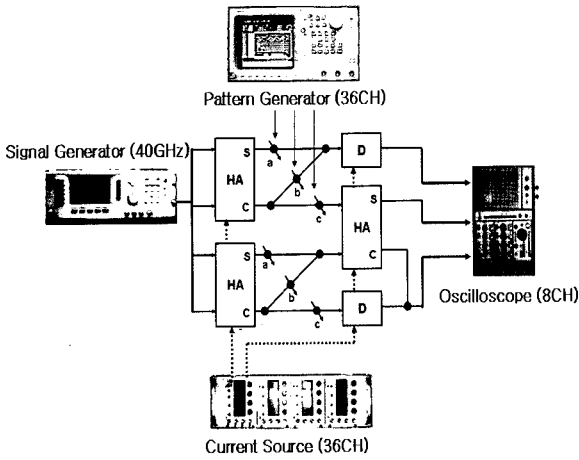


Fig. 6. Block diagram of 2-bit ALU measurement system.

뿐만 아니라 회로의 동작 가능성을 높이기 위하여 margin을 측정하는 것은 매우 중요하다. 이를 위해 PXI(PCI eXtensions for Instrumentation) 자동측정 시스템을 구축하였다. PXI system은 임의파형 신호를 발생시킬 수 있으며 SFQ/DC를 거친 0.1 mV 신호를 signal conditioning unit을 사용하여 측정할 수 있다. 또한 초전도 현상이 일어나는 극저온 상태에서 측정하기 위하여 특별히 제작된 high-speed cryo-probe를 사용하였다. 이 probe는 40 개의 parallel contact pad를 가지고 있다. 26.7 GHz의 고속통신이 가능하고 5 mm × 5 mm chip을 자동으로 alignment 할 수 있는 기능을 가지고 있다. 그림 6은 2-bit ALU 측정 시스템의 block diagram을 나타내고 있다. 신호 발생기에 의해 클럭과 입력 신호가 발생된다. 그리고 pattern generator에 의해 각각 스위치들을 제어하게 되고 오실로스코프를 사용하여 측정하게 된다.

앞서 언급한 바와 같이 매우 빠르고 작은 신호를 측정하기 위해 본 연구에서는 eye-diagram 기법을 사용하였다. 출력포트에는 SFQ/DC 회로가 연결되어있다. 이 회로를 통해 SFQ 신호를 스코프에서 읽을 수 있는 전기신호로 바꿔준다. 이 방법을 사용하면 신호가 "0"인 경우에는 두 개의 선이 스코프 상에 나타나게 되며 "1"인 경우에는 1개의 선이 스코프 상에 나타나게 된다.

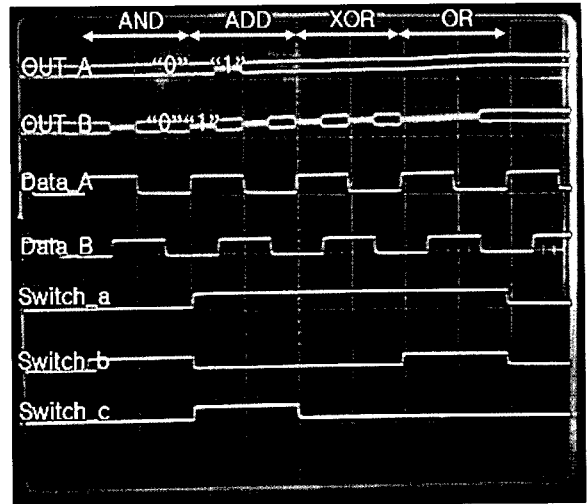


Fig. 7. 5-GHz test results of the 1-bit ALU block. The above graph shows OR, AND, XOR and ADD of the 1-bit ALU block.

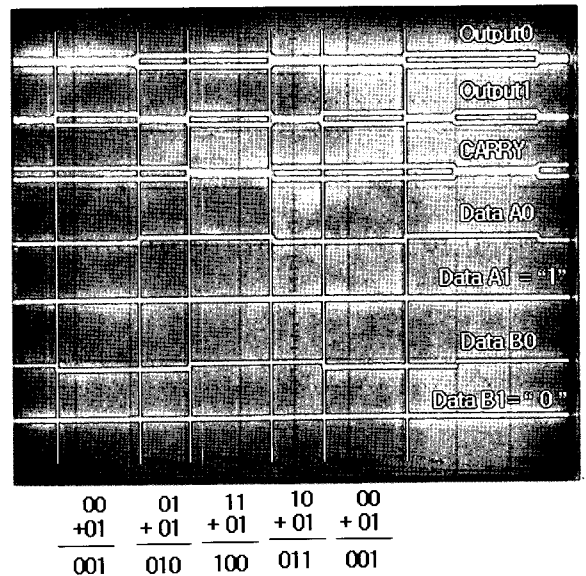


Fig. 8. shows high-speed eye diagram test results of the 2-bit ALU at 5 GHz. These results were ADD test.

그림 7은 1-bit ALU의 20 GHz clock에서 측정 결과를 보여 주고 있다. 그림 8은 2-bit ALU의 5 GHz 테스트 결과를 보여주고 있다.

ADD 뿐만 아니라 XOR, AND, OR 연산도 성공적으로 동작하였다. 뿐만 아니라 4-bit ALU도 5 GHz에서 정확한 동작을 하였다.

IV. 결론

RSFQ multi-bit ALU를 성공적으로 개발하였다. 1-bit ALU는 20 GHz에서 성공적으로 동작하였으며 최대 40 GHz에서 동작하였다. 2-bit, 4-bit의 경우는 5 GHz에서 동작하였다. 본 연구를 통해 얻은 결과는 초전도 전자소자를 설계, 제작, 측정 할 수 있는 기술을 확보한 매우 의미 있는 연구결과이다. 이 연구를 토대로 하여 국내에서의 초전도 전자회로 분야에 관한 연구가 더 활성화 되기를 기대한다.

Acknowledgments

본 연구는 한국과학재단 지정 인천대학교 멀티미디어 연구센터의 연구비 지원에 의해 수행되었습니다.

References

- [1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson Junction Technology for sub-Terahertz Frequency Clock Digital Systems," *IEEE Trans. Appl. Supercond*, Vol. 1, 13-28 (1991).
- [2] O. A. Mukhanov, S. V. Polonsky, V. K. Semenov, "New elements of the RSFQ Logic Family," *IEEE Trans. Mag.*, Vol.27, No.2, 2435-2438, (1991).
- [3] J. Y. Kim, S. H. Baek, J. H. Kang, "Construction of a Single Magnetic Flux Quantum Switch and Its Usage in an Arithmetic Logic Unit," *J. Kor. Phys. Soc.*, Vol.43, No.6, 1129-1134, (2003).
- [4] Alex F. Kirichenko, Oleg A. Mukhanov, "Advanced On-ChipTest Technology for RSFQ Circuits," *IEEE Trans. Appl. Supercond*, Vol.7, 3438-3441, (1997).
- [5] M. Dorjjevets, "A 20-GHz FLUX-1 superconductor RSFQ microprocessor," *J. Phys. IV France*, Vol. 12, 157-160 (2002).
- [6] O. A. Mukhanov, S. V. Rylov, V. K. Semenov, "RSFQ Logic Arithmetic," *IEEE. Trans. Mag.* Vol.25, No.2, 857-860, (1989).