

마이크로 전자기판의 미세 피치 블라인드 비아홀의 충전 거동

이민수¹ · 이효수*

¹상주대학교 신소재공학과, *한국생산기술연구원

Via Filling in Fine Pitched Blind Via Hole of Microelectronic Substrate

Min-Su Yi¹⁾ and Hyo S. Lee*

¹⁾Department of Materials Science and Engineering, Sangju National University

386 Gajang-dong Sangju Kyungbuk, 742-711, Korea

*Korea Institute of Industrial Technology,

994-32, Dongchun-dong, Yeonsu-gu, Incheon, Korea

초 록: 새로운 잔류 기공 추출 공정을 적용하여 Blind via hole(BVH)의 형상에 따라 발생하는 잔류 기공 특성, 거동 및 신뢰성평가를 수행하였다. 잔류 기공 추출 공정을 적용한 시편에서는 잔류기공이 완전히 제거 되었으며, 기존 공정으로 제조된 시편에 비하여 40% 수준의 향상된 결과를 나타내었다. BVH의 형상에 관계없이 1.5기압수준으로 약 30초 이상 동안 추출하면 BVH내부의 잔류기공은 제거 되어지며 JEDEC 기준의 신뢰성으로 평가한 결과 BVH내부에 잔류기공은 존재하지 않았다.

Abstract – The properties, behavior and reliability of the residual void in blind via hole(BVH) were carried out for the shape of BVH using the void extraction process. The residual void was perfectly removed in the specimens applied by the void extraction process, which was improved by 40% rather than the conventional process. The residual void in BVH was to be eliminated under a condition of 1.5 atm for more 30 sec with regardless of the shape of BVH. It was also observed that the residual void in BVH was not formed after the reliability test with JEDEC standard.

Keywords: microelectronic package, microelectronic substrate, fine pitch, blind via hole, via filling,

1. 서 론

마이크로 전자패키지용 기판(이하, 기판)은 반도체 칩에서 주어진 신호를 재 분배하고, 인가된 신호를 다른 활성소자에 전달하며, 외부의 온도 및 압력에 대해서 전자부품이 신뢰성을 유지하도록 하는 역할을 한다¹⁾. 따라서, 기판의 개발 경향은 반도체 성능 및 전자패키지 기술동향과 거의 같은 경향으로 발전한다. 마이크로 전자패키지의 기술이 고미세화, 고성능화, 고신뢰성화로 변화하

고 그에 따라서 기판도 고미세 및 고성능화로 발전되고 있다. 특히 기판의 구조적인 특징은 절연층을 사이에 두고 전기회로기판에 적층되어 있는 층상복합재료(laminated composite)이고, 상부의 칩에서 하부기판상의 Cu 패드로 전기적인 신호를 전달하기 위해서는 Fig. 1(a)에 나타낸 바와 같이 비아(via)라 일컫는 기판 내부의 전기적 통전구조를 지녀야 한다. 비아는 제품 모델에 따라 선택적으로 개폐되며 그렇지 않는 부분은 솔더 레지스트(solder resist)로 덮이게 된다. 특히 JEDEC 신뢰성

*Corresponding author
E-mail: todd3367@kitech.re.kr

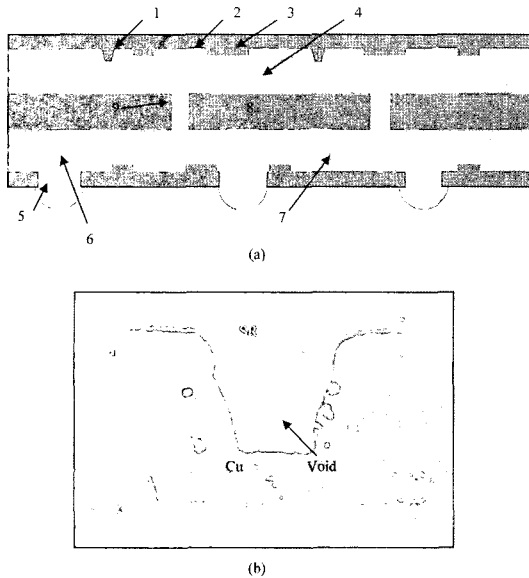


Fig. 1. Structure of via in microelectronic substrate. (a) Schematic diagram of substrate. 1: blind via hole, BVH, 2: Cu pattern, 3: solder resist, SR, 4: prepreg, 5: solder ball, 6: stacked via, 7: staggered via, 8: core, 9: pin through hole, (b) blind via hole.

기준으로²⁾ 고온 및 고습에서 마이크로 전자패키지 제품의 신뢰도를 향상시키기 위해서는 비아 내부를 완전하게 채워야 한다. 비아의 구조는 마이크로 전자패키지 제품의 발전에 따라 여러 형상 및 구조로 발전되어 왔으며, Fig. 1(a)에 나타난 바와 같이 크게 pin-through-hole(PTH)와 blind via hole(BVH)로 구분된다. 최근에는 제품의 미세 피치를 만족시키기 위하여 staggered via 및 stacked via로 응용되는 BVH의 활용도가 커지고 있다³⁾. 그러나, Fig. 1(b)와 같이 기판의 BVH는 구조적인 특성상 솔더 레지스트 코팅방법을 이용하여서는 잔류기공을 제거하기가 어렵다.

BVH내에 잔류기공이 존재할 경우에는 JEDEC 기준에 따른 신뢰성 평가를 수행하는 동안 기공팽창으로 인하여 비아를 형성하는 Cu도금층에 균열이 생성된다. Figure 2(a)와 (c)에서는 잔류기공에 의해서 발생하는 via edge 부분의 파단을 보여주고 있으며, (b)와 (d)에서는 via 내부에 발생한 파단을 보여주고 있다. BVH내의 균열 형성은 향후 반도체 칩을 실장 후 신뢰성 평가 중에 전기적 신뢰성에 나쁜 영향을 미친다. 또한 BVH내에 존재

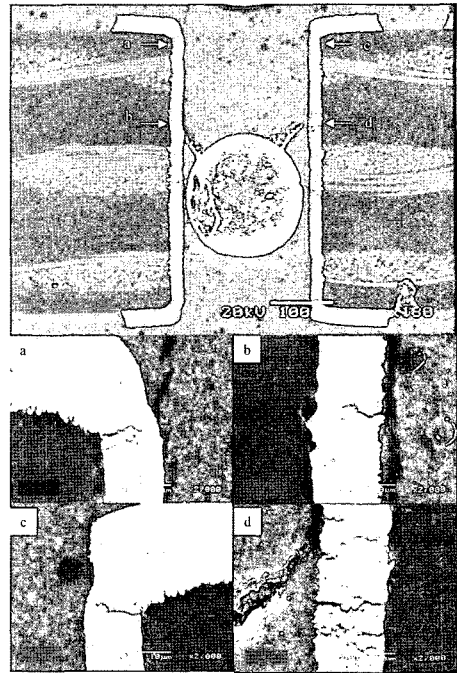


Fig. 2. Void formation in via and the crack of Cu plated layer.

하는 잔류기공의 크기 및 분포는 사용자의 규격에 따라 제어 하는 것이 불가능하므로 최종 제품 완성시 고온 및 고습의 신뢰성 평가에서 치명적인 불량을 발생시킬 가능성이 높다.

일반적인 솔더 레지스트 공정은 Fig. 3(a)와 같이 유기마스크 및 스크린 지그를 사용하여 상하부 각각 스크린코팅하며 Fig. 3(d)와 같이 롤 방식으로 기판의 상하면을 동시에 코팅한다. 이때 기판의 구조상 상부면에 형성된 BVH는 완전한 충전이 어렵다. 그에 따라서 Fig. 3(e)와 같이 경화공정 중에 구형의 잔류기공이 형성된다⁴⁻⁶⁾.

본 연구에서는 기존에 불가능할 것으로 고려되어 왔었던 기판의 BVH 구조에서 잔류기공을 완전히 제거할 수 있는 방법을 제시하였다. 또한 이를 이용하여 실제로 마이크로 전자패키지 제품 제작 공정에 적용하여 기존의 조건과 비교하여 상용화의 가능성을 검토하였다.

2. 실험 방법

본 연구에서는 Fig. 4에 나타난 바와 같이 BVH

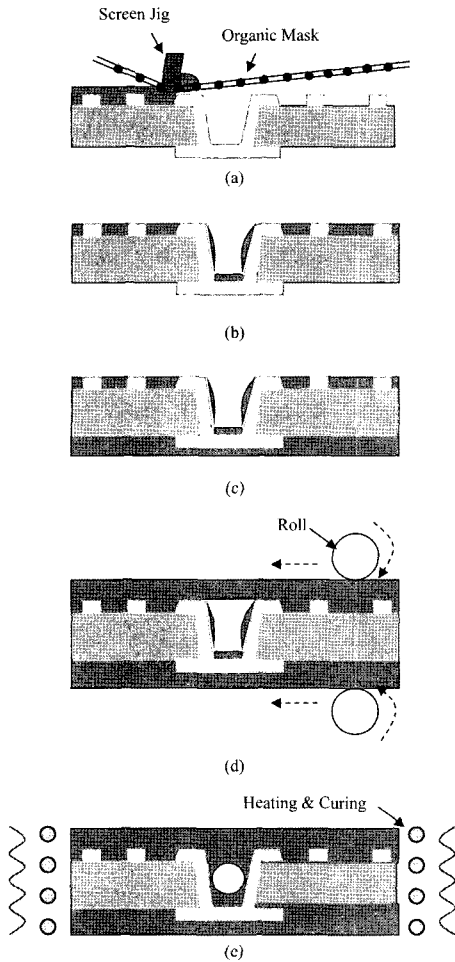


Fig. 3. Schematic view showing solder resist process. (a) Squeeze printing using organic mask, (b) solder resist coating at the comp side forming inadequate filling of solder resist, (c) solder resist coating at the solder side, (d) roll coating both side, (e) forming the residual void in blind via hole by inadequate filling of solder resist.

의 형상 및 공정조건에 따라 BVH내부에 잔류하는 기공의 거동을 분석하였다. 레이저드릴을 이용하여 선가공 방법을 이용으로 비아를 형성시킨 후 Cu 도금층을 형성하였다. BVH내의 기공을 제거하기 위하여 통상적인 공정 실시후 잔류기공추출, 메탈마스크, 롤코팅 후 스크린 코팅 공정을 추가하였다. BVH의 형상은 최근에 개발된 양산제품,

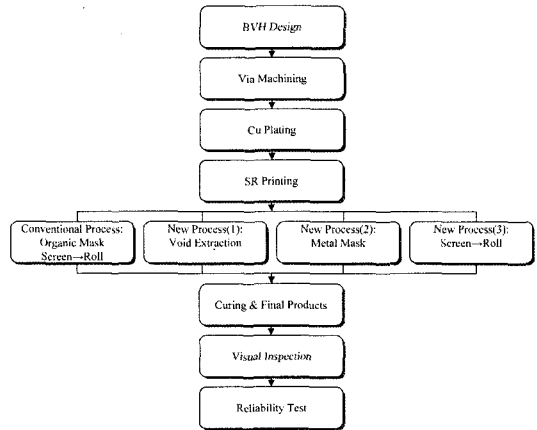


Fig. 4. Fabrication process of substrate containing blind via hole. The trapping process for the residual void.

개발제품, 선행개발제품의 설계기준을 참고하여 선정하였으며, 자세한 BVH 형상 및 모식도를 Table 1에 나타내었다. 실질적 적용성을 위하여 시편의 디자인은 최근 모바일 제품의 기판부품으로 상용화되고 있는 chip scaled package(CSP) 1-2-1 구조 제품으로 선정하였다. 1-2-1 구조 제품은 BVH 구조가 상, 하면에 위치하고 중앙에는 copper clad laminate 가 있는 4층 구조의 제품이다. 실험결과와 재현성을 위하여 Cu 도금층의 비아 외부는 25 μm , 내부는 20 μm 로 제작하였으며 솔더 레지스트 두께도 Cu층 상부에 20 μm 으로 제작하였고 BVH 두께는 60 μm 이었다.

본 연구에서 적용한 잔류기공추출공정, 메탈마스크 적용공정 및 롤코팅 후 스크린코팅적용공정을 Fig. 5에서 보여준다. 잔류기공추출공정은 코팅된 솔더 레지스트의 경화 전에 외부에서 1.5 (atm)으로 추출압력을 적용시키는 공정이고, 메탈마스크는 제품에 닿는 마스크의 개폐면적이 유기마스크보다 커서 스크린 지그의 압력이 직접적으로 시편에 전달될 수 있도록 고안되었으며, 롤코팅 후 스크린코팅공정은 기존의 스크린코팅공정 후 롤코팅 공정순서를 변경한 공정이다. BVH 형상은 통상적인 경화 공정조건을 거쳐서 최종 시편을 제작하였다. 제작된 시편으로 BVH 형상에 따른 잔류기공의 크기 및 거동, JEDEC L2a조건(60°C/60

Table 1. The detailed design of blind via hole in microelectronic substrate in this study.

Product name	CSP		
Layer	4L		
Plated Cu thickness	①Out layer of via: 25um		
	②Inner layer of via: 20um		
Solder resist	③20um (from the top side of Cu land)		
Core thickness	④60um		
	⑤Top dia. : 100um	⑤Top dia.: 130um	⑤Top dia.: 150um
BVH design	⑥Bottom dia. : 70um	⑥Bottom dia.: 90um	(Bottom dia.: 100um
	(Depth: 85um	(Depth: 85um	(Depth: 85um
Schematic drawing			

%RH, 120 hr)으로 신뢰성 평가를 수행하였다²⁾.

3. 결과 및 고찰

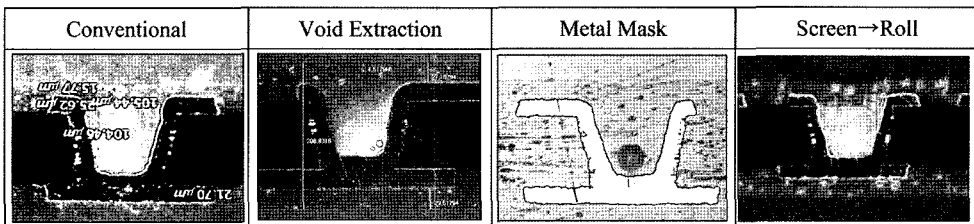
BVH 형상에 따라서 생성된 잔류기공의 크기를 통계적 기법을 통하여 분석하였다. 통계학상 p-value가 0.05이상일 경우 시편간의 유의차는 95%의 신뢰구간에서 없는 것으로 규정한다⁷⁻⁸⁾. 본 연

구에서는 p-value가 0.907으로 분석되었으므로 95%의 신뢰구간에서 각 시편의 BVH내부에서 발생하는 잔류기공의 크기는 약 50 um으로 시편간의 유의차는 없는 것으로 분석되었다.

Table 2는 본 연구에서 제안된 공정조건에 따라 30개의 시편을 제작한 후 잔류기공의 분포 및 형상을 정리하여 나타내었다. 유기 마스크를 사용하고 스크린 코팅 후에 롤 코팅을 하는 기존 양산공

Table 2. Distribution of residual void in BVH with the process.

Process	Void Distribution (area%)					Remarks
	Fail	<30	30~50	50~99	Full Fill	
Conventional	9%	35%	13%	3%	40%	9% fail: operation error.
Void Extraction	-	2%	-	-	98%	Excellent
Metal Mask	-	18%	13%	-	69%	Difficult to manage
Screen→Roll	-	8%	-	-	92%	Agglomeration of SR ink



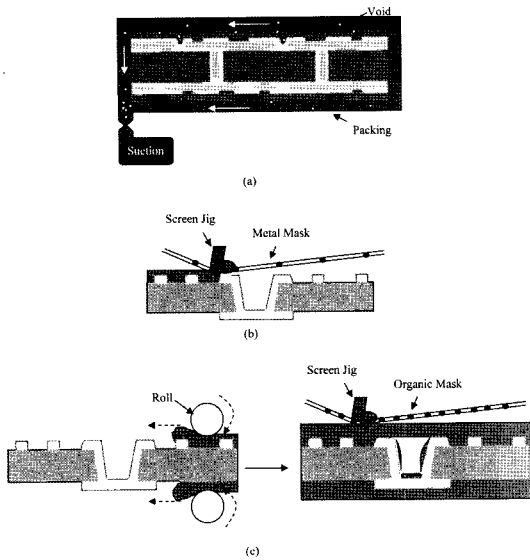


Fig. 5. Schematic drawings of new process. (a) Void extraction process, (b) screen printing using metal mask, (c) roll coating prior to screen coating.

정조건으로 제작된 시편은 40% 정도만이 잔류기공이 없이 완전 충전 된 결과를 나타내었으며, 전체 시편의 35%는 BVH내 전체면적의 30area% 크기의 잔류기공이 측정되었으며, 30~50area%의 기공도를 가지는 시편의 비율이 13%로 분석되었다. 그러나, 잔류기공추출공정을 적용한 시편에서는 전체 시편의 98%가 완전히 충전 되어 잔류 기공이 없었다. 즉, 기존 공정으로 제조된 시편의 60%가 잔류기공을 보유하고 있었으나, 잔류 기공 추출 공정에 의해서 잔류 기공이 거의 제거되어 기존 공정으로 제조된 시편에 비하여 40% 수준의 향상된 결과를 나타내었다. 하지만 메탈마스크 또는 변경된 공정순서는 충전성에 관계없이 메탈마스크의 높은 가격 및 솔더 잉크의 뭉침불량 등의 원인으로 개선된 효과를 볼 수 없었다.

잔류기공추출공정에 의한 BVH내의 잔류기공의 거동 모식도 및 사진을 Fig. 6에서 보여 주고 있다. 잔류기공이 BVH로부터 외부로 추출되는 단계는 잔류기공의 위치에 따라 5단계로 구분된다. 잔류기공추출공정은 솔더레지스트가 경화되기 전에 적용되므로 잔류기공은 외부의 추출압력에 의하여 배출될 수 있다. 1단계에서는 추출압력이 적용되기 전 상태로 BVH내에 기공이 잔류되어 있

Step	Schematic Drawings	Photograph
Step I	Suction Time: 0sec 	
Step II	Suction Time: 5~20sec 	
Step III	Suction Time: 20~25sec 	
Step IV	Suction Time: 25~30sec 	
Step V	Suction Time: 30~40sec 	

Fig. 6. Behavior of the residual void in blind via hole during a void extraction process (Step I: trap, Step II: movement, Step III: vent, Step IV: sink, Step V: removal of residual void).

는 상태이다. 2단계에서는 추출압력이 적용되기 시작함으로써 잔류기공이 BVH상부면까지 이동하며, 추출압력 적용 후 5~20 (sec) 사이에서 발생된다. 2단계에서는 BVH의 크기가 증가할수록 잔류기공의 배출속도도 증가하는 경향을 나타낸다. 3단계에서는 잔류기공이 솔더레지스트 표면까지 이동하며 추출압력 적용 후 20~25초 사이에서 관찰된다. 이 단계에서는 솔더레지스트 표면에 잔류기공의 반지름이상의 흡을 형성한다. 4단계에서는 25~30초 후에 솔더레지스트 표면에 형성된 잔류기공의 크기가 작아진다. 이러한 원인은 외부 추출압력에 의하여 솔더레지스트 잉크의 유동이 발생하여 잔류기공의 흡을 채우기 때문인 것으로 판단된다. 5단계에서는 최종적으로 BVH내의 잔류기공의 제거 및 솔더레지스트 표면의 흡도 제거되는 상태이다. 추출압력 후 약 30~40초에서 발생하며 BVH의 크기가 증가할 수록 빠른 시간 내에 잔

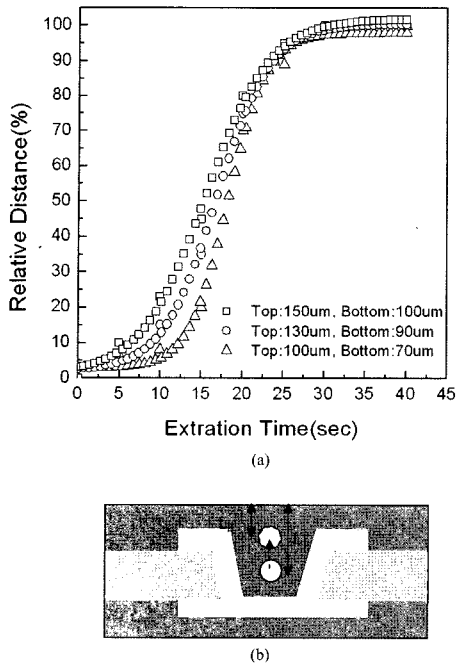


Fig. 7. Behavior of the residual void in BVH during the extraction process. (a) Relative distance of the residual void in BVH, (b) schematic view of the notation (L1: initial position of residual void, L2: moved position of residual void).

류기공이 제거된다. BVH의 형상에 따라 잔류기공의 거동을 Fig. 7에서 도표로 나타내었다. BVH내의 초기 잔류기공의 위치를 L_1 , 추출압력 적용 후 움직인 잔류기공의 위치를 L_2 으로 하여 $(1-L_2/L_1) \times 100$ 으로 상대적인 변화 값을 퍼센트로 나타내었

다. Fig. 7에서 나타낸 100%의 의미는 잔류기공이 완전히 외부로 배출된 상태를 나타낸다. 추출압력 적용 후 약 5~15초에서는 BVH의 크기가 클수록 잔류기공의 거동이 용이함을 알 수 있다. 약 15초 동안 추출압력을 적용할 때 상부면 150 um 크기의 BVH내 잔류기공이 100 um크기의 BVH내의 잔류기공보다 짧은 시간 내에 BVH내부에서 배출되는 것으로 분석되었으며 이러한 원인은 외부 추출압력에 대해서 지름이 큰 BVH가 상대적으로 흡입 접촉면적이 커지므로 잔류기공의 이동이 용이하기 때문이다¹⁰⁾. 그러나, 솔더 레지스트 표면근처에서의 잔류기공의 움직임은 거의 동일하였다. BVH의 형상에 관계없이 1.5 (atm) 수준으로 약 30초 동안 추출하면 BVH내부의 잔류기공은 거의 제거됨을 알 수 있다. 즉, BVH디자인에 따라 잔류용력추출공정의 최적 조건이 제시되어야 한다. 이러한 연구결과에 의해서 잔류기공이 제거된 시편의 고온고습 신뢰성이 우수할 것으로 기대되었다. Fig. 8는 기존 공정으로 제조한 시편 및 잔류기공추출공정을 적용한 시편에 각각 JEDEC moisture reliability test level 2a 조건인 60°C/60%RH 및 120시간으로 신뢰성 평가한 결과이다. 기존 공정으로 제조한 시편의 BVH내부에는 솔더 레지스트 공정에서 발생한 잔류기공이 여전히 존재하며 기공팽창에 의한 Cu 도금층의 파단, 전기적 특성저하 및 층간 분리(delamination)가 초래될 수 있으며 이러한 불량 유형은 기판제품의 출하 전에 정확한 검사가 불가능하므로 반도체 칩을 실장한 완제품의 불량에 따른 부가적인 손실을 초래한다. 그러나

BVH Design	Top:100um Bottom: 70um	Top:130um Bottom: 90um	Top:150um Bottom: 100um
Conventional Process			
Void Extraction			

Fig. 8. The morphology of BVH in microelectronic substrate with the BVH design after the preconditioning test based on JEDEC level 2a.

잔류기공추출공정을 적용한 시편은 JEDEC 기준으로 신뢰성을 평가한 결과 BVH내부에 잔류기공은 존재하지 않았다.

4. 결 론

본 연구에서는 BVH 형상을 상부면 지름 100~150 um 및 하부면 지름 70~100 um의 원기둥으로 각각 설계된 마이크로 전자패키지 기판의 구조에 공정조건에 따라 BVH내 기공의 거동을 분석하고 신뢰성을 평가하였다. 메탈마스크 공정 또는 롤코팅 후 스크린코팅을 적용한 공정은 각각 충전성에 관계없이 메탈마스크의 고가격 및 솔더 잉크의 농침불량 등의 원인으로 개선된 효과를 볼 수 없었다. 그러나 잔류기공 추출공정을 적용한 시편에서는 잔류기공이 완전히 제거 되었으며, 기존 공정으로 제조된 시편에 비하여 40% 수준의 향상된 결과를 나타내었다. BVH의 형상에 관계없이 1.5기압수준으로 약 30초 이상 동안 추출하면 BVH내부의 잔류기공은 거의 제거됨을 알 수 있다.

참고문헌

1. Hyo S. Lee, "Thermophysical Properties of PWB for Microelectronic Packages with Solder Resist Coating Process", *Journal of the Microelectronics & Packaging Society*, vol. 10, no. 3, 73-82 (2003).
2. JEDEC standard, "Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Testing", JESD22-A113-B, Mar. (1999).
3. Prismark Partners LLC., "Prismark presentation - PCB Industry Overview", June, 3-4 (2003).
4. Hyo S. Lee, Sung Y. Park, Chong H. Kim, Young H. Shin, Dong K. Kim, "Fabrication Process and Characterization of the OSP(Organic Solderability Preservatives) Finished CSP Substrate for Mobile Applications", 2004 International Conference on Electronics Packaging, 14-16 April 2004, Daiichi Hotel Tokyo Seafort, Tokyo, Japan
5. Chai Tai Chong, et al., "Investigation on the Effect of Copper Leadfram Oxidation on Package Delamination", *Electronic Components and Technology Conference*, 1995. Proceedings., 463-469 (1995).
6. V. Michaud and A. Mortensen, "Infiltration processing of fibre reinforced composites: governing phenomena", *Composites, Part A* 32, 981-996 (2001).
7. Peter S. Pande, Larry Holpp, Pete Pande and Lawrence Holpp, "What is Six Sigma", McGraw-Hill Trade, ISBN: 0071381856, Oct. (2001).
8. Samsung Innovation Gr., "Six Sigma - BB Training Course(Analyze)", Samsung, 215-326 (2005).
9. Takeshi Kobayashi, Junichi Kawasaki, Kuniaki Mihara, Hideo Honma, "Via-filling using electroplating for build-up PCBs", *Electrochimica Acta*, vol. 47, 85-89 (2001).