

HVDC 시스템의 제어 계인에 대한 분석 및 조정

金燦起[†]

The Analysis and Adjustment for the Control Parameter of HVDC System

Chan-Ki Kim

요 약

본 논문은 HVDC 시스템의 고장분석과 제어계인 파라미터정정에 대한 내용을 다루고 있다. 본 논문에서 다루는 내용은 정류실패에 의한 과전압에 의해서 유발된 실제의 케이블 사고를 다룬다. 그리고 고장을 분석하기 위해서 샘플링 타임이 50us인 정밀 PSCAD/EMTDC Model을 이용하였으며, 최종적으로 분석결과에 의해 HVDC시스템의 제어 파라미터가 조정되었다.

ABSTRACT

This paper deals with the HVDC system fault analysis and the tuning of the control parameter. This paper is based on the actual cable fault which was caused by the overvoltage due to commutation failure. In order to analyze the fault, the detailed PSCAD/EMTDC model which the sampling time is 50μs, was made. Finally, the control parameter of HVDC system was tuned.

Key Words : HVDC, HVDC Model, Fault Analysis

1. 서 론

일반적으로 AC계통은 2중 모선으로 구성되어 있으며, 1선이 고장이 발생하는 경우에는 나머지 하나의 건전 상이 계속해서 전력을 공급하는 방식을 취하고 있다. HVDC시스템도 2중화 개념을 고려하여 Bi-Pole로 구성되어 있으며 각 Pole은 이중 AC모선에 연결되어 있다. 일반적으로 순수한 AC계통에서는 각 모선사이의 Bus-Tie를 이용하여 모선절체를 행하고 있으며, 각 모선 사이의 1~2[Cycle]의 위상차이는 문제가 되지 않는다. 그러나 HVDC시스템에서는 이러한 모선절체가 시스템의 안정도를 붕괴시킬 수 있으며, 극단적으

로 케이블 고장의 원인을 유발할 수 있다. 실제로 2002년에 모선 절체에 의한 HVDC시스템의 과전압과 과전압에 의한 케이블 사고가 보고 되었으며, 외부 충격에 손상을 입은 케이블이 절연약화로 터지는 사고가 발생하였다. 본 논문은 이러한 고장원인을 분석하면서 고장의 원인과 해결책을 제시하였다.

2. 사고 원인 분석

2.1 사고 발생 과정

그림 1 (a)는 Bus-Tie절체 시에 기록된 고장파형기록이며, 그림 1 (b)는 고장에 의해 발생한 케이블의 모습을 보여주고 있다. 그림 1 (a)에 대한 설명은 다음과 같다.

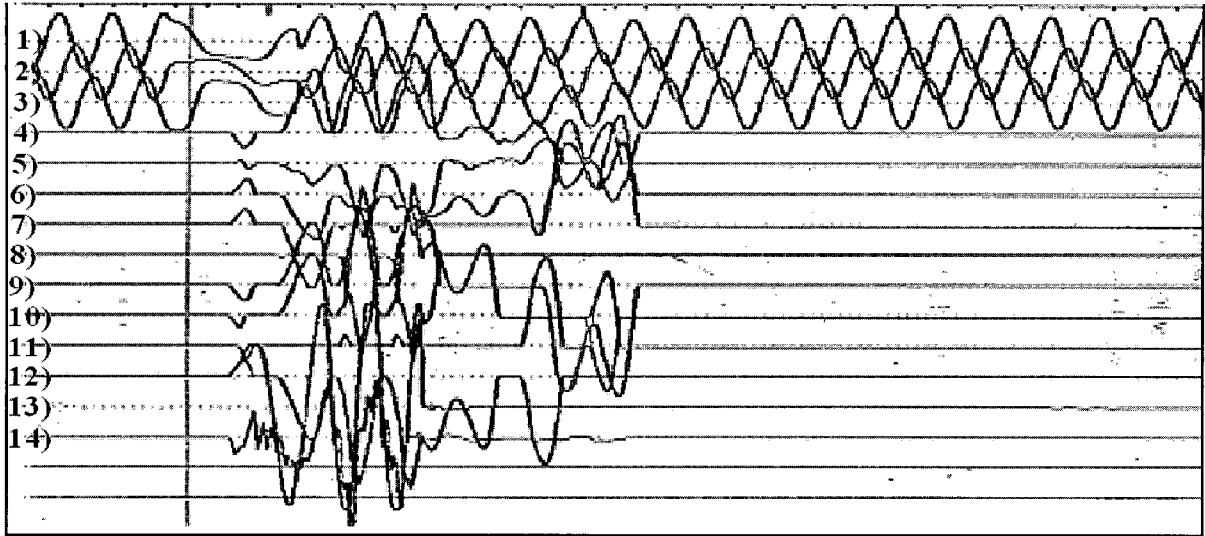
•154[KV](1번, 2번, 3번 파형)계통전압이 정상적으로

[†]교신저자 : 정회원, 한전 전력연구원 선임연구원

E-mail : ckkim@kepri.re.kr

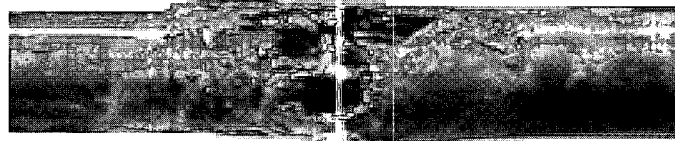
접수일자 : 2006. 1. 11 1차 심사 : 2006. 2. 9

2차 심사 : 2006. 3. 10 심사완료 : 2006. 3. 10



(a) 고장 파형 (스케일 조정된 것임)

- 1,2번,3번 파형 : 3상 전압
- 4번,5번,6번 파형 : CTR 1차측 전류
- 7번,8번,9번 파형 : CTR 2차측 Y상전류
- 10번,11번,12번 파형 : CTR 2차측 Δ상전류
- 13번 파형 : DC전압 파형
- 14번 파형 : DC 중성선 전압



(b) 손상된 케이블

그림 1 HVDC 시스템의 고장파형 및 손상된 케이블
Fig. 1 Fault Waveform and Damaged Cable of HVDC system

유지되다가 Bus Tie를 절체 하는 순간에 전압의 주파수와 크기가 바뀌었다. (고장 지속기간 3[Cycle]) 그리고, 3[Cycle] 고장 지속 후 154[KV] 계통전압이 정상을 유지하는 것을 보여준다.

•11[Cycle] 동안 DC 과전압 동요(13번: 13번 라인의 기준이 0[V]이기 때문에 12번 라인에서 DC전압이 유지되고 있음)와 AC과전류(4번부터 12번)가 발생하고 있다. 이때 동요를 일으키는 DC전압은 +265[KV]에서 -300[KV]로 기록되고 있었다. 그리고 11[Cycle]후에 DC전압이 0[V]를 기록하는 지점이 DC 케이블이 절연 파괴를 일으킨 순간을 나타내고 있다.

2.2 사고 원인 분석

일반적으로 DC 케이블이 과전압에 의해서 손상되는 원인은 다음과 같다.

- 1) HVDC시스템의 Re-energizing 이나 블로킹 또는 밸브 쪽에서 지락사고가 발생하는 경우
- 2) AC 계통 측에서 유입된 고조파와 HVDC제어기가 공진을 일으켜서 고조파 과전압이 원인이 되는 경우
- 3) HVDC시스템 자체에 의한 과전압으로써 반복적인 점호실패나 정류실패가 일어나는 경우
- 4) 낙뢰나 스위칭 썬지와 같이 외부원인에 의한 것으로 Fast Transient 과전압이 발생한다.

이중에서 1)번과 2)번 항의 원인은 최종적으로 3)항에서 설명하는 정류실패나 점호실패를 유발하기 때문에 HVDC시스템의 제어기는 정류실패와 점호실패에 대한 대책을 가지고 있다.

2.3 시뮬레이션 검토

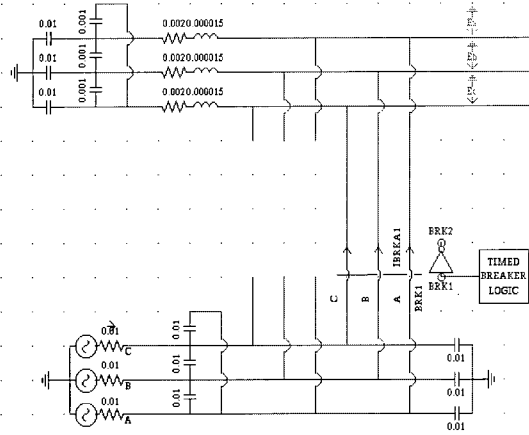


그림 2 과도현상을 모의하기 위한 AC 등가회로 (해남 측 : Rectifier)

Fig. 2 AC Equivalent Circuit in order to Simulate the fault phenomena

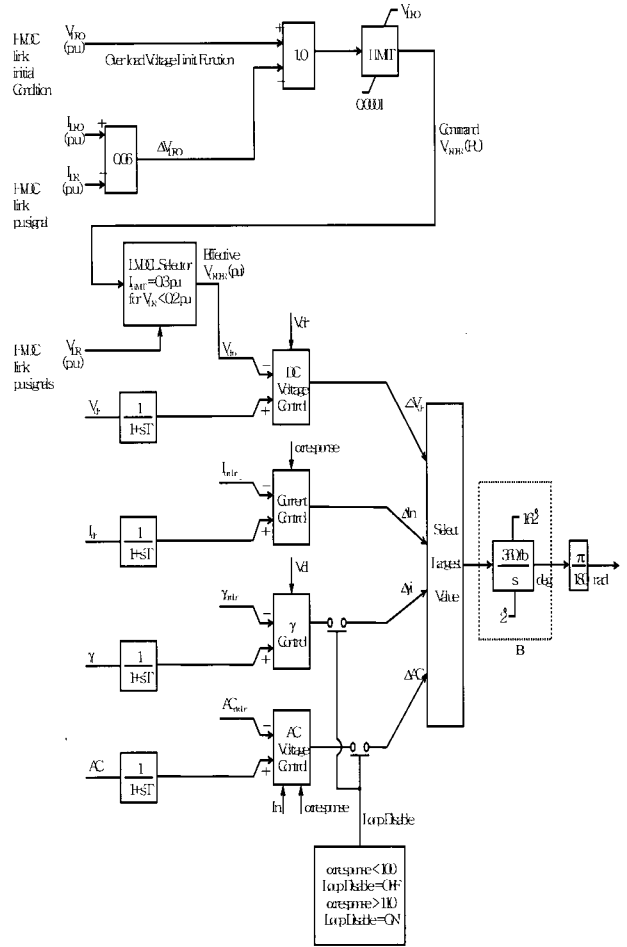
그림 2는 그림 1 상황을 모의하기 위해서 만든 AC 등가회로로서 AC과형 외곡을 만들어 주기 위해서 A 버스와 B버스, 그리고 각 버스에 존재하는 콘덴서와 저항 그리고 인덕턴스가지고 있다. 그리고 그림 3과 그림 4는 HVDC시스템의 실제 제어기를 가능한 한 축약하여 보여준 것으로 시뮬레이션에서 사용한 모델은 그림 3과 4보다 더 정밀하게 모델링된 제어기가 사용되었다.

표 1 AC 계통 임피던스와 단락용량 (SCR : Short Circuit Ratio)

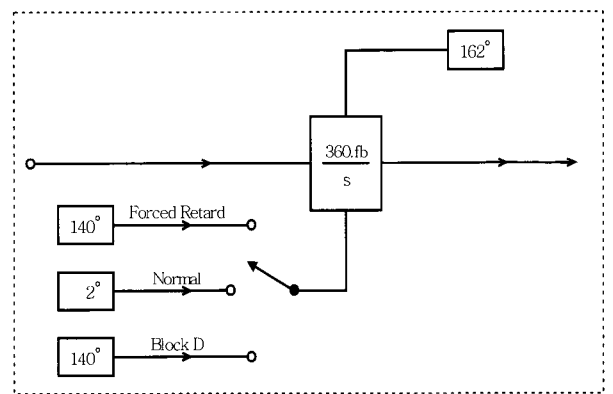
Table 1 AC network Impedance and SCR

해남 AC 계통의 저항(R)	0.00657[p.u]
해남 AC 계통의 리액티브(X)	0.04653[p.u]
제주 AC 계통의 저항(R)	0.0384[p.u]
제주 AC 계통의 리액티브(X)	0.16174[p.u]
해남 AC 계통 SCR	14.1876 ∠ -81.96
제주 AC 계통 SCR	4.010 ∠ -76.64

그림 5는 실제 고장과 유사한 조건을 만들기 위해 왜곡된 3상 전압을 0.5초부터 3[Cycle] (0.05초)동안 인가한 경우를 보여 주고 있다. 여기서, 해남 측 (Rectifier)의 전압은 0.55초 이후에 정현파가 발생되나



(a)



(b)

그림 3 제주-해남 HVDC 시스템의 정류기 제어 블록도 Fig. 3 Rectifier Control Block Diagram for Cheju-Haenam HVDC

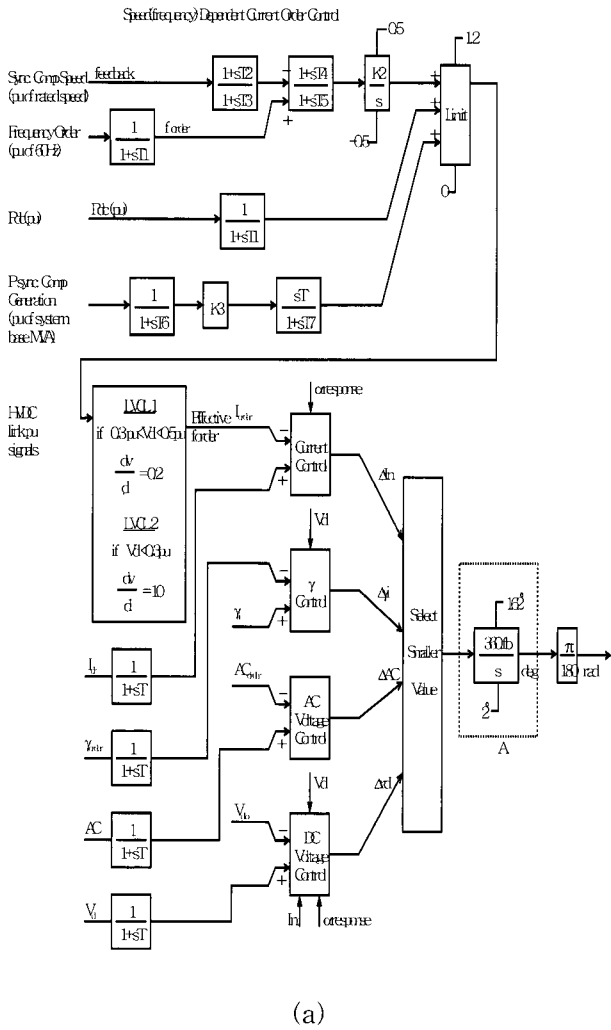
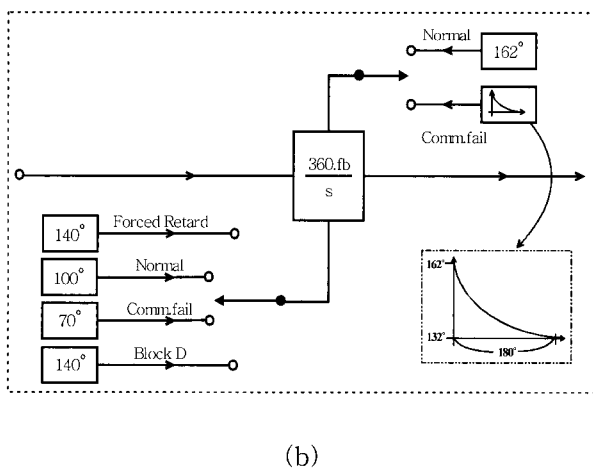


그림 4 제주-해남 HVDC 시스템의 인버터 제어 블록도
Fig. 4 Inverter Control Block Diagram for Cheju-Haenam HVDC



제주 측(Inverter)은 상당히 왜곡이 심한 3상 AC전압이 생성되는데 이러한 이유는 HVDC의 왜곡된 파형이 AC계통에 유입되면 무효전력 문제로 인해 제주 측의 AC전압이 왜곡되기 때문이다. 표 1은 시뮬레이션에서 사용한 AC계통의 등가 전원을 보여주고 있으며 이 값은 실제 계통 값이다.

그림 6은 시뮬레이션 상에서 0.5초에서 3[Cycle]고장을 인가한 후에 해남(Rectifier)과 제주(Inverter)의 DC 전류, DC전압 그리고 중성 점 전압을 보여 주고 있다. 그림 6에서, DC전압과 중성 점 전압은 제주나 해남이 같은 양상을 보이거나 전류는 제주와 해남 사이에 90도 위상 차이를 보이는 것을 알 수 있는데 이것은 케이블이 하나의 커다란 콘덴서이기 때문에 해남에서 케이블의 콘덴서에 전류를 충전시키면 제주에서 콘덴서 충전 전류를 다시 AC계통으로 방전시키는 역할을 하는 것을 알 수 있다.

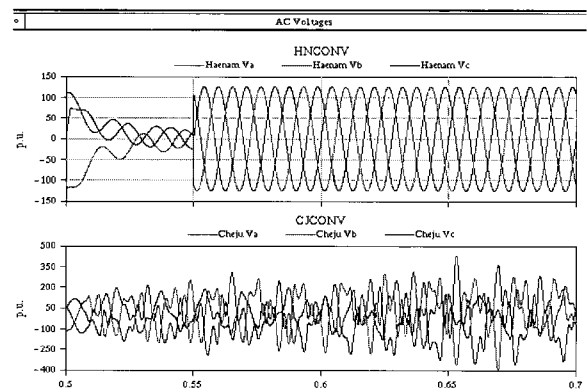


그림 5 AC 계통의 전압 파형
(HNCONV : 해남 AC 전압, CJCONV : 제주 AC 전압)
Fig. 5 Voltage Waveform of AC network

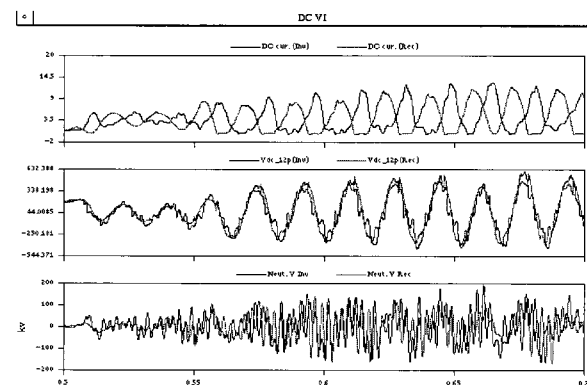


그림 6 DC 전압과 DC 전류 그리고 중성점 전압
(RED : Rectifier(해남), BLACK : Inverter(제주))
Fig. 6 DC voltage , DC Current and Neutral Voltage

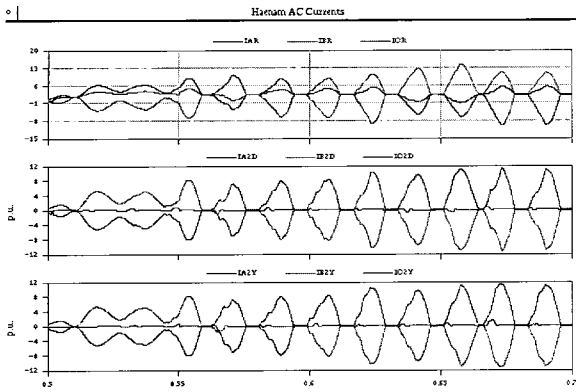


그림 7 정류기(해남)의 AC측 전류 파형
 (IA1 : AC 1차측 A상전류, IA2D : AC 2차 Δ 측 A상 전류, IA2Y : AC 2차 Y측 A상전류)
 Fig. 7 AC Side Current Waveform of Rectifier(Haenam)

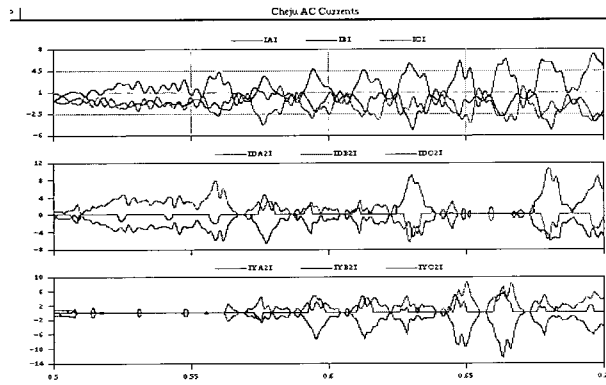


그림 8 인버터(제주)의 AC측 전류 파형
 (IA1 : AC 1차 측 A상전류, IB1 : AC 1차 측 B상 전류, IC1 : AC 1차 측 C상전류, IDA21 : AC 2차 Δ 측 A상전류, IDB21 : AC 2차 Δ 측 B상전류, IDC21 : AC 2차 Δ 측 C상전류, IYA21 : AC 2차 Y측 A상전류, IYB21 : AC 2차 Y측 B상전류, IYC21 : AC 2차 Y측 C상전류)
 Fig. 8 AC side Current Waveform of Inverter(Cheju-Side)

그림 7은 동일한 시뮬레이션 상태에서 HVDC시스템의 AC/DC용 변압기의 1차 측 전류와 Y결선 된 2차 측 전류 그리고 Δ 결선 된 2차 측 전류 파형을 보여 주고 있는 것으로, 정류실패를 반복하는 것을 알 수 있으며 이러한 결과는 실제 고장 시 발생한 AC전류 파형(그림 1)과 동일한 형태를 가진다. 그림 8은 제주 측에서 발생한 AC전류 파형을 보여주고 있는 것으로 해남 측의 전류 파형보다 더 많이 왜곡된 형태를 가지는 것을 알 수 있는데, 이러한 원인은 해남보다는 제주가 더 약한 계통을 가지고 있기 때문에 일어나는 현상이다.

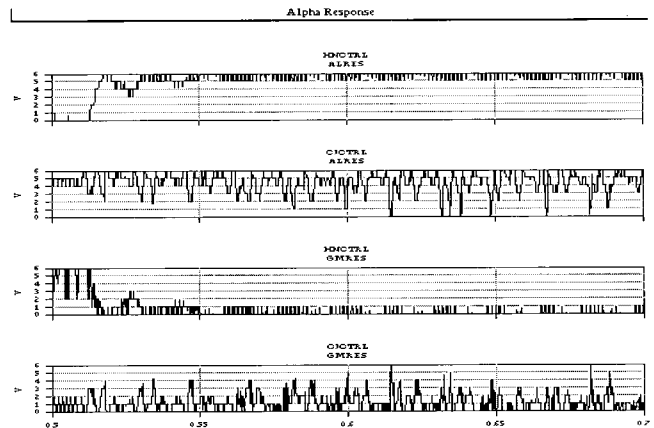


그림 9 알파와 감마 응답
 (HNCRTL : 해남 측, CJCTRL : 제주 측, ALRES : 알파 응답, GMRES : 감마 응답)
 Fig. 9 Alpha and Gamma Response

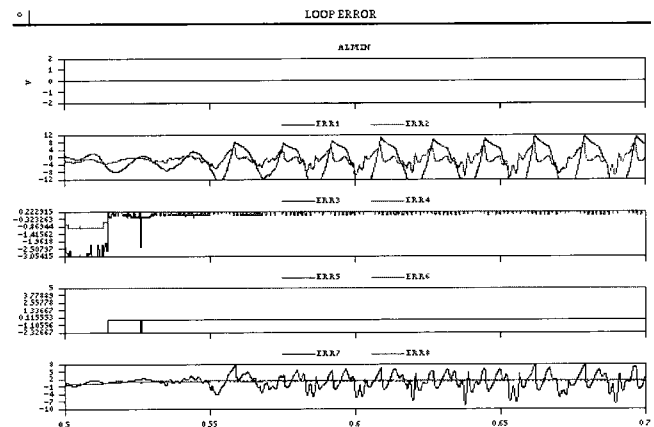


그림 10 루프오차 (해남 측 : Rectifier)
 Fig. 10 Loop Error (Haenam side : Rectifier)

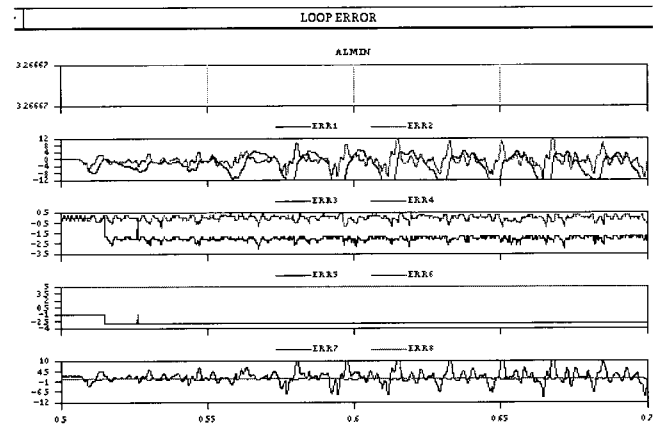


그림 11 루프 오차 (제주 측 : 인버터)
 Fig. 11 Loop Error (Cheju side : Inverter)

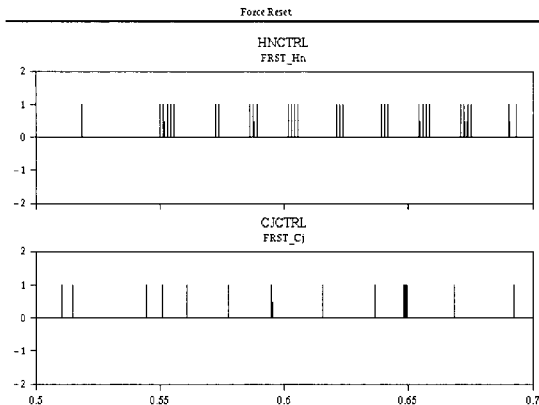


그림 12 Forced Reset 신호
(HNCTRL : 해남 측, CJCTRL : 제주 측)
Fig. 12 Forced Reset Signal

그림 9는 DC 과전압 동요가 일어나는 경우에 알파 응답과 감마 응답을 보여주고 있는 것으로 해남의 알파 응답은 180°(6[V])임을 보여 주고 있다. (본 논문에서, 실제의 시스템에서 알파는 1[V]가 30°로 세팅되어 있다) 그리고 제주의 알파 응답도 90°에서 180°를 왕복하면서 심하게 동요하고 있음을 알 수 있다. 즉, 해남의 HVDC시스템도 인버터 영역에서 동작하고 제주의 HVDC시스템도 인버터로 동작하는 경우를 보여 주고 있다.

그림 10과 그림 11은 해남 측과 제주 측에 있는 Phase 제어기의 루프 제어기 오차 신호를 보여 주고 있는 것으로 해남 측과 제주 측에는 총 8개의 제어기가 존재한다. 이때 제주에서 발생된 제어오차는 실제 고장 당시의 루프 제어기의 제어오차와 일치한다.

그림 12는 시뮬레이션 상태에서 Forced Reset 신호(점호각이 180° 이상이 되면 자동적으로 발생하는 신호)가 발생되고 있는 것을 보여 주고 있는 것으로 실제의 제어동작은 이루어지지 않고 Forced Reset과 같은 강제 신호에 의해 HVDC가 동작함을 알 수 있다.

3. 문제 해결

3.1 문제점 파악

2장에서 보여준 과형은 케이블 소손의 직접적인 원인은 DC 케이블에 인가된 기본파 과전압이며, 기본파 과전압의 원인은 HVDC 시스템의 정류실패가 주된 원인으로 파악되었다. HVDC시스템은 일반적으로 정류 실패가 발생하는 경우에 그림 4에서 보는 바와 같이 소호각 마진을 늘리는 작동을 하면서 제어특성이나 속

응성을 희생시키면서 정류실패를 줄이려는 동작을 하는 것이 정상적인 동작인데, 계속적으로 이러한 정류 실패가 반복되었다는 의미는 HVDC제어기에 문제가 있음을 의미하는 것이다.

3.2 정류 실패

100[mm] Disk-type, Double Cooling 사이리스터의 밸브 소호시간은 대략 400 [μs]이다. 따라서 60Hz에서 사이리스터 절대소호각 γ_0 는 8.6° 그리고 50Hz에서 사이리스터 절대소호각 γ_0 : 7.2° 이며, 안전율 (Safety Factor : 430μs : 9.4°)를 고려하면, Gamma Min. 제어기의 지령 값은 18°(8.6° + 9.4° : 60Hz기준)이다. 또한 정상상태에서 중첩각(Overlap Angle)을 27°로 가정하면, 사이리스터 제어기의 실질적인 점호각 최대 알파는 135°(180° - 27° - 18°)이 된다. 정상상태에서 원거리 고장이나 전류 지령 값의 순시적인 변화가 발생하여 Overlap이 35°로 변화한다고 가정하면, 감마는 (18° - 35° - 27°) = 9.6°가 되고 안정적인 정류를 성공시킨다. 이러한 이유 때문에 HVDC시스템에서 필터의 용량 선정 방법은 필터가 스위칭 할 때 AC 계통 전압이 5%이내에서 변동하도록 설계하는 것이 기본이다. 따라서 필터가 스위칭하면서 AC계통전압을 5% 변동시킬 때 AC전압의 Zero-Crossing 지점은 60Hz기준으로 10°정도가 변하기 때문에 대부분의 HVDC시스템은 필터 스위칭 시에 감마 지령 값을 10°변화하도록 설계되어져 있다. 12-펄스 HVDC에서 정류 간격은 30°이기 때문에 정류실패를 막기 위한 감마 보조 값은 최대 30°이내가 된다. 대부분의 감마제어기의 최소 값은 18°에서 세팅되어 있으며, 정류실패가 발생할 경우에는 12°의 마진이 감마제어기의 지령 값에 가산되도록 설계되어져 있다. 만약 이러한 과도 제어기가 제대로 설계되어지지 않으면, 시스템은 오동작하게 된다. 그림 4에서 보는 바와 같이 제주-해남 HVDC시스템도 이와 같은 구조로 설계되어져 있다. 인버터 제어기는 주제어기로 전류제어기를 가지고 보조제어기로는 정류실패를 보상하기 위한 Kick Control과 감마제어기가 있다. 반면에 정류기 제어기는 주제어기로 전압제어기를 가지고 있으며 부제어기로 전류제어기를 가지고 있다. 정류기 단과 인버터 단에서 AC계통에 사고가 발생한 경우의 HVDC제어기의 동작특성은 다음과 같다.

3.2.1 정류기 측

AC전압 감소 → 정류기 DC전압 감소 및 전류감소

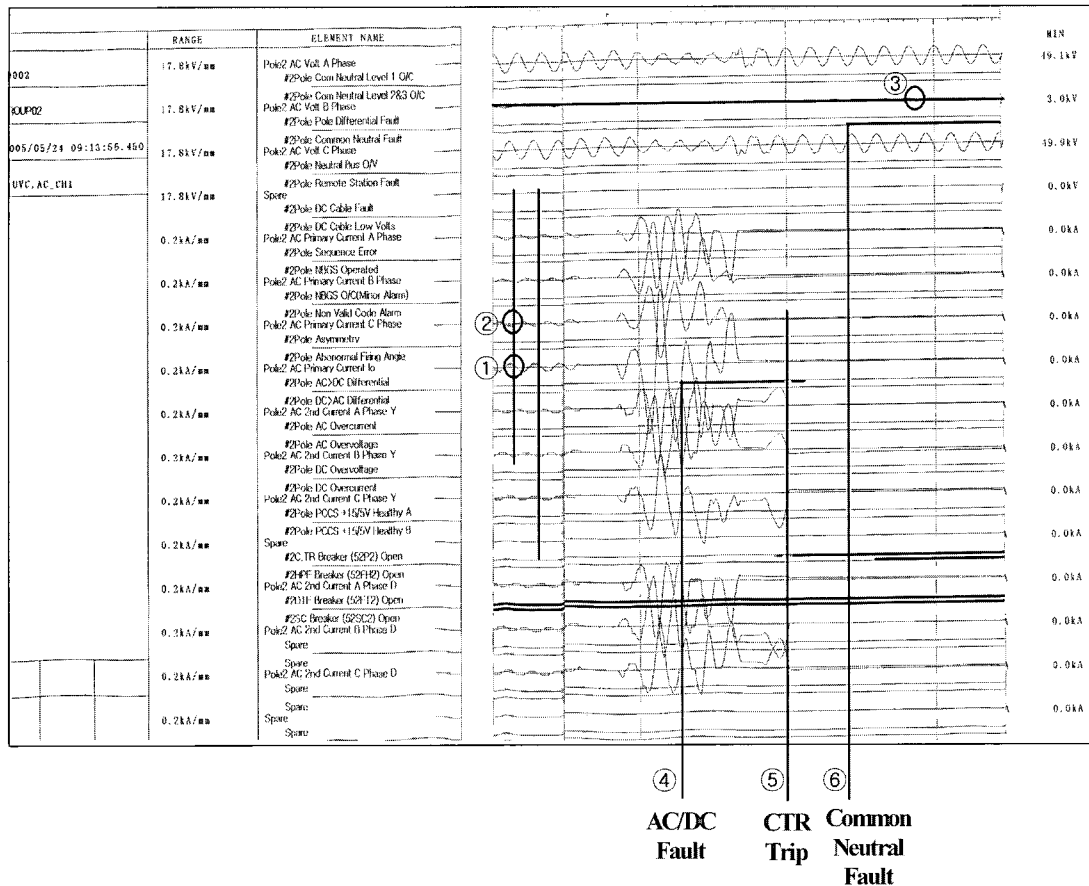


그림 13 그림 1과 유사한 HVDC DTR 고장파형
Fig. 13 HVDC DTR fault waveform similar to fig.1

➡ 정류기 측 전압제어기 알파감소 ➡ 인버터 측 전류 제어기 알파감소/감마감소

$$\alpha : 140^{\circ} \quad \gamma : 27^{\circ} \quad \mu : 13^{\circ}$$

3.2.2 인버터 측

AC전압 감소 ➡ 인버터 DC전압 감소 및 전류증가
➡ 인버터 측 전류제어기 알파와 감마 증가 ➡ 정류기 측 전압제어기 알파 증가

위에서 보는 바와 같이 어느 한쪽에서 사고가 발생 하더라도 인버터단과 정류기 단은 서로 별개가 아니며 상호 연관관계를 가진다는 사실을 알 수 있다. 따라서 인버터 단이나 정류기 단에서 사고가 발생한 경우에 이들 제어기의 Interaction에 의한 지속적인 정류실패를 막는 방법은 Kick Controller(그림 4에서 Comm. Fail)가 제주 인버터의 전류제어기가 동작하는 범위의 중간에서 동작을 시작해야한다는 사실이다. 정상상태에서 인버터의 운전조건은 다음과 같다.

이 조건에서 AC계통사고에 의한 제주 인버터 측 제어기의 동작범위를 조사하면, 120°에서 150°정도로 추정해 볼 수 있다. 따라서 제주 인버터 제어기의 Kick Control의 동작조건은 정류실패가 발생한 경우에 알파 값이 130°는 되어야 시스템이 정 동작을 할 수 있다는 것을 알 수 있다. 그림 4에서 Kick Control의 제어 값은 알파 Max.값이 170°로 설정되어 있었고, 정류실패가 발생한 경우에 140°로 변동되는 것으로 설계되어 있었다. 따라서 시스템의 안정적인 동작을 위해서 알파 Max.값을 162°로 수정하고 정류실패가 발생한 경우에는 130°로 줄어들도록 HVDC시스템의 제어기를 수정하였다. 그림 13은 최근에 발생한 HVDC고장의 DTR파형으로 그림 1에서 보여주는 고장상황과 유사한

상황으로 HVDC시스템이 동요하지 않고 DC전압이 규정 값 이내에서 억제되는 것을 보여주고 있다. 그림 14에서 ③번은 상전압의 상실을 보여주고 있는 것으로 이러한 상전압의 상실은 HVDC시스템이 정류실패(①번과 ②번)와 점호실패를 유발하는 직접적인 원인이 되고 있으나 정류실패가 발생되어도 DC전압이 규정값 이내에서 억제되고 정상적으로 시스템의 보호 릴레이(④번 : AC/DC판별 릴레이, ⑤번: CTR 릴레이, ⑥번: 중성점 고장 릴레이)가 동작한 경우를 보여주고 있다.

4. 결 론

본 논문은 제주-해남 HVDC 시스템의 설계 결함으로 인해 DC케이블 사고가 발생한 사고원인을 분석하고 시스템의 제어 계인을 수정하는 과정을 다룬 논문으로, 실제의 고장 데이터를 분석하고 고장원인을 분석한 후에 시뮬레이션을 통하여 HVDC시스템의 제어 계인을 정정하였다.

이러한 사고분석 및 해결을 다룬 논문은 고속전철이나 발전설비와 같이 외국기술에 전적으로 의존하는 외국 설비의 기술 분석과 안정화에 작은 도움이 되기를 바란다.

참 고 문 헌

[1] Chris Osauskas etc, "Small Signal Dynamic Modeling of HVDC System", IEEE Trans. on Power Delivery, Vol. 18, No. 1 Jan. 2003, pp.220~pp225.
 [2] M.O.Faruque etc, "Algorithms for the according of multiple switching events in digital simulation of power electronics systems", IEEE Trans. on power Delivery, Vol. 20, No. 2 April, 2005, pp. 1157~1167.
 [3] A.M. Gole and R.W. Menzies, "Analysis of Certain Aspects of Forced Commutated HVDC Inverters", IEEE Trans. PAS, Vol. PAS-100, No. 5, May 1981, pp. 2258~2262.
 [4] H.M Turanli and R.W. Menzies, "Feasibility of DC Transmission with Forced Commutation to Remote Loads", IEEE Trans. Power Apparatus and Systems, Vol. 103, No. 6, June 1984, pp. 1256~1262.
 [5] T. Jonnson and P.Bjorklund, "Capacitor Commutated Converters for HVDC" Stockholm PowerTech, June 1995, Proceedings: Power Electronics, pp 44~51.
 [6] J. Vithayathil, "Converter Terminals Connected to Weak Ac System-Reactive Power Compensation, Control Strategies and Application of Static Var

Systems", Proc. Intl. Symposium of HVDC Technology Rio de Janeiro, Part II, March 1983, pp. 69~70.

[7] T. Jonsson, P-E. Bjorklund, "Capacitor Commutated Converters for HVDC," Stockholm power Tech. Conference, Stockholm, June 1995, pp.44~51.

저 자 소 개



김찬기(金燦起)

1968년 12월 17일생. 1991년 서울산업대 전기공학과 졸업. 1993년 중앙대 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박). 1996년~현재 한전 전력연구원 선임연구원. 당 학회 편집위원.